



**UNIVERSIDAD POLITÉCNICA
SALESIANA
SEDE CUENCA**

**FACULTAD DE INGENIERÍAS
CARRERA DE INGENIERÍA ELECTRÓNICA**

Tesis previa a la obtención del Título de Ingeniero Electrónico

**“DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA DE ADQUISICIÓN
DE DATOS DE ALTA VELOCIDAD Y SU APLICACIÓN EN EL DISEÑO
DE LABORATORIOS ACADÉMICOS BASADOS EN SOFTWARE Y
HARDWARE LIBRE ”**

Autores:

Raúl Santiago Cajas Andrade.

Freddy Néstor Campoverde Orosco.

Enmanuel Espartaco Tello Sánchez.

Director:

Ing. Eduardo Calle O.

Cuenca – Ecuador

2012

DECLARATORIA DE RESPONSABILIDAD

Nosotros, Raúl Santiago Cajas Andrade, Freddy Néstor Campoverde Orosco y Enmanuel Espartaco Tello Sánchez, declaramos bajo juramento que el trabajo aquí desarrollado es de nuestra autoría, que éste no ha sido previamente presentado en ninguna tesis de grado y que el diseño, investigación construcción y pruebas, así como las conclusiones y recomendaciones son de nuestra exclusiva responsabilidad.

Cuenca, 3 de Enero del 2012

Raúl Cajas A.

Freddy Campoverde O.

Enmanuel Tello S.

CERTIFICACIÓN

Yo, Ing. Eduardo Calle Ortiz certifico que el presente documento fue desarrollado por los Sres. Raúl Santiago Cajas Andrade, Freddy Néstor Campoverde Orosco y Enmanuel Espartaco Tello Sánchez, bajo mi supervisión.

Ing. Eduardo Calle O.

DEDICATORIA

Dedico el presente trabajo a Dios, quien a sido mi guia y mi rumbo en todos los pasos que he dado, a mis padres y familiares de quienes he recibido todo el apoyo incondicional que he podido necesitar para tomar las decisiones correctas en mi vida, y finalmente a mis amigos por impulsarme continuamente en el transcurso de este proyecto.

Raúl Santiago

DEDICATORIA

Dedico este trabajo a mis hermanos y a mis padres quienes fueron los que me apoyaron en todo momento y nunca desconfiaron de mí, de igual manera a mis amigos y profesores que de una u otra manera también fueron partícipes de este proyecto.

Freddy Campoverde

DEDICATORIA

Dedico esta tesis a mis Padres que han sido pilar fundamental para la culminación exitosa del proyecto, de igual manera a toda mi familia y amigos por su apoyo incondicional para cumplir con éxito el presente trabajo.

Gracias

Enmanuel Espartaco

AGRADECIMIENTO

Agradecemos de sobremanera a la Universidad Politécnica Salesiana por el financiamiento otorgado para el presente proyecto de investigación e implementación.

Gracias totales.

Los autores.

ÍNDICE GENERAL

1. SISTEMAS DE ADQUISICIÓN DE DATOS DE ALTA VELOCIDAD	1
1.1 Introducción	2
1.2 Tecnologías de adquisición de datos	2
1.2.1 Elementos de un sistema de adquisición de datos.....	2
1.2.1.1 Fuentes de señales de ingreso	3
1.2.1.2 Elementos de acondicionamiento de señales	3
1.2.1.3 Elementos de procesamiento de señales	4
1.2.1.4 Instrumentos de medición y despliegue de datos.....	13
1.2.1.5 Instrumentos de registro grafico	13
1.2.2 Esquemas de adquisicion de datos	14
1.2.2.1 Esquemas de control analógico con monitoreo	14
1.2.2.2 Esquemas de control digital directo.....	14
1.2.2.3 Esquemas de control distribuido.....	15
1.2.3 Sistemas de adquisicion de datos basados en PC	16
1.2.3.1 Protocolo USB	16
1.2.3.2 Instrumentación virtual	17
1.2.4 Tecnologías de adquisicion de datos existentes en el mercado	19
1.3 Sistemas de procesamiento digital de señales	22
1.3.1 Hardware y software enfocados para DSP.....	23
1.3.2 Estructuras de procesamiento de señales.	24
1.3.2.1 Microprocesadores	24
1.3.2.2 CPLD	27
1.3.2.3 Microcontroladores	29
1.3.3 Lenguaje VHDL.....	33
1.4 Arquitecturas libres y propietarias de adquisición y procesamiento de datos	37
1.4.1 Normativas para arquitectura de tipo libre.....	37
1.4.2 Arquitecturas libres y propietarias	39
2. LABORATORIOS INTEGRADOS	46
2.1 Introducción	46
2.2 Análisis de necesidades de instrumentos para el aprendizaje en las carreras de ingeniería eléctrica y electrónica	48

2.2.1	Encuesta aplicada	49
2.2.1.1	Modelo de encuesta.....	49
2.2.1.2	Justificación de la importancia de las preguntas planteadas	50
2.2.1.3	Análisis de los resultados obtenidos en la encuesta aplicada	52
2.3	Modelos de laboratorios en ingeniería.....	59
2.3.1	Modelos de laboratorios actuales	61
2.3.1.1	Laboratorios de índole física.....	61
2.3.1.2	Laboratorios de índole virtual.....	67
2.3.2	Modelos de laboratorios futuros.....	74
2.4	Propuesta de un laboratorio integrado	78
3.	DISEÑO Y ANÁLISIS DE LA TARJETA	82
3.1	Introducción.....	82
3.2	Diseño funcional del sistema.....	82
3.2.1	Etapa de ingreso	83
3.2.1.1	Subetapa de selección de modos AC, DC, GND	84
3.2.1.2	Subetapa de atenuación por décadas.....	85
3.2.1.3	Subetapa de compensación de offset	86
3.2.1.4	Subetapa de amplificación de señal	87
3.2.1.5	Esquema final de la etapa de ingreso	88
3.2.2	Etapa de conversión analógica/digital.....	90
3.2.3	Etapa de división de frecuencia.....	92
3.2.4	Etapa de almacenamiento.....	94
3.2.5	Etapa de control.....	98
3.2.5.1	Bloque maestro	98
3.2.5.2	Bloque esclavo	101
3.2.6	Etapa de desplazamiento vertical.....	105
3.2.7	Etapa de sincronismo por trigger	106
3.2.8	Etapa de alimentación	107
3.2.9	Módulo multifuncional de prácticas	108
3.3	Normativas para el diseño electrónico de sistemas de alta velocidad. 110	
3.3.1	Fuentes de emisión electromagnética.....	110
3.3.2	Influencia de las emisiones electromagnéticas en el diseño de potenciales nulos o tierras.....	112

3.3.3	Diseño de las corrientes de retorno	114
3.3.4	Control sobre las emisiones electromagneticas en señales intencionales... ..	116
3.3.5	Control sobre las emisiones electromagneticas en señales no intencionales	118
3.4	Diseño electrónico de los módulos.....	121
3.4.1	Distribucion de energia en una tarjeta de circuito impreso.....	121
3.4.2	Trazado de rutas de señal en los circuitos impresos	125
3.4.3	Circuitos impresos resultantes y simulaciones implementadas	131
3.5	Diseño mecánico y proceso constructivo del prototipo	143
3.5.1	Restricciones para la fabricacion	145
3.5.2	Proceso de construccion.....	147
3.6	Ensamblaje de la tarjeta	150
3.7	Software de manipulacion	156
4.	PRUEBAS DE LA TARJETA.....	161
4.1	Introducción.....	161
4.2	Pruebas técnicas	161
4.3	Pruebas de funcionamiento	169
4.3.1	Características técnicas del prototipo.....	177
4.4	Pruebas de campo.....	182
5.	RESUMEN, CONCLUSIONES Y RECOMENDACIONES.....	188
	REFERENCIA BIBLIOGRAFICA	193
	ANEXOS.....	199

ÍNDICE DE FIGURAS

Figura 1.1: Sistemas de adquisición de datos basados en PC	2
Figura 1.2: Diagrama de bloques de la funcionalidad de un transductor en el ingreso de un S.A.D.....	3
Figura 1.3: Arquitectura interna de un amplificador tipo High Speed Buffer.....	8
Figura 1.4: Arquitectura interna de un amplificador Operacional tipo FET.....	9
Figura 1.5: Arquitectura interna de un comparador de alta ganancia tipo High Speed	10
Figura 1.6: Arquitectura interna de un comparador por Aproximación tipo Latch.....	11
Figura 1.7: Arquitectura interna de un conversor D/A de alta velocidad con corrientes equilibradas.....	12
Figura 1.8: Diagrama de bloques de un conversor de doble paso	13
Figura 1.9: Sistema analógico de monitoreo para sólidos.....	14
Figura 1.10: Sistema digital de monitoreo para líquidos	15
Figura 1.11: Diagrama de bloques de un sistema basado en Instrumentación virtual.....	19
Figura 1.12: Arquitectura del CompactRIO	20
Figura 1.13: Dispositivos NI USB portátiles	21
Figura 1.14: Familia de dispositivos de la Serie M.....	22
Figura 1.15: Sistema de adquisición de datos mediante un FPGA vía USB.....	26
Figura 1.16: Software para la realización de diseños con esquemáticos Xilinx ISE.	27
Figura 1.17: CPLD estructural	27
Figura 1.18: Bloques I/O de una CPLD estructural	28
Figura 1.19: Microcontroladores de 32bits con conectividad Ethernet, CAN y USB.....	30

Figura 1.20: Fabricantes de microcontroladores de 32bits	31
Figura 1.21: Kits educativos que se encuentran en el mercado.....	32
Figura 1.22: Programadores.....	32
Figura 1.23: Diagrama de Bloques de jerarquía de una librería VHDL	34
Figura 1.24: Mapa conceptual del software libre y de código abierto	38
Figura 1.25: Estación de prototipos E.L.V.I.S.....	40
Figura 1.26: Interfaz gráfica de la propuesta PACE Scientific.....	41
Figura 1.27: Diagrama de bloques de una arquitectura libre para tarjetas de adquisición de datos.....	42
Figura 1.28: Prototipo de una tarjeta de adquisición de datos.....	43
Figura 1.29: Tarjetas de adquisición de datos de arquitectura propietaria.....	44
Figura 1.30: Arquitectura libre FreeScada.....	44
Figura 1.31: Conversores A/D, D/A	45
Figura 1.32: Kit Spartan utilizado para el procesamiento de datos para usos educativos	46
Figura 2.1: Grafico porcentual del uso mas frecuente de los instrumentos de laboratorio para el universo encuestado.....	53
Figura 2.2: Grafico porcentual del mínimo rango de frecuencias usado por el universo encuestado.....	54
Figura 2.3: Grafico porcentual de la preferencia del universo encuestado por un dispositivo visualizador de señales eléctricas de hasta 20MHz.....	55
Figura 2.4: Grafico porcentual de la preferencia del universo encuestado por un dispositivo visualizador de señales eléctricas de hasta 5MHz.....	55
Figura 2.5: Laboratorios de ingeniería electrónica	59
Figura 2.6: Proyectos realizados en los laboratorios	60
Figura 2.7: Laboratorio académico de automatización industrial y PLC	60
Figura 2.8: Laboratorio especializado en investigación de alimentos.....	61
Figura 2.9: Centro de Mantenimiento y Servicio	63

Figura 2.10: Variedad de multímetros digitales.	64
Figura 2.11: Generadores de señales de tipo digital	65
Figura 2.12: Osciloscopios digitales y analizadores de señales WavePro 7 Zi.....	65
Figura 2.13: Frecuencímetro de banco DIT-2400.....	66
Figura 2.14: Medidor de impedancia de bucles MZC-300	66
Figura 2.15. Representación del uso de recursos virtuales en el aprendizaje académico	67
Figura 2.16: Entorno virtual como simulación y como laboratorio con instrumentación virtual	68
Figura 2.17: Arquitectura de un laboratorio software (imagen modificada)	69
Figura 2.18: Arquitectura de un laboratorio web (imagen modificada).....	70
Figura 2.19: Arquitectura de un laboratorio remoto	71
Figura 2.20: Entorno formado por instrumentos virtuales de medicion	72
Figura 2.21: Hardware reutilizable para diferentes fines de analisis según el software implementado.....	73
Figura 2.22: Entorno de trabajo en un laboratorio remoto	74
Figura 2.23: Entorno de seguridad vía RBAC e IDS integrados	76
Figura 2.24: Arquitectura GRID.....	76
Figura 2.25: Modelo de Clustering de Alta Disponibilidad.....	77
Figura 2.26: Diagrama de bloques de la propuesta de un laboratorio integrado. ...	79
Figura 2.27: Diagrama de bloques de la propuesta de la tarjeta DAQ de alta velocidad.....	80
Figura 3.1: Selector de AC –DC – GND.....	85
Figura 3.2: Configuración interna de los mini relés G6K-2F-Y.....	85
Figura 3.3: Circuito de relación de atenuación 1:1 1:10 1:100.....	86
Figura 3.4: Sub Etapa de amplificación y compensación de offset.....	87
Figura 3.5: . Sub Etapa de Amplificación de la Señal	88

Figura 3.6: Circuito Esquemático de la Etapa de ingreso	89
Figura 3.7: Esquema ADC	91
Figura 3.8: Acoplador de Ingreso.....	91
Figura 3.9: Esquema Divisores de Frecuencia	93
Figura 3.10: Configuración de la SRAM CY7C1019DV33	95
Figura 3.11: Esquema de la etapa de almacenamiento	96
Figura 3.12: Aislamiento de memoria	96
Figura 3.13: Direccionamiento de memoria.....	97
Figura 3.14: Lógica combinatoria de desbordamiento ficticio	98
Figura 3.15: Bloque Maestro de control	99
Figura 3.16: Bloque Esclavo de control	102
Figura 3.17: Etapa de Control.....	105
Figura 3.18: Configuración del potenciómetro digital para el desplazamiento vertical	106
Figura 3.19: Circuito de Disparo (Trigger).....	107
Figura 3.20: Diseño esquemático de la fuente de Alimentación	108
Figura 3.21: Diseño esquemático del módulo multifuncional de prácticas	109
Figura 3.22: Característica de Impedancia total frente a una frecuencia dada	122
Figura 3.23: Lazo formado por la corriente de montaje del capacitor.....	123
Figura 3.24: Esquemas posibles de compartición de los capacitores	123
Figura 3.25: Simulación de la característica impedancia vs frecuencia en distintos capacitores.....	125
Figura 3.26: Técnicas MicroStrip y StripLine con sus respectivas impedancias de salida	126
Figura 3.27: Ruteo en serpiente.....	126
Figura 3.28: Ejemplo de ruteo en serpiente en un PCB	127
Figura 3.29: Par diferencial microstrip edge-coupled.....	127

Figura 3.30: Par diferencial stripline edge-coupled.....	127
Figura 3.31: Igualación de longitudes eléctricas de las pistas diferenciales	128
Figura 3.32: Mantención de la impedancia diferencial en cambio de capa.....	128
Figura 3.33: Implementación de ruteado de señales diferenciales	128
Figura 3.34: Complejidad en la colocación de resistencias externas de terminación en una FPGA.....	129
Figura 3.35: Característica DCI de independencia en uno de los bancos	130
Figura 3.36: Posibles configuraciones de acoplamiento DCI.....	131
Figura 3.37: PCB resultante de la etapa de ingreso	132
Figura 3.38: Onda senoidal con frecuencia de ingreso de 1 MHz.....	132
Figura 3.39: Onda cuadrada con frecuencia de ingreso de 1 MHz	133
Figura 3.40: PCB resultante de la etapa de adquisición	133
Figura 3.41: Simulación de una señal de alta frecuencia aplicada en diferentes puntos de una pista en el PCB en estudio	134
Figura 3.42: Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo	135
Figura 3.43: PCB resultante de la etapa de division de frecuencia	135
Figura 3.44: Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio	136
Figura 3.45: Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo.	137
Figura 3.46: PCB resultante de la etapa de almacenamiento	137
Figura 3.47: Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio	138
Figura 3.48: Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo	139
Figura 3.49: PCB resultante de la etapa de control	139

Figura 3.50: Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio	140
Figura 3.51: Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo	140
Figura 3.52: PCB resultante de la etapa de desplazamiento vertical.....	141
Figura 3.53: PCB resultante de la etapa de sincronismo por trigger.....	141
Figura 3.54: Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio	142
Figura 3.55: Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo	142
Figura 3.56: PCB resultante de la etapa de alimentación.....	143
Figura 3.57: Parte delantera del armazón 3D.	144
Figura 3.58: Parte trasera del armazón 3D.....	144
Figura 3.59: Armazón 3D completo.....	145
Figura 3.60: Equipo ProtoMat S62 para mecanizado	148
Figura 3.61: Proceso de mecanizado.....	148
Figura 3.62: Tarjeta prototipo luego de ser mecanizada	149
Figura 3.63: Tarjeta con agujeros pasantes metalizados	149
Figura 3.64: PCB final HS-DAQ	150
Figura 3.65: Capacitor SMD 10nF modelo 0603	151
Figura 3.66: Equipo ProtoPlace S para posicionamiento de componentes SMD...151	
Figura 3.67: Aplicación de pasta de soldar en cada terminal de los componentes 152	
Figura 3.68: Posicionamiento de Componentes SMD utilizando el ProtoPlace152	
Figura 3.69: Equipo ProtoFlow S para soldadura de componentes.....153	
Figura 3.70: Visualización del perfil de soldadura ProtoFlow S.....153	
Figura 3.71: Etapa de soldado de componentes en la maquina ProtoFlow S153	
Figura 3.72: Soldado Manual de un Microcontrolador	154

Figura 3.73: Ensamble final de todos los componentes en la tarjeta de adquisición de datos.....	154
Figura 3.74: Tarjeta de prácticas construida	155
Figura 3.75: Ensamble final de la tarjeta de prácticas.....	155
Figura 3.76: Producto Final Laboratorio Integrado Básico (LIB).....	156
Figura 3.77: Panel Frontal del Osciloscopio Digital.....	157
Figura 3.78: Diagrama de bloques de la recepción de los datos.....	159
Figura 3.79: Diagrama de bloques del Envío de los Controles.....	159
Figura 4.1: Pruebas en la Etapa de Ingreso.....	161
Figura 4.2: Entrada en modo DC	162
Figura 4.3: Entrada en modo AC	162
Figura 4.4: Entrada en modo GND.....	162
Figura 4.5: Respuesta de la entrada para un factor de atenuación de 1	163
Figura 4.6: Respuesta de la entrada para un factor de atenuación de 10	163
Figura 4.7: Respuesta de la entrada para un factor de atenuación de 100.....	163
Figura 4.8: Respuesta de la entrada para un factor de amplificación de 3.5	164
Figura 4.9: Respuesta de la entrada para un factor de amplificación de 8	164
Figura 4.10: Respuesta de la entrada para un factor de amplificación de 15.....	164
Figura 4.11: Ventana de Osciloscopio en pruebas de la Etapa de Ingreso	165
Figura 4.12: Rectificación de media onda reconstruida con una frecuencia de muestreo de 250Hz.....	166
Figura 4.13: Prueba realizada a la etapa de división de frecuencia	166
Figura 4.14: Señal de 60Hz DAQ.....	167
Figura 4.15: Señal de 60HZ Osciloscopio Comercial (GWINSTEK).....	167
Figura 4.16: Señal Cuadrada con el Potenciómetro Digital a 0	168
Figura 4.17: Señal Cuadrada con el Potenciómetro Digital a 127	168
Figura 4.18: Señal Cuadrada con el Potenciómetro Digital a 255	169

Figura 4.19: Pruebas con una señal senoidal de 100Hz.....	170
Figura 4.20: Pruebas con una señal cuadrada de 100Hz	170
Figura 4.21: Pruebas con una señal triangular de 100Hz.....	171
Figura 4.22: Pruebas con una señal senoidal de 10KHz	171
Figura 4.23: Pruebas con una señal cuadrada de 10KHz.....	172
Figura 4.24: Pruebas con una señal triangular de 10KHz	172
Figura 4.25: Pruebas con una señal senoidal de 100KHz	173
Figura 4.26: Pruebas con una señal cuadrada de 100KHz.....	173
Figura 4.27: Pruebas con una señal triangular de 100KHz	174
Figura 4.28: Pruebas con una señal senoidal de 500KHz	174
Figura 4.29: Pruebas con una señal cuadrada de 500KHz.....	175
Figura 4.30: Pruebas con una señal triangular de 500KHz	175
Figura 4.31: Pruebas con una señal senoidal de 1MHz.....	176
Figura 4.32: Pruebas con una señal cuadrada de 1MHz	176
Figura 4.33: Pruebas con una señal triangular de 1MHz.....	177
Figura 4.34: Graficas de contraste en la etapa de ingreso 1MHz	179
Figura 4.35: Graficas de contraste en la etapa de ingreso 1.5MHz.....	179
Figura 4.36: Graficas de contraste en la etapa de ingreso 2.5MHz.....	179
Figura 4.37: Graficas de contraste en la etapa de ingreso 3MHz	180

ÍNDICE DE TABLAS

Tabla 1.1: CPLD vs FPGA.....	29
Tabla 3.1: Tabla de verdad del esquema de tiempo por división.....	94
Tabla 3.2: Valores usados en la simulación de la característica impedancia vs frecuencia	125
Tabla 3.3: Tabla de las características de las herramientas a cumplir en el diseño del PCB	146
Tabla 4.1. Consumo generado en cada alimentación.....	181
Tabla 4.2. Comparacion entre los parametros de calidad de los osciloscopios.....	182
Tabla 4.3: Resultados Pregunta 1 de las pruebas de campo	183
Tabla 4.4: Resultados Pregunta 2 de las pruebas de campo	183
Tabla 4.5: Resultados Pregunta 3 de las pruebas de campo	184
Tabla 4.6: Resultados Pregunta 4 de las pruebas de campo	184
Tabla 4.7: Resultados Pregunta 5 de las pruebas de campo	185
Tabla 4.8: Resultados Pregunta 6 de las pruebas de campo	185
Tabla 4.9: Resultados Pregunta 7 de las pruebas de campo	186
Tabla 4.10: Resultados Pregunta 8 de las pruebas de campo	187

CAPITULO I.

SISTEMAS DE ADQUISICIÓN DE DATOS DE ALTA VELOCIDAD

1.1. INTRODUCCIÓN

El mundo físico que nos rodea, es realmente analógico, y en teoría, no hubiese cabida posible de la tecnología actual, por su desarrollo alrededor de estructuras digitales; es por esto que, para que una magnitud física en particular pueda ser controlada o modificada, se requiere una previa conversión, mediante un transductor, al correspondiente valor de tensión analógico; de esta forma se posibilita el procesamiento de una magnitud específica, a través de un sistema electrónico, para obtener una respuesta deseada[1, 2].

Estos sistemas electrónicos son conocidos como Sistemas de Adquisición de Datos o S.A.D., los cuales permiten una integración de alta velocidad y control entre elementos centrales y periféricos, con el objeto de obtener una representación digital lo más fiel posible a la señal analógica original [2].

Y precisamente, uno de estos elementos periféricos, es constituido por la denominada Instrumentación Virtual que permite, entre otras cosas, flexibilidad, escalabilidad y adaptabilidad en el manejo, visualización y análisis de las señales a controlar, permitiendo características superiores a la instrumentación tradicional [3].

Esta interacción entre el mundo físico y el virtual es posible a través del protocolo USB cuya característica *Plug & Play* lo convierte en la interfaz, de transmisión de datos y distribución de energía, por excelencia [4, 5].

En este capítulo se muestra información útil para el compendio de los Sistemas de Adquisición de Datos o S.A.D., se continua con la instrumentación virtual para un desarrollo de plataformas HMI (Interfaz Humano – Maquina), y se plasma el protocolo USB como interfaz de comunicación entre dichas arquitecturas. Se tratan además, temas como los sistemas de procesamiento de

señales en los cuales se hace énfasis en los procesadores orientados a la alta velocidad y se culmina con una visión general de las arquitecturas libres y propietarias de S.A.D. que existen en el mercado actual.

1.2. TECNOLOGÍAS DE ADQUISICIÓN DE DATOS

En la actualidad el uso generalizado de las Tecnologías de la Información y Comunicación (TIC), así como el avance gigantesco de la tecnología en general, han permitido un desarrollo bastante notable en lo que a adquisición y tratamiento de datos se refiere. La variedad de dispositivos destinados para tales fines es extensa, contemplando desde transductores hasta sistemas completos basados en PC (Computadora Personal) [6] como podemos ver en la figura 1.1.

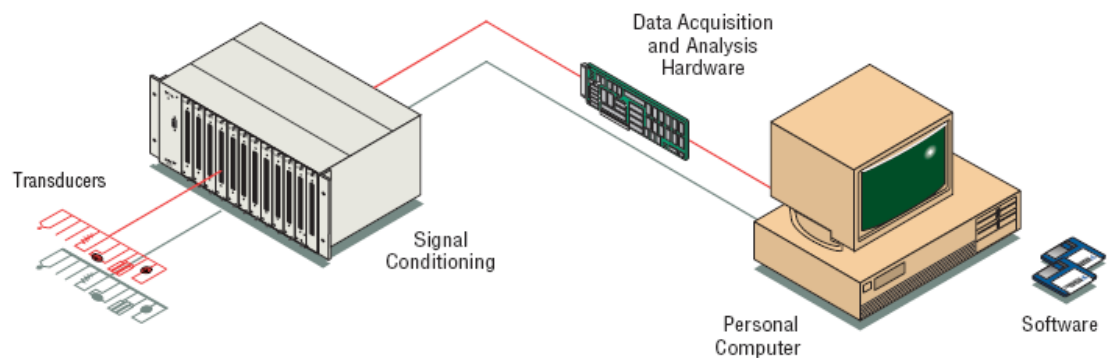


Figura 1.1. Sistemas de adquisición de datos basados en PC.

Fuente: National Instruments (1999); Data Acquisition Fundamentals.

Los sistemas integrados mencionados, son los denominados Sistemas de Adquisición de Datos (S.A.D.) que poseen características de conversión de señales provenientes del entorno, en datos digitales equivalentes factibles de manipulación. Las aplicaciones posibles que se pueden desarrollar, a través de estos sistemas, dependerán únicamente de la función que se requiera implementar [7].

1.2.1 ELEMENTOS DE UN SISTEMA DE ADQUISICIÓN DE DATOS.

Al ser sistemas como tales, están compuestos de varios elementos con los que requieren interactuar para cumplir con su fin ulterior. Estos elementos están agrupados por etapas que se clasifican en [7]:

- Fuentes de señales de ingreso.

- Elementos de acondicionamiento de señales.
- Elementos de procesamiento de señales.
- Instrumentos de medición y despliegue de datos.
- Instrumentos de registro gráfico.

1.2.1.1 Fuentes de señales de ingreso: Las fuentes de señales de ingreso son todas aquellas fuentes de índole eléctrica que pueden ingresar a este sistema y se clasifican en dos tipos: directas e indirectas. Las primeras permiten una medición de la señal en su forma original, mientras que las últimas requieren de un transductor para poder convertir un fenómeno físico en su equivalente eléctrico para poder ser leídas por dicho sistema [7]. En la figura 1.2 podemos apreciar la funcionalidad de un transductor en el ingreso de estos S.A.D.

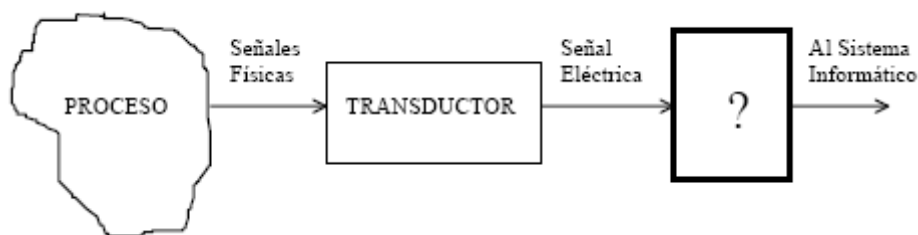


Figura 1.2. Diagrama de bloques de la funcionalidad de un transductor en el ingreso de un S.A.D.
Fuente: ESCUDERO, J., PARADA, M., SIMON F.; “Instrumentación Electrónica”; Universidad de Sevilla, España.

1.2.1.2 Elementos de acondicionamiento de señales: Los elementos de acondicionamiento analógico de señales tienen la función de acoplar la señal que ingresa, a un rango aceptable para su lectura en el ADC (Convertidor Analógico – Digital) usado [2]. Este acoplamiento se realiza a través de los siguientes procesos [6].

- Amplificación*; usada para los casos en que las señales que ingresan en el sistema sean demasiado pequeñas como para que sus características e información útil sea identificable por el ADC. Este proceso permite el incremento en la resolución y la reducción en el ruido inherente de la señal en cuestión.

- b. *Aislamiento*; en lo que respecta al transductor con el objeto de eliminar ruido, proteger al sistema contra posibles picos de tensión/corriente y evitar lecturas erróneas ocasionadas por lazos de tierra (diferencia de potencial en tierra).
- c. *Multiplexado*; cuya funcionalidad se ve reflejada en una multiplicidad de mediciones a diferentes fuentes de señales de ingreso. Estas mediciones se efectúan en una relación de 1 a 1 entre el número de muestras tomado y el canal a medir por lo que la toma de datos es secuencial. La velocidad efectiva de muestreo por canal es inversamente proporcional al número de canales existentes.
- d. *Filtrado*; cuya idea de existencia es la de limitar o eliminar en su totalidad todas aquellas señales interferentes con la señal a manipular, con el objeto de obtener solamente información útil para el respectivo procesamiento. Dado que puede trabajarse con señales de índole continua y alterna, los filtros a implementar deberán ser diseñados para que, en el ingreso del dispositivo ADC, se tenga la señal original sin modificación de ningún tipo.
- e. *Linearización*; usada en el ingreso de los S.A.D. para aquellos transductores cuya respuesta no es lineal. Esta conversión tiene por objeto obtener información escalable de la señal adquirida para poder transformarla a su símil digital y de esta forma emplear dicha información para monitoreo y control de un proceso en particular.
- f. *Proceso de Sample & Hold*; que permite garantizar la función total de un ADC a través de un amplificador del mismo tipo, lo que permite a su vez mantener las muestras en el estado requerido durante el tiempo propicio para su lectura y conversión [8].

1.2.1.3 Elementos de procesamiento de señales: Los elementos de procesamiento de señales hacen referencia a los convertidores Analógico – Digital y Digital – Analógico que se precisan como fundamentales en este tipo de sistemas. Se detalla cada uno de ellos para su generalización en la aplicación respectiva.

- *Conversión Analógica – Digital:*

Como su nombre lo indica dicha conversión permite tratar señales entrantes, desde el mundo analógico, como si fueran datos binarios, los mismos que pueden ser interpretados por una PC. El dispositivo encargado de este proceso es el ADC (Conversor Analógico – Digital) que se conceptúa como un dispositivo electrónico que convierte señales eléctricas, previamente acondicionadas, en valores binarios; sus usos son diversos y se aplican en campos como las telecomunicaciones, informática e incluso procesamiento de audio y video. Es el elemento más importante en un sistema de adquisición de datos [2].

Existen de diferentes tipos cuya particularidad de función estará definida por la aplicación a la que se encamina [8]. Su selección se hace dependiendo de los siguientes factores:

- Velocidad de conversión, o número máximo de conversiones en un tiempo determinado.
- Resolución, o número de bits de dicho conversor.
- Costo.

La clasificación de estos conversores es extensa por lo que se opta por caracterizarlos en grupos de estructuras similares, así tenemos [8]:

- ❖ *De conversión directa*, basados en comparar su entrada con una señal de referencia. Estos conversores son los conocidos tipo Flash.
- ❖ *Basados en métodos indirectos*, cuya conversión pasa previamente por etapas intermedias donde podemos encontrar variables temporales, lo que permite la existencia de los conversores tipo Rampa y Doble Rampa.
- ❖ *Estructuras realimentadas*, cuya conversión depende exclusivamente de la entrada de ingreso conceptuada como señal referencia. Estas estructuras dan lugar a los conocidos conversores de Aproximaciones Sucesivas.

- ❖ *Convertidores Sigma – Delta*, cuya técnica de conversión es basada en el sobremuestreo de la señal de ingreso con el objeto de brindar aplicaciones de tipo DSP.
- ❖ *Estructuras Pipeline*, cuyos conversores usan estructuras en cascada para acoplar su resolución a los rangos permitidos por un diseño limitante.

A continuación se analizan los conversores D/A y al final se plasman alternativas comerciales para estos dispositivos.

- *Conversión Digital – Analógica:*

Esta conversión contempla el proceso inverso al anterior; el dispositivo usado, por excelencia, para tal fin es el DAC (Conversor Digital – Analógico), que permite convertir una señal de ingreso digital (código digital) en otra de tipo analógica (voltaje o corriente proporcional), actuando básicamente como una interfaz entre el mundo de los ordenadores y el mundo real. Su uso se extiende con aplicaciones similares a su par inverso, el ADC, decantando principalmente en el procesamiento del sonido [2].

Las características básicas que contemplan estos conversores son [8]:

- Resolución.
- Tiempo de establecimiento, que es el tiempo requerido para la conversión como tal [9].
- Precisión absoluta, entendida como el margen de error entre la salida analógica real y la esperada [9].
- Estabilidad térmica
- Conversión unipolar o bipolar, entendida como la posibilidad de aceptación de códigos unipolares o bipolares de ingreso [9].
- Códigos digitales de entrada, de los cuales los más aceptados son BCD, complemento a dos, binario natural, etc. [9].
- Salida analógica, cuya caracterización será por corriente o tensión [9].
- Sensibilidad ante variaciones de la fuente de alimentación [9].
- Margen dinámico de la señal de salida, entendido como el margen de señal que se puede obtener en las salidas de estos conversores [9].

Dichos conversores se clasifican según dos criterios básicos, así tenemos [8]:

- ❖ *Estructuras directas*, que a su vez se clasifican en estructuras multiplicadoras con fuentes de corriente o resistencias ponderadas y en estructuras con redes de resistencias en escalera R-2R. Los efectos obtenidos a través de estas estructuras son los mismos.
- ❖ *Generación de impulsos (sobremuestreo) o bit-stream*, esta técnica es empleada sobre la frecuencia de salida de las muestras con el objeto de poder hacer uso de conversores de menor precisión y, por ende, mayor resolución.

Las alternativas comerciales que se presentan para los dos tipos de conversores, A/D y D/A, son extensas, entre las más usadas para aplicaciones de adquisición de datos se encuentran las siguientes [8].

- DAC0800: Convertidor D/A en tecnología bipolar de índole R-2R.
- AD7528: Convertidor D/A en tecnología CMOS del tipo R-2R.
- CA3126: Convertidor A/D de doble rampa.
- ADC0801: Convertidor A/D de aproximaciones sucesivas.
- AD9000: Convertidor A/D flash de 6 bits.
- TLC320AD58C: Convertidor sigma-delta.

Se continúa con el análisis de la conversión en alta velocidad y sus elementos conformantes como parte de los elementos de procesamiento de señales.

- *Conversión enfocada a la alta velocidad:*

Las consideraciones de diseño para la conversión a altas velocidades, son similares a las de procesos de conversión en general. Los circuitos tipo flash o de alta velocidad se caracterizan principalmente por forzar los límites del desempeño dinámico, decantando en aplicaciones específicas que no poseen el rango de flexibilidad que se pudiera requerir [10].

Se hace énfasis principalmente en las técnicas de diseño de tipo monolítico e híbrido ya que estas presentan grandes niveles de desempeño para el fin buscado. En esta sección se presentan las arquitecturas internas de los diversos componentes de la conversión de alta velocidad [10].

Componentes principales de un Sistema de Adquisición de Datos de Alta Velocidad:

Como se mencionó anteriormente, varias son las etapas de conversión, por lo que, en este apartado se tratan sobre las más importantes definidas como amplificación, acondicionamiento y conversión propiamente dicha.

En lo que respecta a la etapa de amplificación, las estructuras usadas son las siguientes:

- *Amplificadores Buffer:*

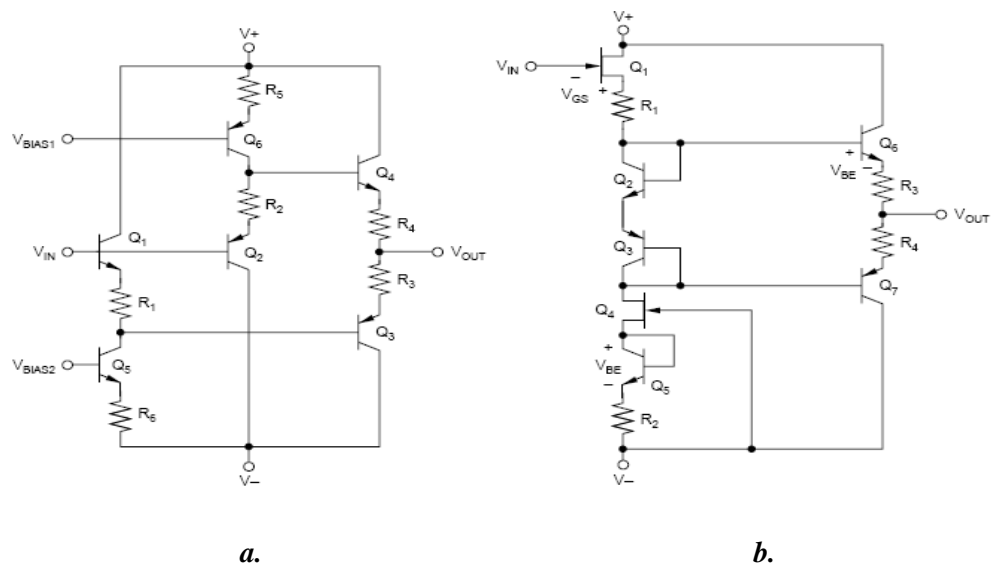


Figura 1.3. Arquitectura interna de un amplificador tipo High Speed Buffer (Buffer HS). a. Buffer Bipolar. b. Buffer FET

Fuente: KOEN, Mike; "High Speed Data Conversion"; Burr Brown, Application Bulletin.

En la figura 1.3 podemos apreciar esquemas de Buffer para alta velocidad. Estos circuitos en particular integran simplicidad, bajo costo, banda ancha y sencillez de aplicación. Estos arreglos son básicamente buffer de lazo abierto que tienen impedancias de 5 ohms y pueden lograr anchos de banda de varios cientos de MHz.

Dichos circuitos permiten manejar cargas altamente capacitivas sin implicar reducción alguna del ancho de banda ofrecido.

- *Amplificador Operacional:*

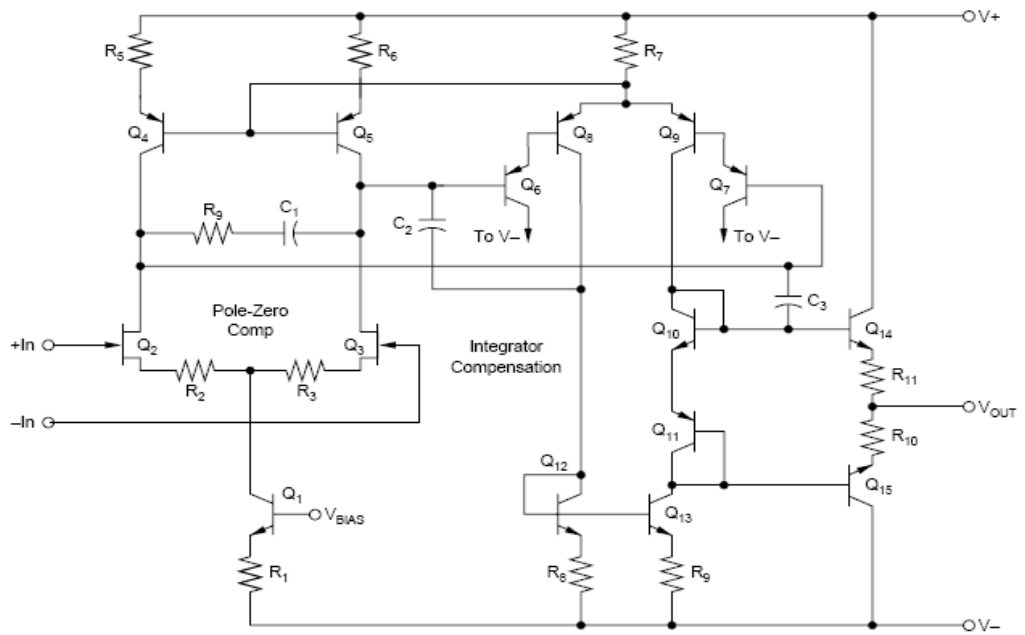


Figura 1.4. Arquitectura interna de un amplificador Operacional tipo FET.

Fuente: KOEN, Mike; "High Speed Data Conversion"; Burr Brown, Application Bulletin.

Este tipo de amplificadores se presenta en la figura 1.4 y se caracterizan por poseer tiempos de establecimiento por debajo de los 100ns con una tolerancia de 0.01% y anchos de banda en lazo abierto por encima de los 100 MHz. Esta optimización decanta en pérdida de ganancia en lazo abierto, pero permite una estabilidad sobre la temperatura y linealidad mediante una correcta adecuación de señal.

Se debe tener en cuenta que los amplificadores High Speed o de alta velocidad deben ser diseñados con una resistencia interna mínima de 50 ohms ya que los cables empleados en estos sistemas serán usados para interconectar señales de alta frecuencia [10].

En lo que respecta a la etapa de acondicionamiento, se hace alusión a los comparadores debido a que estos permiten el acoplamiento entre una señal de ingreso y el ingreso del convertidor para evitar un funcionamiento erróneo del último. La estructura a usar será:

- *Comparador:*

En los sistemas de procesamiento de señales, este dispositivo es muy usado ya que prácticamente traduce una comparación a señal digital

para el resto del sistema. Son dos las implementaciones que se pueden realizar para dichos comparadores, la primera será el uso de un amplificador de alta ganancia que posee una estructura en cascada para lograr un ancho de banda de ganancia alta. En la figura 1.5 se ve la implementación de este tipo de comparador.

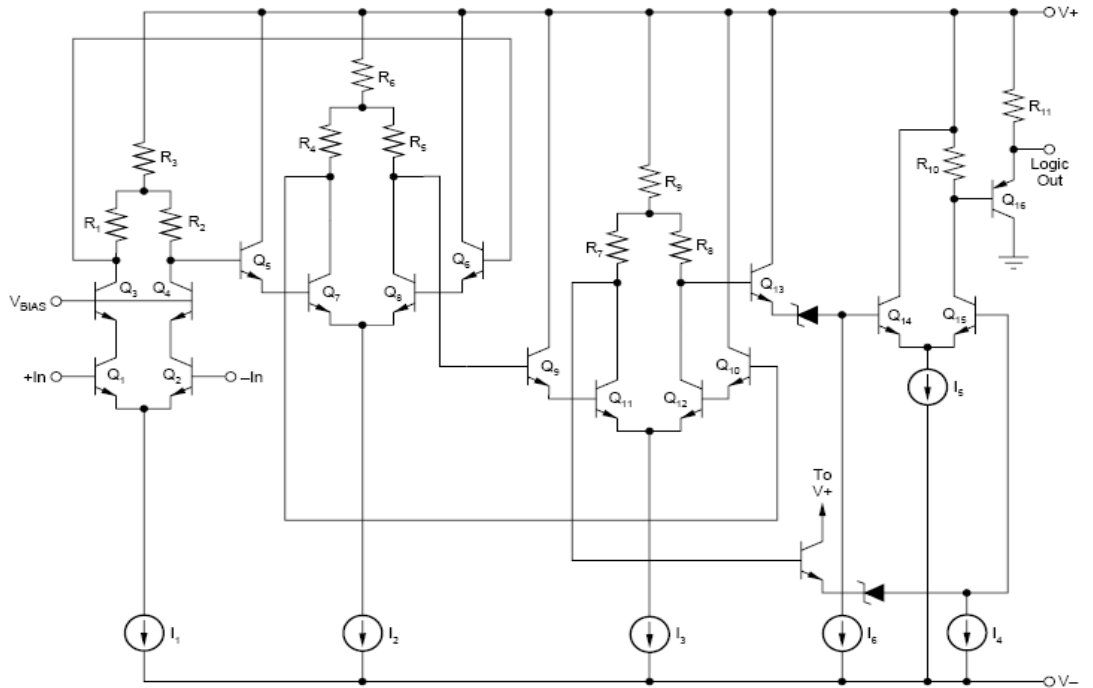


Figura 1.5. Arquitectura interna de un comparador de alta ganancia tipo High Speed.

Fuente: KOEN, Mike; "High Speed Data Conversion"; Burr Brown, Application Bulletin.

La segunda implementación que es por aproximación tipo latch, se muestra en la figura 1.6 y permite una gran ganancia a través de la puesta en marcha de la filosofía de estados regenerativos, o estados realimentados, mediante la señal de habilitación latch.

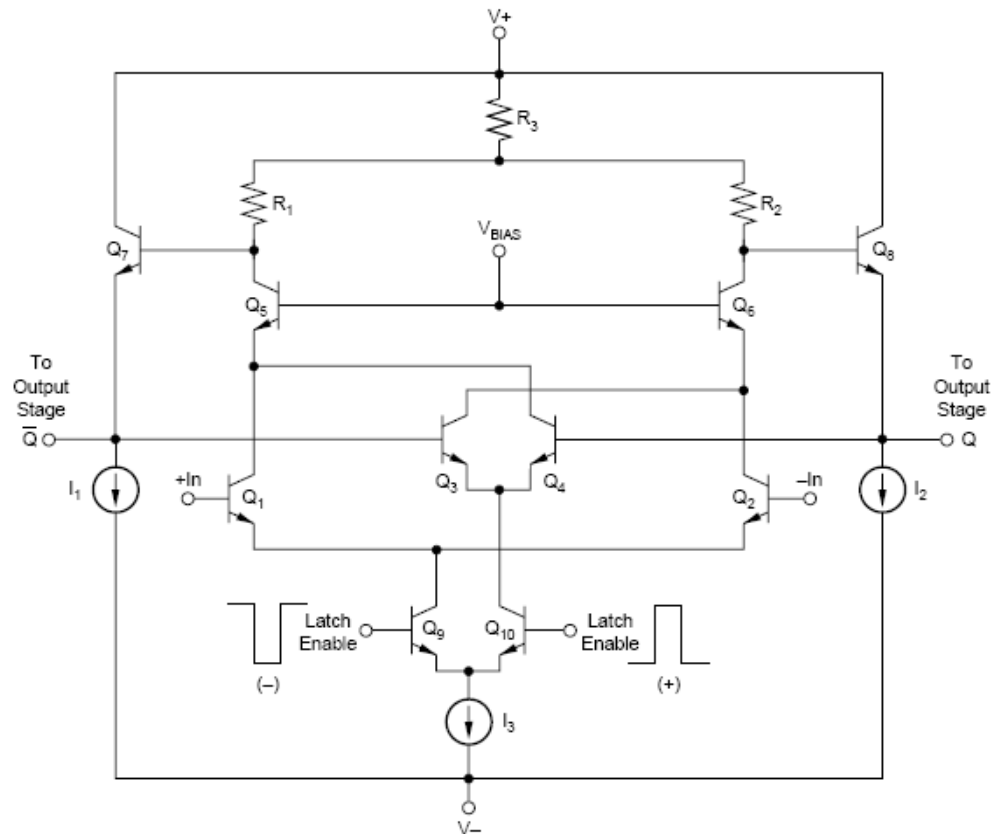


Figura 1.6. Arquitectura interna de un comparador por Aproximación tipo Latch.

Fuente: KOEN, Mike; "High Speed Data Conversion"; Burr Brown, Application Bulletin.

Debido a que el comparador se mantiene en el estado latch (estado de memoria), resulta imposible que se den oscilaciones en el mismo, lo que asegura su fiabilidad.

Los conversores A/D más rápidos del mercado hacen uso de comparadores tipo latch para cada nivel de cuantización ya que implementan una moderada simplicidad capaz de permitir la cantidad necesaria de integración de los demás dispositivos involucrados [10].

La etapa de conversión se efectúa a través de las siguientes estructuras:

- *Conversores D/A:*

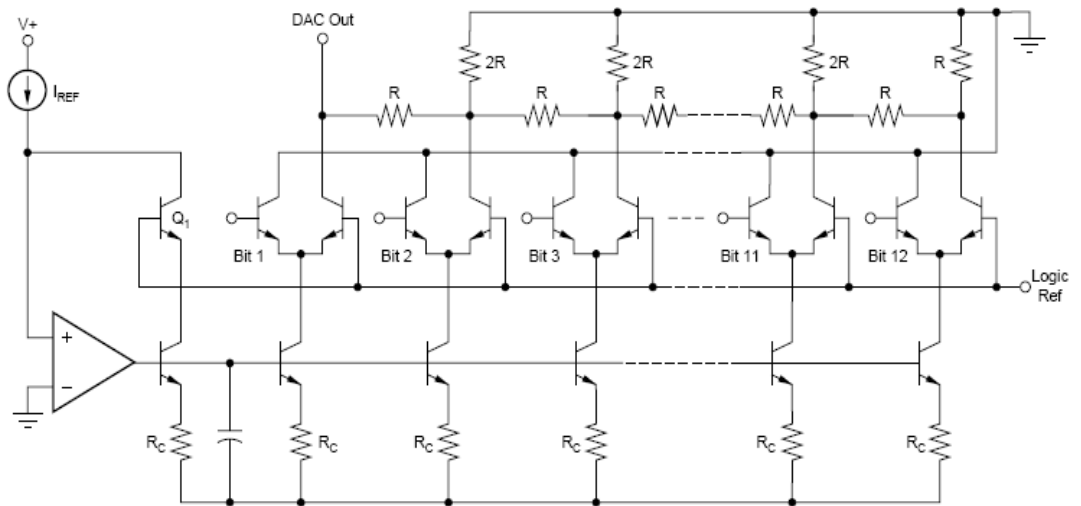


Figura 1.7. Arquitectura interna de un conversor D/A de alta velocidad con corrientes equilibradas.

Fuente: KOEN, Mike; "High Speed Data Conversion"; Burr Brown, Application Bulletin.

El esquema de la figura 1.7 muestra la arquitectura interna típica de los conversores de alta velocidad. Estos se caracterizan por ser compatibles con los elementos TTL. Dichos esquemas permiten alcanzar resoluciones de 12 bits con un tiempo de establecimiento de 26ns con tolerancia de 0.01% y puede operar en condiciones ambiente en un rango de entre -55°C y 125°C . Además, son logrados a través de procesos monolíticos que aseguran la compatibilidad con dispositivos de capa delgada [10].

- *Conversores A/D:*

Para estos conversores, se tendrán características de alta velocidad o características High Speed a través de tres arquitecturas que serán de compendio general trascendente a las demás posibles. Estas son: Flash, Aproximaciones Sucesivas y Sub-Ranging.

Las primeras arquitecturas son características para las aplicaciones de alta velocidad, tienen una estructura monolítica que les permite alcanzar velocidades mayores a 500MHz y tiempos de conversión mayores a las 200MHz apegados al uso de dispositivos bipolares [10].

Las siguientes se caracterizan por su alto grado de desempeño mostrado en conjunto con su compatibilidad híbrida y monolítica a través de tecnologías Bipolar, CMOS y BiMOS.

Las últimas mencionadas son también conocidas como de doble paso, pueden lograr una alta resolución en comparación a los anteriores. Integran las características más relevantes de las anteriores. El diagrama de bloques de la figura 1.8 muestra sus etapas embebidas.

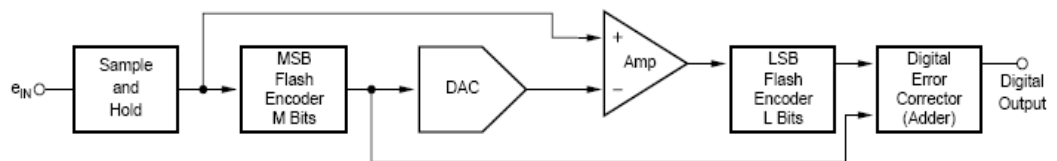


Figura 1.8. Diagrama de bloques de un convertidor de doble paso.

Fuente: KOEN, Mike; “High Speed Data Conversion”; Burr Brown, Application Bulletin.

Como complemento a los elementos de procesamiento de señales tratados en este apartado también se hace alusión a los procesadores destinados a la alta velocidad, los cuales son analizados ampliamente en el siguiente ítem de este capítulo. Siendo esto lo referente a los elementos de procesamiento de señales se continúa con la caracterización de las demás etapas de un Sistema de Adquisición de Datos.

1.2.1.4 Instrumentos de medición y despliegue de datos: Los instrumentos de medición y despliegue de datos, como su nombre lo indica, permiten la verificación del proceso de adquisición a través de una fuente visible, sea numérica o sea gráfica, permitiendo a los usuarios tener una base de comprobación del proceso en cuestión [6].

1.2.1.5 Instrumentos de registro gráfico: Los instrumentos de registro gráfico, a diferencia de los anteriores, permiten verificar la evolución de este proceso a través de una interfaz gráfica que permita a los usuarios, desplazarse sobre las escalas de visualización para mejorar la calidad de dicha evolución gráfica [6].

Una vez analizados los componentes de un Sistema de Adquisición de Datos, se continúa con la caracterización de los diferentes esquemas que pueden presentarse en la adquisición de datos como tal.

1.2.2 ESQUEMAS DE ADQUISICIÓN DE DATOS.

Los esquemas que podemos encontrar en un sistema de este tipo dependen de la característica en la etapa de control que posean pudiendo ser de tres tipos [6].

- Esquemas de control analógico con monitoreo.
- Esquemas de control digital directo.
- Esquemas de control supervisorio.

1.2.2.1 Esquemas de control analógico con monitoreo: Cuyos procesos implícitos son de índole analógica. Se caracterizan por ser útiles para aplicaciones de bajo costo, implementación sencilla y gran ancho de banda. El control es generalmente de tipo on/off con tolerancias a errores bajas [6]. En la figura 1.9 podemos observar una implementación de estos esquemas.



Figura 1.9. Sistema analógico de monitoreo para sólidos.

Fuente: National Instruments (1999); Data Acquisition Fundamentals.

1.2.2.2 Esquemas de control digital directo: Cuyos procesos implícitos requieren una previa conversión entre ámbitos analógicos/digitales para poder actuar. Se caracterizan por estar encaminados a aplicaciones digitales, con costos elevados de implementación. Estos permiten la posibilidad de registrar los eventos ocurridos para un posterior análisis de

los mismos [6]. En la figura 1.10 se observa una implementación de este tipo.

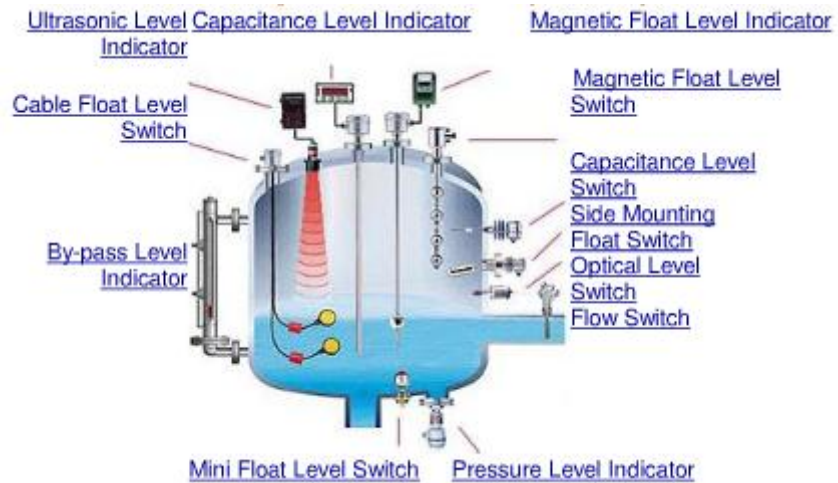


Figura 1.10. Sistema digital de monitoreo para líquidos.

Fuente: National Instruments (1999); Data Acquisition Fundamentals.

Dentro de estos esquemas se encuentran los sistemas de adquisición de datos basados en PC que se caracterizan como útiles para los fines buscados.

Dichos sistemas, a su vez, se pueden clasificar en dos tipos que son:

- *Sistemas de adquisición de datos local.* Se denomina local porque el sistema en cuestión reside dentro de la computadora o, en su defecto, se ubica a distancias bastante cortas (10m) [3].
- *Sistemas de adquisición de datos remoto.* Se denomina remoto porque, a diferencia de los anteriores, la computadora y el sistema de adquisición y acondicionamiento de señales están ubicados a distancias superiores a los 20m uno del otro [3].

1.2.2.3 Esquemas de control distribuido: Son destinados para procesos altamente complejos, por lo que precisan de varios módulos de trabajo para cumplir su fin ulterior. Presentan además características de confiabilidad robustez y rendimiento que no pueden ser alcanzadas por procesos similares [6].

Debido a que los esquemas de control digital directo son los que se encuentran en auge en la actualidad, por las innumerables aplicaciones que son factibles a

través de ellos, se amplía su caracterización a través de los sistemas basados en PC, cuyo funcionamiento se encuentra basado en dicho esquema.

1.2.3 SISTEMAS DE ADQUISICIÓN DE DATOS BASADOS EN PC.

Los sistemas basados en PC, como se indicó anteriormente, precisan de una interacción entre hardware y software para cumplir sus fines ulteriores, cuyos resultados se plasman en datos disponibles para su correspondiente análisis. Esta interacción se presenta como factible a través de una interfaz por protocolo USB y una interfaz gráfica a través de instrumentación virtual. Se analizan las características de cada uno de ellos.

1.2.3.1 *Protocolo USB.*

El protocolo USB contempla una interfaz plug & play entre una PC y dispositivos periféricos. Una característica importante de este protocolo es que permite a los dispositivos trabajar a velocidades mayores, con característica High Speed, esto es, aproximadamente, de 120 a 200 veces más rápido que un dispositivo de puerto paralelo y de 800 a 1600 veces más rápido que un dispositivo de puerto serial [5].

Los nuevos avances en lo referente a estos modelos han hecho posible la existencia comercial del USB 3.0 que puede alcanzar velocidades de hasta 4.8Gbps y contempla aplicaciones enfocadas a HDTV.

La interfaz implementada a través de este protocolo debe caracterizarse por una marcada simplicidad por lo que varios son los métodos que se implementa para tal fin. En la parte de hardware, específicamente en la comunicación ADC – Microprocesador, cuando se presenta el caso de módulos independientes, los esquemas más importantes son:

- ***Esquemas de datos recientes***, donde el ADC trabaja continuamente. Al final de cada conversión este actualiza un buffer de salida y luego comienza automáticamente una nueva conversión. El microprocesador simplemente lee este buffer siempre que requiere el dato más reciente. El método es adecuado

para aplicaciones que necesitan actualizar datos solamente de manera ocasional [7].

- ***Esquemas Iniciar y esperar***, donde el microprocesador inicia la conversión cada vez que necesita nuevos datos, con la comprobación implícita del éxito en la conversión. Cuando este detecta un fin de conversión, simplemente lee la salida del convertidor para comenzar un nuevo ciclo de proceso [7].
- ***Esquemas por interrupción de microprocesador***, donde el ADC provoca una interrupción cada vez que completa una tarea de conversión, la cual es atendida por el microprocesador a través de una rutina destinada para tales fines. Generalmente, en estos esquemas, se hace uso de un controlador de interrupciones para afinar las operaciones del microprocesador [7].

Para la interfaz en la parte de software en donde se transfiere en exclusivo la información entre hardware – software se tienen los siguientes métodos de transferencia:

- ***Transferencias con mapeo de memoria***, en donde el ADC es trabajado únicamente como una dirección de memoria [7].
- ***Transferencias mapeadas entrada/salida (I/O)***, estas, al igual que las anteriores consideran al ADC como una dirección de memoria pero además implementan modularidad al separar las direcciones I/O con el fin de mejorar el diseño del sistema [7].
- ***Acceso directo de memoria (DMA)***, el cual se hace a través de un controlador DMA para acceder a memoria directamente sin pasar por ningún proceso previo de control, con lo cual incrementa la velocidad de transferencia de la información útil para los fines buscados. Este método es útil para aplicaciones de alta velocidad [7].

1.2.3.2 *Instrumentación virtual.*

El termino instrumentación se refiere a la medición de variables tanto físicas como virtuales, mediante dispositivos diseñados para tal fin, con el propósito de ejercer alguna acción sobre dichas variables que generalmente son señales [11].

La instrumentación virtual tiene su origen como alternativa y ahorro de hardware, al implementar el reemplazo de equipos físicos por software, manteniendo la misma funcionalidad y características originales.

Esta virtualización representa una gran ventaja en lo que se refiere a repetitividad de procesos, ya que un mismo hardware permite, mediante interconexión de redes, un uso general para un mayor número de dispositivos de censado, que si lo estuviéramos haciendo mediante la instrumentación convencional.

Dicha instrumentación virtual decanta en dos corrientes de censado mostrado al usuario final, estas son:

- ✓ *Elementos indicadores*: O elementos de salida; estos permiten al usuario final verificar procesos, así tenemos: LED, graficas, etc.
- ✓ *Elementos de control*: O elementos de entrada; estos permiten al usuario final la asignación de variables de manipulación para ajuste de procesos en el sistema, así tenemos: pulsadores, interruptores, etc.

Los elementos conformantes de un sistema de instrumentación virtual pueden ser infinitos, solamente limitados por su practicidad de uso. Para construir dichos instrumentos virtuales, es necesario, en principio, tres sistemas componentes: una computadora personal o procesador, una tarjeta DAQ diseñada con acondicionamiento de señales y el software que va a ser usado [12, 13]. Un esquema de estos sistemas se muestra en la figura 1.11.

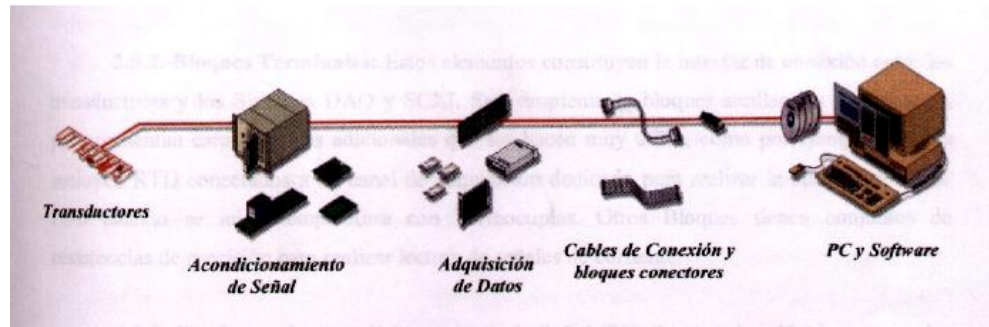


Figura 1.11. Diagrama de bloques de un sistema basado en Instrumentación virtual.

Fuente: VELAZQUEZ, Iván; “Instrumentación Virtual”; Universidad de la Frontera, Chile.

El software a usar en estos sistemas, para contemplar aplicaciones con instrumentación virtual, debe cumplir con las siguientes consideraciones [13]:

- Brindar compatibilidad con el Hardware de Adquisición y Acondicionamiento.
- Brindar funcionalidad de manipulación expresada en drivers para manejar un determinado Hardware.
- Estar desarrollado bajo un sistema operativo de altas prestaciones.
- Brindar potencialidad y flexibilidad.

Los instrumentos virtuales, que forman una parte esencial de un sistema basado en PC, para ser comparables con la realidad, deben cumplir con tres funciones específicas como son: análisis, adquisición, y presentación de datos, solo así se asegura el brindar un dispositivo de instrumentación completo [12, 13].

Las características influyentes en el diseño de los componentes de un sistema de instrumentación virtual son ruido y exactitud en las mediciones, por lo que su compendio global nos ayudara a determinar, en la parte de pruebas, la magnitud de su influencia en la señal a procesar.

Para culminar con este ítem se da paso al análisis de las tecnologías de adquisición de datos existentes en el mercado.

1.2.4 TECNOLOGÍAS DE ADQUISICIÓN DE DATOS EXISTENTE EN EL MERCADO.

La escalabilidad en lo que a canales de medición se refiere, se plantea como característica primordial, lo que permite, a priori, obtener modelos susceptibles de modificaciones tanto generacionales como funcionales para el usuario final [14].

Este hecho se caracteriza como factible debido al aumento de aplicaciones dirigidas a la flexibilidad del manejo de los datos adquiridos por lo que, varias tecnologías encaminadas a este propósito se han desarrollado en los últimos años. Entre las más prominentes tenemos:

- Sistemas basados en CompactRIO
- Sistemas basados en USB
- Tecnología de la serie M y PXI.

Analizamos cada una de ellas, decantando en la generalidad de uso que poseen.

- *Sistemas de adquisición y control basados en CompactRIO.*

Esta arquitectura es propiedad intelectual de National Instruments y se constituye como un avanzado sistema de carácter embedded reconfigurable. Hace uso de tecnologías FPGA (arreglo de compuertas) para brindar características de espacio físico, velocidad de programación, robustez, flexibilidad, y rendimiento que no serían alcanzables por métodos similares [14]. En la figura 1.12 se puede observar la arquitectura de estos sistemas.

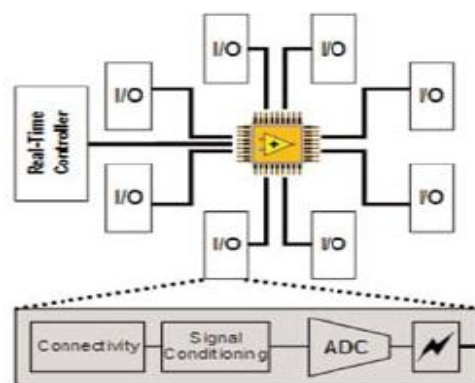


Figura 1.12. Arquitectura del CompactRIO.

Fuente: NAIR, Chandran (2005); National Instruments; Adelantos y Tendencias en Adquisición de Datos Portátil.

Dicha arquitectura trabaja con chips encaminados a las aplicaciones en tiempo real lo cual permite obtener altas prestaciones de adquisición y procesamiento de datos. Además se componen de módulos de E/S con conectividad particular, sistemas de acondicionamiento de señales, circuitos de conversión y barreras aislantes [14], lo que los convierten en soluciones óptimas para el usuario final.

- *Bus USB para Adquisición de Datos Portátil.*

Esta arquitectura es la que se encuentra en auge actual debido al incremento de los prototipos hardware de índole plug & play para fines de adquisición de datos. Algunos de ellos los podemos observar en la figura 1.13.



Figura 1.13. Dispositivos NI USB portátiles.

Fuente: NAIR, Chandran (2005); National Instruments; Adelantos y Tendencias en Adquisición de Datos Portátil.

Las aplicaciones que pueden ser factibles a través de esta arquitectura son extensas y se caracterizan principalmente por las prestaciones en cuanto a compatibilidad legacy, interacción con tecnologías similares y generación de eventos asíncronos se refiere. Dados los nuevos desarrollos alrededor del protocolo USB, estos dispositivos se pueden utilizar en ambientes remotos con características de medición y automatización prácticamente ilimitadas [14].

- *Serie M de dispositivos de Adquisición de Datos.*

Se constituye como la arquitectura del futuro para adquisición y procesamiento de datos. Contempla entre sus características el mejoramiento del hardware a estándares industriales con mayores capacidades de adquisición y procesamiento de datos que cualquier tecnología similar existente [14]. Los dispositivos de esta serie se pueden contemplar en la figura 1.14.



Figura 1.14. Familia de dispositivos de la Serie M.

Fuente: NAIR, Chandran (2005); National Instruments; Adelantos y Tendencias en Adquisición de Datos Portátil.

Esta arquitectura implementa chips de nueva generación que permiten diseñar aplicaciones con mayor rendimiento, precisión y velocidad de adquisición; inclusive las plataformas PXI, que poseen características robustas y basan su procesamiento en la PC, han implementado estos nuevos chips [14].

Los continuos avances en lo que respecta a adquisición y procesamiento de datos, brindan, cada vez, una mayor integración entre las distintas plataformas destinadas para tales fines, lo que implica el mejoramiento continuo de las características de robustez, rendimiento, precisión y confiabilidad para las distintas aplicaciones diseñadas por los usuarios finales.

A continuación se hace el análisis de los procesadores enfocados a la alta velocidad cuyo principal desarrollo contempla nuevos lenguajes descriptores y sistemas controlados centrales.

1.3 SISTEMAS DE PROCESAMIENTO DIGITAL DE SEÑALES

Los sistemas DSP están involucrados en la mayoría de los campos tecnológicos actuales, obteniendo resultados muy exitosos en sus aplicaciones. En la actualidad existen diversos dispositivos que basan su funcionamiento en este tipo de procesamiento de señales, permitiendo que el usuario final potencialice la manipulación de dichas señales a diversas estructuras de control [15].

Existe una gran cantidad de fabricantes de este tipo de dispositivos, de manera que, una aplicación en particular no encuentre un limitante en la parte de

hardware y permita una programación transparente dedicada en la parte de software.

1.3.1. HARDWARE Y SOFTWARE ENFOCADOS PARA DSP

Cuando se habla acerca de software enfocado para DSP, se trata de buscar opciones de tipo libre, es decir que no requieran la compra de un producto o mucho menos la adquisición de algún tipo de licencias para utilizar un programa en particular. Obviamente, existen programas que permiten su uso gratuito y serán los que se vayan a implementar en el proyecto a desarrollar.

En lo que respecta al hardware, al igual que el software, son mínimas las soluciones que se presentan de tipo libre, la mayoría de ellas, tienen un costo dependiendo de la marca, tipo, industria y aplicación que se le dé; por ello las personas optan por realizar sus propios diseños a costa de una disminución en características y ventajas que pudieran ofrecer las arquitecturas propietarias. Entre los modelos propietarios, los productos de National Instruments son los más cotizados, algunos de ellos son:

- E.L.V.I.S.
- DAQ NATIONAL INSTRUMENT

En el mercado actual las opciones para hardware y software enfocados para DSP son variadas, entre las más importantes tenemos [16]:

- FPGA
- DsPic, uC, uP
- ARM
- Labview
- Matlab
- Assembler (C - C++)
- VHDL

Su uso interactivo permite la existencia de estructuras de procesamiento de señales que permiten características de integración a la actividad académica actual. A continuación se evidencia su análisis.

1.3.2. ESTRUCTURAS DE PROCESAMIENTO DE SEÑALES

Existen muchas maneras de procesar una señal, esto dependerá de las necesidades del usuario, hablando de precio, marca, o utilidad que se le dé. La mayoría opta por la marca comercial, ya que esta representa una gran garantía para obtener el resultado que se desea.

Se ve conveniente clasificar las diferentes estructuras de procesamiento de señales en tres grupos:

- Microcontroladores
- Microprocesadores
- CPLDs

La elección de una de estas estructuras en particular dependerá ampliamente de sus características embebidas situándose como primordial la velocidad con la que se trabaje.

A continuación se detalla cada uno de los tipos de procesamiento y adquisición de datos, con el objeto de una mejor comprensión de cada una de sus características inherentes.

1.3.2.1. Microprocesadores

Un microprocesador es un dispositivo capaz de procesar señales en tiempo real, posee ciertas instrucciones que pueden ser de mucha ayuda tales como [17]:

- MAC (multiply-accumulate operations)
- DEEP PIPELINING
- La habilidad de actuar como un dispositivo de DMA (acceso directo a memoria).
- SATURACION ARITMETICA
- ARQUITECTURA DE HARVARD, memoria de programas y memoria de datos separadas.
- La mayoría de los DSP son de punto fijo, porque en el mundo real del procesamiento digital, el exceso de precisión no es un requisito, sin embargo los DSP de puntos flotantes son comunes en los campos

científicos y de otras aplicaciones dónde la precisión si se caracteriza como un requisito.

Los microprocesadores son capaces de manejar altas frecuencias, por lo que pueden resultar bastante útiles en el desarrollo del proyecto, realizando movimientos de datos entre registros en un ciclo de máquina

Unos de los microprocesadores que mayor auge tiene actualmente es el FPGA que se caracteriza por ser un microprocesador de índole numérico y repetitivo [18], es decir por cada dato que recibe, este aplica funciones matemáticas para procesar una señal con el objeto de que dicha señal sea capaz de ser interpretada de alguna manera. Este tipo de sistemas funciona en tiempo real capturando y procesando datos en el momento que ocurren [18]; este tipo de tratamiento de señales digitales va de la mano de los ADC que también deben ser lo suficientemente rápidos para no perder los datos de conversión en su ingreso.

Un FPGA generalmente consta de 16 CLB's, que se estructuran como módulos por lo que una expansión posible es completamente compatible, además tiene recursos de conexión y gestión de control en toda su arquitectura [19].

Además su arreglo de compuertas es desarrollado por software por lo que una programación transparente, que no sea crítica ni determinante, es necesaria para el usuario final.

La programación de este tipo de microprocesador, se basa en herramientas que permiten un código transparente al usuario final. Entre las más importantes están [20]:

- a. Bloques lógicos: Cuya representación en conjunto se denomina arquitectura, con la consiguiente dimensión implícita para cada aplicación.
- b. Recursos de interconexión: O también conocido como arquitectura de ruteado.
- c. Memoria RAM: Cuya activación se encuentra en el arranque y es útil en la configuración de la arquitectura de bloques lógicos.

Las principales ventajas que se pueden encontrar en este tipo de dispositivos son el relativo corto tiempo de producción y el bajo costo de prototipado. Debido a las características específicas de cada fabricante se puede encontrar en el mercado cuatro importantes grupos de FPGA's, siendo estos [18]:

- Los de matriz asimétrica que son característicos de la empresa XILINX
- Los basados en canales, característicos de ACTEL
- Los constituidos por mar de puertas, de la empresa ORCA
- PLD's jerárquicos o CPLD, cuyas empresas respectivas son ALTERA Y XILINX.

En la figura 1.15 se aprecia un ejemplo de una implementación de un microprocesador de tipo FPGA destinado para adquisición de datos utilizando una comunicación USB.

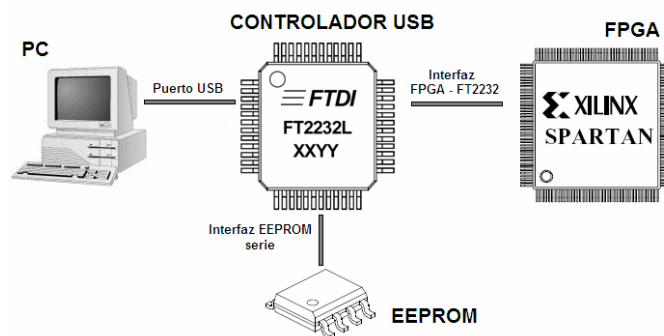


Figura 1.15. Sistema de adquisición de datos mediante un FPGA vía USB.

Fuente: Procesamiento Digital de Señales.

Un ejemplo de FPGA es el Spartan en sus diferentes versiones pertenecientes a Xilinx. Este dispositivo al tener características embedded viene integrado con un software propio para su programación, este lenguaje es propietario por lo que se considera como arquitectura propietaria. En los laboratorios de la Universidad Politécnica Salesiana ya se están utilizando este tipo de programación para un fin educativo como se observa en la figura 1.16, es decir el kit proporciona varias aplicaciones, ya sea manejo de display, lcds, etc. [21]

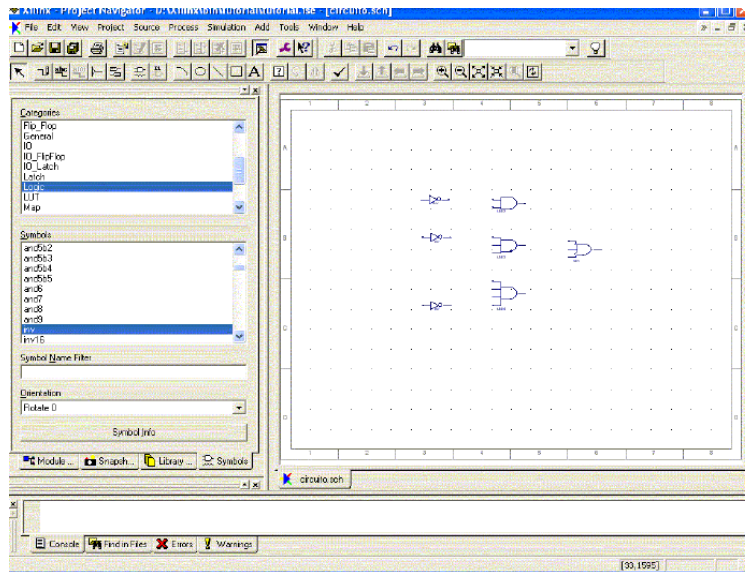


Figura 1.16. Software para la realización de diseños con esquemáticos Xilinx ISE.

Fuente: Procesamiento Digital de Señales.

1.3.2.2. CPLD

Los CPLD son arquitecturas compuestas por varios PAL's en un solo chip, conectados entre sí a través de switches de ramificaciones extremas. Principalmente se caracterizan por manejar mayor cantidad de lógica compleja que sus símiles.

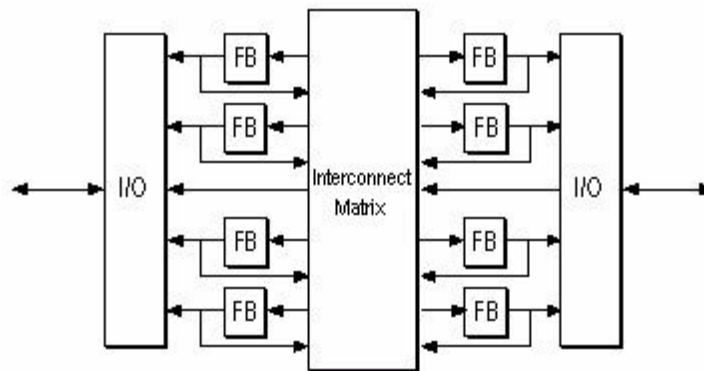


Figura 1.17. CPLD estructural.

Fuente: Architecture of FPGAs and CPLDs: A Tutorial.

La figura 1.17 indica la arquitectura interna de una CPLD, cabe recalcar que esta es genérica, por tanto cada fabricante aportara con su variación característica. Como se puede apreciar, principalmente se forma de bloques de función, bloques de entrada/salida y una matriz interconectada. Estos dispositivos son programados a través de celdas EPROM y EEPROM [19].

Generalmente este tipo de dispositivos es diseñado con arquitectura similar a las PAL, por lo que sus aplicaciones también trascienden y cuya programación se vuelve familiar. En la figura 1.18 se aprecian los bloques de entrada/salida de una CPLD estructural.

❖ *Bloques I/O:*

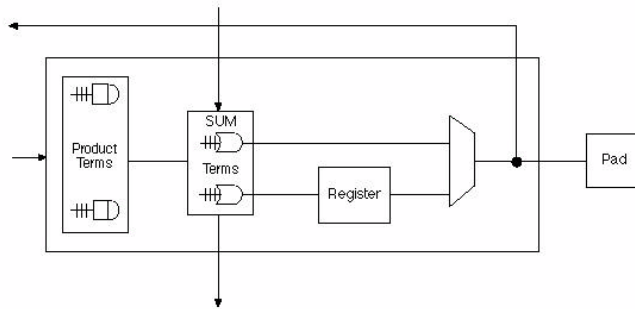


Figura 1.18. Bloques I/O de una CPLD estructural.

Fuente: Architecture of FPGAs and CPLDs: A Tutorial.

Estos bloques son diseñados para manejar diferentes señales hacia los pines del CPLD cuyos niveles de voltaje y corriente sean los propicios. Generalmente se incluyen flip flops en las salidas con el objeto de eliminar retardo en la transmisión de información, así como en los ingresos con fines similares, obviamente estos procesos aumentan el requerimiento de holding del dispositivo en cuestión. Entendiendo por holding el mantener los datos sin perder ninguno de ellos.

Familias CPLD:

Entre las principales familias de CPLD en el mercado, se presentan las siguientes [19]:

- Altera MAX 7000 y MAX 9000
- Atmel ATF y ATV
- Lattice ispLSI
- Lattice (Vantis) MACH
- Xilinx XC9500

Alternativas CPLD vs FPGA:

Para una aplicación específica enfocada para DSP, las opciones de procesadores son dos, en la tabla 1.1 se presentan las características más relevantes de cada uno de ellos:

	CPLD	FPGA
Architecture	PAL-like	Gate Array-like
Density	Low to medium 12 22V10s or more	Medium to high up to 1 million gates
Speed	Fast, predictable	Application dependent
Interconnect	Crossbar	Routing
Power Consumption	High	Medium

Tabla 1.1. CPLD vs. FPGA

Fuente: Architecture of FPGAs and CPLDs: A Tutorial

1.3.2.3. *Microcontroladores*

Estos se presentan como una opción más que se puede utilizar para el tratamiento de los datos adquiridos. Esencialmente la familia de DsPic es usada como alternativa para procesar señales en tiempos muy rápidos acercándose en gran medida al procesamiento en tiempo real. Estos microcontroladores, al igual que las estructuras anteriormente analizadas, poseen tanto ventajas como limitaciones en lo que a hardware y software se refiere, por lo que para aplicaciones de tratamiento de señales, su entendimiento se conceptúa como necesario.

Entre las arquitecturas que presentan los microcontroladores se observan las siguientes:

- Arquitectura Harvard
- Datos de 16 bits
- Instrucciones de 24 bits
- PC de 24 bits
- Capacidad para ejecutar instrucciones de 3 operandos en un ciclo: ej.
 $A+B=C$
- Instrucciones de dos tipos: MCU y DSP
- Dos bancos X e Y
- Memoria programa

- Memoria EEPROM
- Motor DSP
- 16 Registros W

En esta opción de procesamiento DSP, uno de los elementos fundamentales para la definición de su funcionamiento son los osciladores, entre los principales están:

- Oscilador primario externo
- Oscilador secundario a 32 kHz
- Oscilador interno
- RC de 8 MHz
- Oscilador interno
- LPRC de 512 kHz
- Se configura en el registro FOSC
- En general el EC o el XT
- Input 4-10MHz
- Output 120 MHz máx. con PLL
- El PLL permite multiplicar la frecuencia

Las características mencionadas están en función del microcontrolador elegido de acuerdo a la aplicación a la que va dirigido, por lo que, actualmente en el mercado, para aplicaciones que implementen tecnología de punta, existen nuevas familias de microcontroladores, con una gama más amplia de características. Una de estas familias es de la serie de 32bits y pertenece a la empresa MICROCHIP como se observa en la figura 1.19.

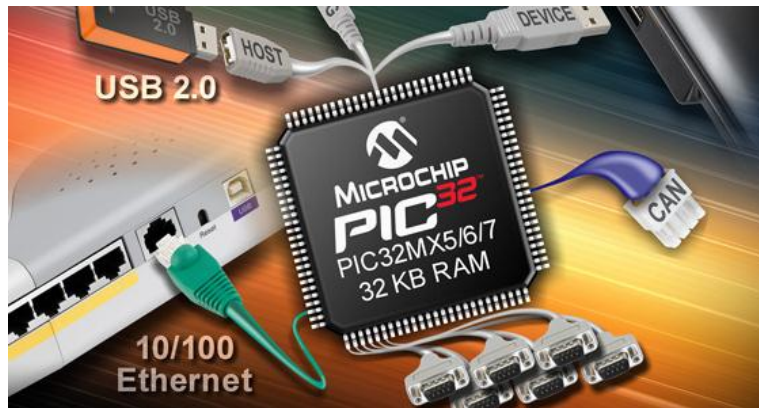


Figura 1.19. Microcontroladores de 32bits con conectividad Ethernet, CAN y USB

Fuente: Diariorielectronico.com (2011). **Referencia:** <http://www.diariorielectronico.com/microcontroladores-de-32-bit-con-conectividad-ethernet-can-y-usb/>

Entre las características más relevantes que presentan este tipo de estructuras, se tiene las siguientes:

- *Aumento de las prestaciones.*
 - Permite realizar tareas, más rápido y mejor.
- *Aumento de la complejidad de las aplicaciones.*
 - Interfaces gráficas.
 - Interfaces inalámbricas.
 - Distintos tipos de conectividad.
- *Reducción de los costos.*

Existen algunos fabricantes en el mercado que actualmente optan por la fabricación de este tipo de microcontroladores, algunos de ellos son: ARM, Power, freescale, AVR32, MIPS y se los pueden apreciar en la figura 1.20 [22]:



Figura 1.20. Fabricantes de microcontroladores de 32bits

Fuente: Presentación de los microcontroladores de 32 bits

Además, actualmente existen kits de desarrollo para el aprendizaje, que se encuentran constituidos por familias de microcontroladores de 32 bits, ya que estos últimos implementan características de alta velocidad lo que resulta atractivo para los usuarios finales. Algunos de estos productos se encuentran a la venta y son de uso educativo, por lo que su arquitectura es de tipo propietaria; gracias a esto, dichos kits se ofrecen con software propio. En la figura 1.21 se observan algunos de estos kits educativos de desarrollo.








ATSAM3S-EK	SAM3S4 SAM3S2 SAM3S1	
ATSAM3U-EK	SAM3U4 SAM3U2 SAM3U1	
AT91SAM7L-STK	SAM7L64 SAM7L128	
AT91SAM7S-EK	SAM7S16 SAM7S161 SAM7S32 SAM7S321 SAM7S64 SAM7S128 SAM7S256 SAM7S512	
AT91SAM7SE-EK	SAM7SE32 SAM7SE256 SAM7SE512	
AT91SAM7X-EK	SAM7X128 SAM7X256 SAM7X512	
AT91SAM7XC-EK	SAM7XC128 SAM7XC256 SAM7XC512	

Figura 1.21. Kits educativos que se encuentran en el mercado

Fuente: Microcontroladores 32 bits, Kits programables



Figura 1.22. Programadores

Fuente: Programadores Microcontroladores 32 bits

En la figura 1.22 se puede observar algunos programadores, entendidos como hardware, para dichos microcontroladores, estos se encuentran actualmente a la venta al público en general.

Las tres estructuras de procesamiento de señales analizadas, pueden constituirse como independientes o pueden interactuar entre ellas, dependiendo de las aplicaciones que se presenten, lo primordial será elegir la arquitectura que más se acople a los objetivos propuestos por la aplicación a desarrollar, para de esta forma poder alcanzar un funcionamiento óptimo y flexible para compatibilidad legacy.

Los inconvenientes que se puedan presentar al utilizar soluciones de tipo libre para estos dispositivos, son mínimos, sobresaliendo principalmente la pericia en programación que requiera una aplicación en particular.. Para algunos de ellos es necesario optar por un lenguaje VHDL, cuyo compendio se lo hará a continuación.

1.3.3. LENGUAJE VHDL

VHDL es lo que comúnmente se conoce como lenguaje descriptor de hardware, este implementa la característica de obtener circuitos integrados de alta velocidad, por lo que se constituye como un lenguaje de programación de avanzada o de alto nivel. Este tipo de lenguaje integra abstracciones de varios niveles, por lo que puede ser entendido por humanos y por máquinas con facilidad [23].

Su predecesor es el ADA, el mismo que se orienta a sistemas en tiempo real y combina estructuras y elementos sintácticos con el propósito de darle al programador la libertad de manipular cualquier hardware sin cuidado de su arquitectura.

Las principales ventajas del uso de este tipo de lenguaje son [23]:

- VHDL posee una estructura vertical en lo que a abstracción se refiere, por lo que implementa flexibilidad en su manejo.

- La síntesis, como factor característico del VHDL, constituye el punto de partida de muchas aplicaciones de software.
- Debido a que permite la modularidad, podemos obviar la redundancia insignificante, con la consecuente trascendencia a cualquier arquitectura a usar.
- Podemos ver su potencial reflejado en el decremento de trabajo implícito requerido para una acción en particular ya que está basado en un estándar específico.
- Dada la estructura vertical de su diseño, el VHDL permite realizar todas las maniobras posibles para mejorar su comprensión en alto nivel y luego pasar a bajo nivel sin necesidad de realizar trabajo duplicado.

Dentro de este lenguaje VHDL se puede implementar de forma estructurada y jerarquizada una librería VHDL, mediante la utilización de cinco sub-librerías, que guardan relación con el procesamiento DSP tal como se muestra en la figura 1.23. [24]

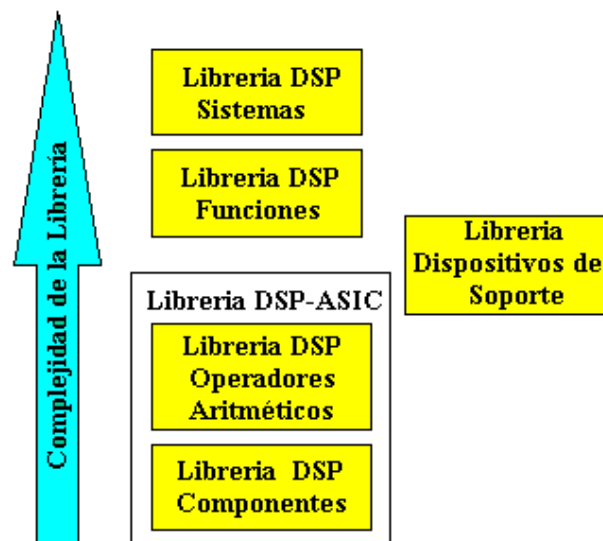


Figura 1.23. Diagrama de Bloques de jerarquía de una librería VHDL

Fuente: Diseño de Funciones DSP Usando VHDL y CPLDs-FPGAs

Estas librerías son las siguientes: [24]

Librería DSP: Componentes.

Esta librería consiste de bloques funcionales básicos que tienen en cuenta la longitud y el formato de la palabra de datos. Dichos componentes básicos se listan a continuación:

- Contadores
- Comparadores
- Elementos de retardo
- Formateadores de datos
- Convertidores de datos
- Memorias
- Desplazadores (Shifters)

Librería DSP: Operadores Aritméticos

La librería de operadores aritméticos se compone de los siguientes operadores:

- Multiplicadores
- Acumuladores
- Bloques MAC
- Operador raíz cuadrada
- Divisores
- Sumadores

Librería DSP: Funciones

Esta librería posee un amplio rango amplio de funciones:

- Longitud de la palabra de datos
- Formato de la palabra de datos
- Nivel de truncamiento
- Nivel de pipelining
- Taps del filtro
- Tamaño de la transformada

Existen además, filtros pre-diseñados que se pueden utilizar dependiendo del uso que se les den, estos pueden ser:

- Filtros FIR
- Filtros IIR
- DFE
- DCT
- FFT
- Filtros LMS
- Reed-Solomon
- Decodificador Viterbi

Librería DSP: Sistemas

Esta librería se encuentra en el nivel más alto de la jerarquía de la librería VHDL, y contiene bloques a nivel de sistema, estos pueden ser:

- MPEG
- JPEG
- H.261
- ADPCM
- PRML
- Detección-reconocimiento de objetos

Librería Dispositivos de soporte

Esta librería suministra las interfaces para los diferentes componentes externos. Algunos dispositivos de soporte son:

- Controladores de memoria
- Interfaces para microprocesadores
- Controladores de bus
- Controladores gráficos

“Las nuevas metodologías de diseño de sistemas electrónicos integrados consisten en adoptar estrategias basadas en usar módulos de propiedad intelectual (IP: Intellectual Property)”. [24]

Los diseños de sistemas electrónicos generalmente pueden ser resueltos ya sea mediante hardware o, en su defecto, mediante software. Por defecto, las

soluciones de software decantan en reducción de costos pero con la consiguiente limitación de prestaciones, dichas prestaciones presentan libertad implícita solamente con un aumento de costos a través de soluciones hardware [20].

A continuación se hace un análisis en lo concerniente a lo que a arquitecturas libres y propietarias de adquisición y procesamiento de datos se refiere. En este apartado se analizarán las arquitecturas más prominentes de este tipo

1.4 ARQUITECTURAS LIBRES Y PROPIETARIAS DE ADQUISICION Y PROCESAMIENTO DE DATOS

Las arquitecturas libres son cuestiones de la libertad de los usuarios de ejecutar, copiar, distribuir, estudiar, cambiar y mejorar el software. Para ello se ha impuesto cuatro libertades esenciales, con el fin de determinar cuándo es una arquitectura libre o propietaria. Estas libertades son [25]:

- La libertad de ejecutar el programa, para cualquier propósito (libertad 0).
- La libertad de estudiar cómo trabaja el programa, y cambiarlo para que haga lo que usted quiera (libertad 1). El acceso al código fuente es una condición necesaria para ello.
- La libertad de redistribuir copias para que pueda ayudar al prójimo (libertad 2).
- La libertad de distribuir copias de sus versiones modificadas a terceros (la 3ª libertad). Si lo hace, puede dar a toda la comunidad una oportunidad de beneficiarse de sus cambios. El acceso al código fuente es una condición necesaria para ello.

La arquitectura propietaria es cuestión del precio ya que para acceder a ellas es necesario comprar derechos o licencias para su uso personal o cooperativo.

1.4.1. NORMATIVAS PARA ARQUITECTURA DE TIPO LIBRE

Para certificar que se cuenta con arquitectura libre se puede presentar algunas normativas, pero antes hay que diferenciar entre:

- Software libre
- Software Opensource o de Código Abierto

- Hardware libre

Software Libre vs. Software Código Abierto

En la figura 1.24 se presenta una jerarquía en lo que respecta a software libre y de código abierto [26].



Figura 1.24. Mapa conceptual del software libre y de código abierto.

Fuente: Wikipedia (2009), Archivo:MapaConceptualFLOSS.png. **Referencia:**

<http://es.wikipedia.org/wiki/Archivo:MapaConceptualFLOSS.png>

Las características de cada una de estas jerarquías, se muestra a continuación [27]:

Software libre:

- La libertad de ejecutar el programa, para cualquier propósito.
- Acceso al código fuente para cambiarlo.
- Redistribución de copias para que pueda ayudar al prójimo.
- Intercambiar copias de sus versiones modificadas a terceros.

Software de Código Abierto [25]:

- Redistribución Libre.
- Código Fuente.
- Trabajos Derivados.
- Integridad Del Código Fuente Del Autor.

- No a la Discriminación de Personas o Grupos.
- No a la Discriminación de Campos Laborales.
- Distribución de la Licencia.
- La Licencia No Tiene que Ser Específica de un Producto.
- La Licencia No Tiene que Restringir a Otro Software.

En lo que respecta al hardware libre, este se define como sigue:

Hardware Libre:

Se dice que un dispositivo es de tipo Hardware libre cuando sus especificaciones y diagramas esquemáticos son de acceso público.

Este posee ciertas limitaciones, las cuales son [28]:

- El diseño físico es único.
- La compartición tiene asociado un coste.
- Disponibilidad de los componentes.
- El mundo del hardware está plagado de patentes.
- Modelo de producción, no cualquiera podrá realizar hardware, debido a las implicaciones que conlleva toda la infraestructura de diseño, simulación, producción e implementación del hardware, al contrario de lo que se da en el software libre.

Comprendido las pautas anteriores se puede enfatizar más en lo que respecta a las arquitecturas libres y propietarias, distinguiendo cada una de ellas, para eso en los siguientes ítems se explicara todo esto de una forma más detallada y concisa.

1.4.2. ARQUITECTURAS LIBRES Y PROPIETARIAS

En la actualidad, existen muchas empresas que se dedican a la adquisición de datos, ya sea de manera libre o propietaria, la primera hace referencia a que, la arquitectura que ellos presentan, puede ser obtenida de una manera sencilla muchas veces descargando desde sus páginas web donde incluyen la información que ellos utilizan para el funcionamiento de su producto. En cambio, cuando se habla de arquitecturas propietarias se hace referencia a que,

para llegar a obtenerlas, se necesita adquirir licencias de uso o instalación en una computadora, y muchas de ellas poseen costos altos dependiendo de la aplicación a la que pueda estar orientada.

Tales son los casos de National Instruments que presentan a E.L.V.I.S., una plataforma educativa basada en laboratorios físicos reales, este producto está alrededor de los \$ 5000 americanos y está enfocada al diseño y generación de prototipos [29]. En la figura 1.25 podemos apreciar esta estación de prototipos.



Figura 1.25. Estación de prototipos E.L.V.I.S.

Fuente: National Instruments; NI ELVIS: Plataforma Educativa para Diseño y Generación de Prototipos.

La última versión de este producto incluye la opción de osciloscopio con una tasa de adquisición de 100 Ms/s

Otra arquitectura que está incursionando en el mercado por sus aplicaciones es Pace Scientific que presenta productos con fines para la recepción de señales de temperatura, caudal de líquidos, fuerzas mecánicas entre otras, lo que hace que este tipo de producto se convierta en una tarjeta de adquisición de datos que posee su propia interfaz gráfica para el modelamiento de las señales receptadas en ese instante o señales almacenadas de operaciones pasadas [30].

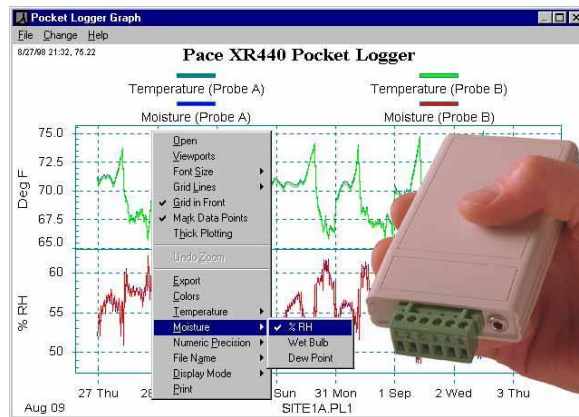


Figura 1.26. Interfaz gráfica de la propuesta PACE Scientific.

Fuente: Pace Scientific: Data Loggers and Sensors; XR440 Pocket Data Logger.

Como se aprecia en la figura 1.26, la interfaz gráfica que posee no es del todo completa, únicamente muestrea las señales procesadas, es decir, no permite la manipulación de estas señales específicamente en lo que respecta al control de tiempo por división como lo hace un osciloscopio normal.

El modelo de la tarjeta que se presenta es la XR-404 que transmite sus datos a través del puerto serial a una velocidad de 19.200 baudios, también posee canales analógicos y digitales pero su velocidad de transmisión hace que este tipo de tarjeta únicamente sirva para la verificación del comportamiento de las aplicaciones para las que fue desarrollado, por tal motivo tiene un coste alrededor de los \$400 americanos. Existen mejoras de esta tarjeta pero trascienden más allá de las aplicaciones para las que fueron diseñados, es decir, como se mencionó anteriormente, no se compara con el muestreo que posee un osciloscopio normal.

En lo que a arquitectura libre se refiere el desarrollo es escaso, pocos son los productores que permiten que las personas que adquieren las tarjetas tengan el total o parcial uso de todas las funciones que presentan dichas tarjetas, muchos de ellos únicamente permiten conocer la parte física mas no el software que maneja o viceversa, pero lo común y lo que se está utilizando en la actualidad son tarjetas que constan de un microcontrolador con transmisión ya sea USB o serial; las aplicaciones que son factibles a través de esta solución son limitadas, es decir la adquisición, el procesamiento y el muestreo no se comparan con tarjetas que poseen arquitectura propietaria, pero de una u otra manera pueden

cumplir en parte los objetivos que tienen esas tarjetas [31]. En la figura 1.27 podemos observar una propuesta de arquitectura libre.

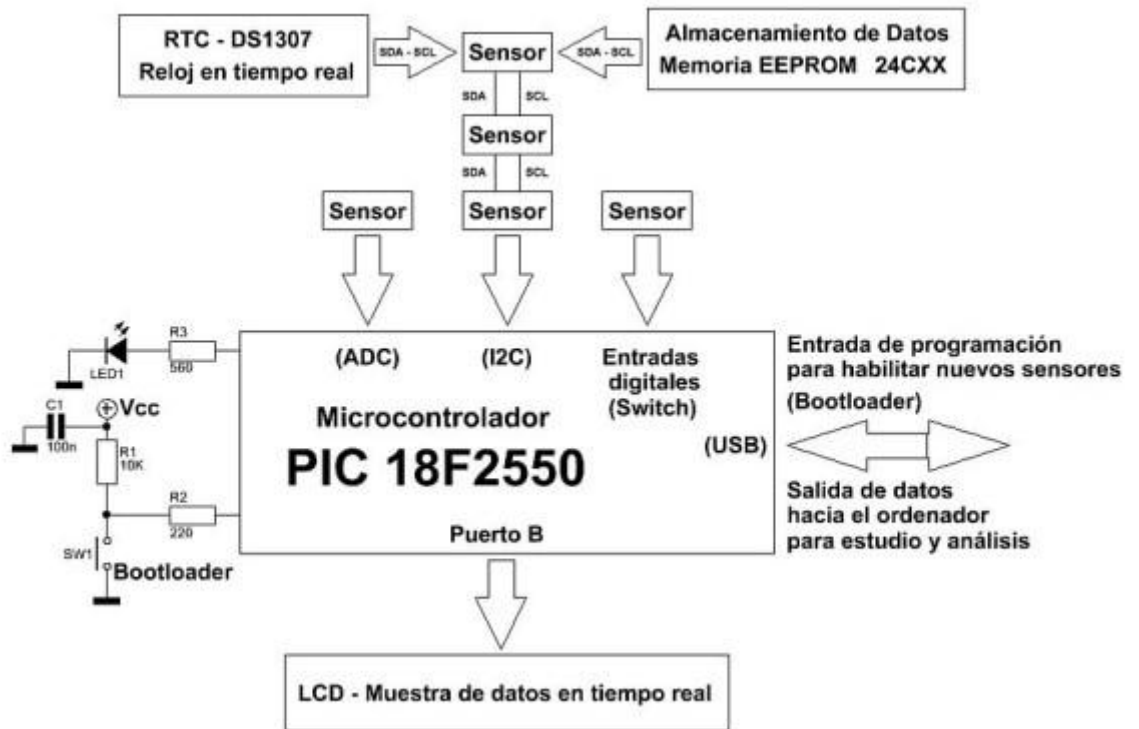


Figura 1.27. Diagrama de bloques de una arquitectura libre para tarjetas de adquisición de datos.

Fuente: SACCO, Mario; Datalogger: Adquisición de datos con 18F2550; NEOTEO.

Las consideraciones anteriores establecen que, no existe por completo una arquitectura libre, esto se puede explicar de la siguiente manera, cuando las personas optan por fabricar sus propias tarjetas de adquisición de datos, necesitan de un software que les permita mostrar el procesamiento de dichas señales, la mayoría de estos programas libres son muy limitados, ya sea que únicamente les permitan manejar el puerto serial o paralelo, y los programas que les permite aprovechar todos los periféricos de I/O son del todo propietarios, tal es el caso de *LabView* que es una interfaz gráfica de programación que consta con muchas opciones para el procesamiento de las señales y para el uso que se les pueda dar a estas, entonces no se puede hablar del todo de las arquitecturas libres si dicha arquitectura no posee las herramientas necesarias y, sobre todo, asequibles para todas las personas de manera gratuita. En la figura 1.28 apreciamos un prototipo de tarjeta de adquisición de datos que cumple su fin ulterior.

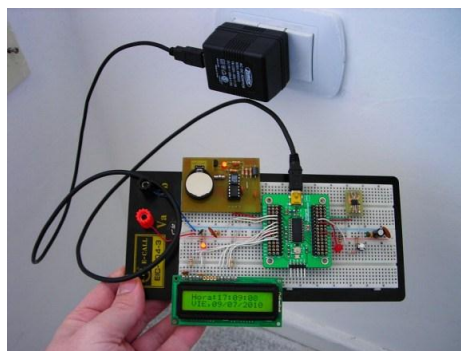


Figura 1.28. Prototipo de una tarjeta de adquisición de datos.

Fuente: SACCO, Mario; Datalogger: Adquisición de datos con 18F2550; NEOTEO.

Existen casos donde las personas que adquieren este tipo de tecnología optan por elegir las funciones que estas presentan por separado, es decir, optan por una tarjeta de adquisición de datos o una tarjeta de procesamiento de datos, por lo que los fabricantes, para satisfacer las necesidades, diseñan y construyen este tipo de productos, que varían según las aplicaciones a las que va encaminadas.

Cuando se habla de las tarjetas de adquisición de datos se hace referencia al tratamiento que recibe la señal, en este caso la tarjeta funciona únicamente como un transductor, es decir, la señal que recibe es procesada por un elemento externo, el más conocido es el computador, ya que desde aquí, este procesa los datos según su implementación posterior y devuelve una respuesta a la tarjeta, básicamente es una comunicación entre el sistema físico y el ordenador. Este tipo de tarjetas se pueden encontrar de forma libre y propietaria. Las que más utilización presentan, tanto profesional como educativa, pertenecen a la empresa NATIONAL INSTRUMENT, de arquitectura propietaria cuya versión más prominentes es NI USB 6008/6009. Las características que poseen estas tarjetas se listan en la figura 1.29 [32]:



NI USB-6008 159€/169 USD

8 entradas analógicas, 12-bit, 10

kS/s

2 salidas analógicas, 12-bit, 150 S/s

12 E/S digital; contador de 32-bit

Alimentado por bus

NI USB-6009 259€ / \$279 USD



8 entradas analógicas, 14-bit, 48

kS/s

2 salidas analógicas, 12-bit, 150 S/s

12 E/S digital; contador de 32-bit

Alimentado por bus

Figura 1.29. Tarjetas de adquisición de datos de arquitectura propietaria.

Fuente: Dispositivos de Adquisición de Datos.

Cuando se decide optar por arquitecturas libres, son prácticamente escasas las empresas que brindan sus conocimientos de una forma abierta, por lo que la mayoría de personas deciden por fabricar sus propias tarjetas, implementando microcontroladores, y en algunos de los casos microprocesadores, dependiendo de la velocidad con la que se trabaje. La mayoría trabajan con familias de microcontroladores tales como Microchip o Atmel, dependiendo de la comunicación que se efectúa, ya sea RS-232 o USB, esta última es la que actualmente presenta un uso mayoritario.

Algunas de las empresas de arquitectura propietaria optan por lanzar productos de arquitectura libre pero con limitaciones; muchos de estas versiones no cumplen los requerimientos de las personas que los adquieren, tal es el caso del FREEscada que es una versión libre del Scada pero con funciones y características muy por debajo de su versión propietaria. [33]

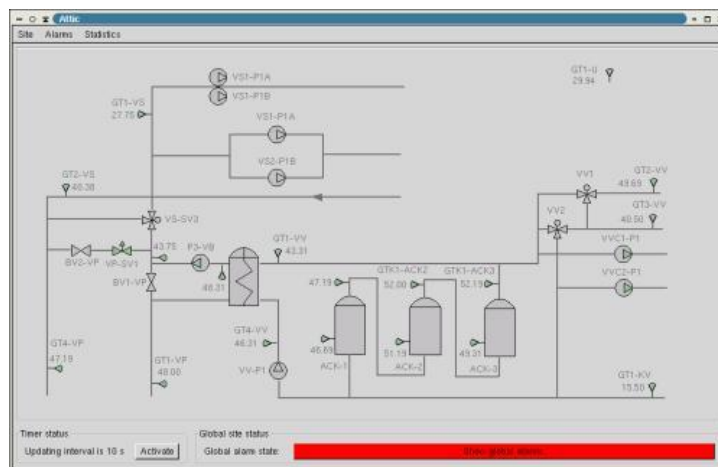


Figura 1.30. Arquitectura libre FreeScada.

Fuente: Industrial process control, data acquisition and supervision.

Freescada, como puede observarse en la figura 1.30, también presenta una visualización de los datos que recibe, a través de una interfaz amigable con el usuario, pero sin los mismos beneficios con los que cuenta su versión completa que es adquirible cuando se compran las licencias necesarias para su funcionamiento [33].

Existe la posibilidad de elegir también tarjetas para el procesamiento de señales. Si este es el caso dichas tarjetas deben estar gobernadas por dos factores determinantes: un algoritmo y una maquina calculadora.

Comúnmente se utilizan conversores analógicos/digitales para interpretar las señales, y el computador hará el resto: dependiendo del software que se aplique este también se divide en libre y propietario [34].

Los programas libres conocidos son el lenguaje tipo C y C++, mientras que los propietarios son MATLAB, Labview y muchas veces el mismo OFFICE cuando trabaja con lenguajes tales como Orcad.

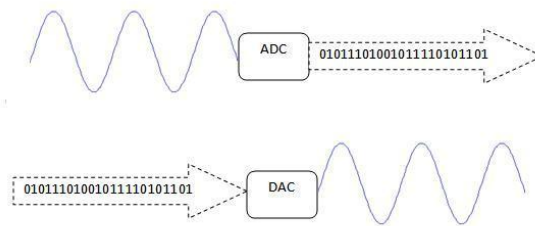


Figura 1.31. Conversores A/D, D/A.

Fuente: Diagrama Conversor Analógico Digital.

Una de las arquitecturas más conocidas para realizar el procesamiento de las señales es el Spartan, el cual se cataloga como una tarjeta entrenadora de FPGA de la familia Xilinx. Actualmente se encuentra mayoritariamente en los laboratorios de investigación de las distintas universidades debido a que presenta valor agregado al poseer entradas y salidas tanto analógicas y digitales, y características de procesamiento a altas velocidades cuyas prestaciones estarán dadas en función de la versión o modelo que se utilice [21]. En la figura 1.32 se puede observar esta tarjeta Spartan.

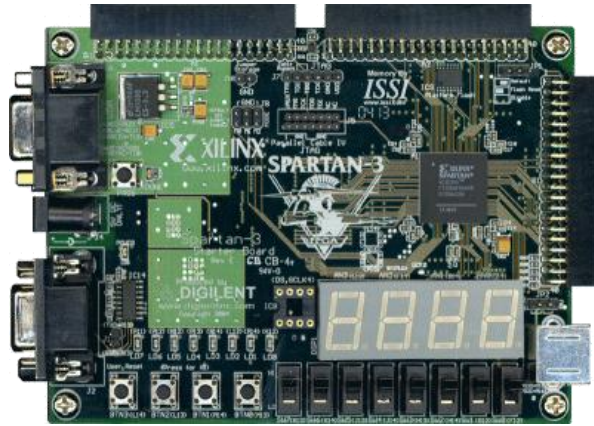


Figura 1.32. Kit Spartan utilizado para el procesamiento de datos para usos educativos.

Fuente: XILINX, FPGAS plataformas educativas, comerciales en Ecuador.

CAPITULO II.

LABORATORIOS INTEGRADOS

2.1. INTRODUCCIÓN

En los últimos años la evolución experimentada por las múltiples aplicaciones brindadas desde los ordenadores y su interfaz HMI (Interfaz Humano - Maquina) respectiva ha sido bastante notoria. Sus desarrollos han sido aprovechados y encaminados a dar soluciones pedagógicas en los contenidos de los programas de enseñanza aplicados a la electrónica y otras asignaturas científicas y tecnológicas afines. Esto ha sido posible principalmente porque estas áreas de trabajo exigen cada vez una mayor interacción simultánea con el mundo tecnológico en auge que se precisa como factible a través de métodos tanto físicos como virtuales.

Es así que, varios estudios alrededor del mundo, enfocados a la psicología cognitiva, han demostrado fehacientemente una mejora en la adquisición de conocimientos, en los estudiantes en general, a través de experiencias reales que confronten las situaciones teóricas asimiladas en clases [35, 36].

Pero estas experiencias no siempre pueden realizarse a través de sistemas físicos, ya que exigen un gasto significativo en términos de tiempo, dinero y energía por los requerimientos de su puesta en marcha. Además, en un sistema físico en pleno funcionamiento, su infraestructura muchas veces permanece infrautilizada debido a que los estudiantes de las carreras de ingeniería no tienen estas a su disposición temporal total, especialmente para aquellas prácticas y pruebas que exigen un lapso mayor de ejecución que el asignado comúnmente en los centros de estudios, por lo que su aprovechamiento se ve claramente afectado [35, 36].

Es por esto que, el desarrollo actual de laboratorios, se centra en el uso de emuladores de problemas reales como complemento a laboratorios físicos mediante herramientas como las TIC (Tecnologías de la Información y las Comunicaciones) [35, 36] que permiten conseguir dos objetivos claros:

- Prácticas completamente aprovechables a través de métodos semipresenciales (interacción de laboratorios tanto físicos como virtuales), ampliando la disponibilidad tanto física como temporal de los laboratorios.
- Una marcada mejoría en la adquisición de conocimientos, que a la larga permitan al individuo plantear soluciones útiles y sobre todo factibles de realización.

Por tanto, se pone de manifiesto la necesidad de contar con plataformas didácticas de alta tecnología, de arquitectura libre y de bajo costo de implementación, que faciliten a los educandos confrontar la parte teórica con las experiencias prácticas, obteniendo concepciones científicas lo suficientemente fundamentadas que les permita enfrentarse a cualquier situación de la vida real sin ningún problema. Es decir, se logra una formación profesional integral a través de una confrontación teórica – práctica.

En el presente capítulo se expone un estudio realizado para obtener principalmente una discriminación de instrumentos usados en los laboratorios enfocados a la enseñanza de la ingeniería eléctrica y electrónica. Se analiza también la metodología de uso de laboratorios en la enseñanza académica y se finaliza con una propuesta de un laboratorio integrado.

2.2. ANÁLISIS DE NECESIDADES DE INSTRUMENTOS PARA EL APRENDIZAJE EN LAS CARRERAS DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA.

Los centros de estudios superiores alrededor del país y el mundo están implementando infraestructuras, tanto físicas como virtuales, que permitan a los educandos de las carreras de Ingeniería Eléctrica y Electrónica, tener la posibilidad de consolidar los conceptos teóricos adquiridos en clases a través de la experiencia en casos de estudio reales.

Dichas infraestructuras necesariamente deberán estar equipadas con los instrumentos y materiales que presenten una mayor demanda en su utilización. Es por esto que, fue de suma importancia, realizar un estudio sobre las principales necesidades de los estudiantes en los laboratorios, caracterizadas

primordialmente por los instrumentos de mayor uso, y su rango de funcionamiento, lo cual fue determinado a través de encuestas que permitan diferenciar claramente la tendencia a seguir.

El modelo de encuesta aplicado contempla cuatro ítems útiles para la determinación de dicha tendencia. Este modelo se muestra a continuación y se caracteriza por ser factible de análisis estadístico a través de graficas porcentuales en las cuales se pueden observar los resultados recabados.

2.2.1 ENCUESTA APLICADA.

En este apartado, se muestra, en primera instancia, el modelo aplicado, luego se presenta la justificación respectiva de cada una de las preguntas planteadas y se finaliza con el análisis de los datos recabados, con el fin de obtener conclusiones factibles que sustenten la necesidad de un laboratorio integrado.

2.2.1.1 *MODELO DE ENCUESTA*

El modelo de encuesta planteado contempla cuatro preguntas específicas sobre los requerimientos actuales de equipos en los laboratorios, así como la necesidad de implementar portabilidad a los mismos. El modelo usado es el siguiente:

Reciba un cordial saludo de parte de los integrantes del proyecto: ***“Diseño de una tarjeta de adquisición de datos de alta velocidad para la implementación de laboratorios basado en software y hardware libre”***.

La presente encuesta es dirigida a individuos afines a las ingenierías eléctrica y electrónica. Esta encuesta es la base fundamental para el desarrollo de nuestro proyecto, esperamos que sus respuestas sean lo más sinceras posibles.

Anticipamos nuestro agradecimiento.

PREGUNTAS

1º) Dentro de su área de trabajo, ¿qué dispositivos utiliza constantemente?

Osciloscopio []

Generador de funciones []

Voltímetro []

Amperímetro []

2º) ¿En qué rango máximo y mínimo de frecuencia ha trabajado en sus prácticas de laboratorio?

Mínimo: _____

Máximo: _____

3º) ¿Estaría dispuesto a pagar entre \$400 y \$500 por un osciloscopio que permita visualizar señales de hasta 20MHz?

SI []

NO []

4º) Si la respuesta anterior es negativa, ¿estaría dispuesto a pagar entre \$100 y \$200 por un osciloscopio que permita visualizar señales de hasta 5MHz?

SI []

NO []

2.2.1.2 JUSTIFICACIÓN DE LA IMPORTANCIA DE LAS PREGUNTAS PLANTEADAS.

1º) Dentro de su área de trabajo, ¿qué dispositivos utiliza constantemente?

Osciloscopio []

Generador de funciones []

Voltímetro []

Amperímetro []

Esta pregunta fue planteada como una de las más importantes, ya que a través de ella es posible cumplir con uno de los objetivos del proyecto el cual es: *Obtener una lista de la instrumentación usada con mayor frecuencia en nuestro medio*, además, permitió obtener un bosquejo de la posible interfaz a usar para la interacción con la PC.

2º) ¿En qué rango máximo y mínimo de frecuencia ha trabajado en sus prácticas de laboratorio?

Mínimo: _____

Máximo: _____

Esta se constituye en una pregunta muy útil para bosquejar un prototipo funcional del producto final ya que, dependiendo de las respuestas obtenidas, es posible realizar una generalización en el uso de un cierto rango de frecuencias y emplear un determinado tipo de dispositivos que cubran dicho rango de funcionamiento. Es decir, a través de estas respuestas se definen las características de robustez que pueda poseer el producto buscado, al limitar el universo de dispositivos a usar.

3º) ¿Estaría dispuesto a pagar entre \$400 y \$500 por un osciloscopio que permita visualizar señales de hasta 20MHz?

SI []

NO []

Esta pregunta es útil para obtener resultados, por un lado, sobre el poder adquisitivo con el que cuenta un estudiante de pregrado y por otro lado sobre la necesidad de sofisticación que se requiera en el producto final. Sabiendo que un aumento de utilidad en dicho producto repercute en su costo final, es posible avizorar una marcada tendencia negativa en esta pregunta.

4º) Si la respuesta anterior es negativa, ¿estaría dispuesto a pagar entre \$100 y \$200 por un osciloscopio que permita visualizar señales de hasta 5MHz?

SI []

NO []

Esta pregunta nace como complemento a la pregunta 3. Al constituirse como una pregunta excluyente se centra únicamente en las necesidades reales de la comunidad académica, dejando en segundo plano la posibilidad de comercialización latente para aplicaciones con mayores requerimientos. Es decir, una disminución en la sofisticación con una robustez aceptable para el manejo de señales que se encuentren en un rango de funcionamiento menor que el anteriormente propuesto, implica una mayor aceptación del producto en el

entorno universitario por lo que esta pregunta permite obtener datos fiables sobre dicha aceptación, planteados los limitantes frecuenciales y económicos sobre su adquisición.

2.2.1.3 ANÁLISIS DE LOS RESULTADOS OBTENIDOS EN LA ENCUESTA APLICADA.

En este punto se observa el análisis de los resultados obtenidos, en el modelo de encuesta aplicado, mediante gráficos porcentuales. Dicho modelo ha sido dirigido a un universo de 113 estudiantes, de los ciclos superiores en las carreras de Ingeniería Eléctrica y Electrónica de la Universidad Politécnica Salesiana de Cuenca, de los cuales, algunos de ellos se encontraban en los laboratorios de las ciencias eléctricas realizando sus prácticas, y otros, se encontraban en las aulas recibiendo clases. Esta aplicación en exclusiva, del modelo propuesto, a la Universidad en cuestión, se debió a que, el producto a desarrollar, está enfocado en satisfacer las necesidades, en el ámbito físico y temporal, de los estudiantes en los laboratorios de la mencionada universidad, más que a constituirse como un producto factible de comercialización.

Los resultados obtenidos, a través de la aplicación de este modelo de encuesta, se muestran a continuación.

ENCUESTA “TARJETA DAQ DE ALTA VELOCIDAD”

1. Dentro de su área de trabajo, ¿qué dispositivos utiliza constantemente?

Osciloscopio	[]
Generador de funciones	[]
Voltímetro	[]
Amperímetro	[]

Se aprecian los resultados de esta pregunta en la figura 2.1. Se observa a simple vista que, la mayoría de los encuestados opta por una integración de dos o más instrumentos más que por un trabajo aislado entre dichos instrumentos para conseguir un mismo fin. El uso del osciloscopio en solitario, así como su integración con las combinaciones generador – voltímetro – amperímetro, tienen un alto grado de aceptación; no así el uso en solitario de los otros dispositivos

planteados y sus respectivas integraciones debido a las limitaciones de análisis e información que posee su interacción. Se puede verificar que a mayor importancia de integración mayor porcentaje obtenido, un resultado que, a priori, era predecible.

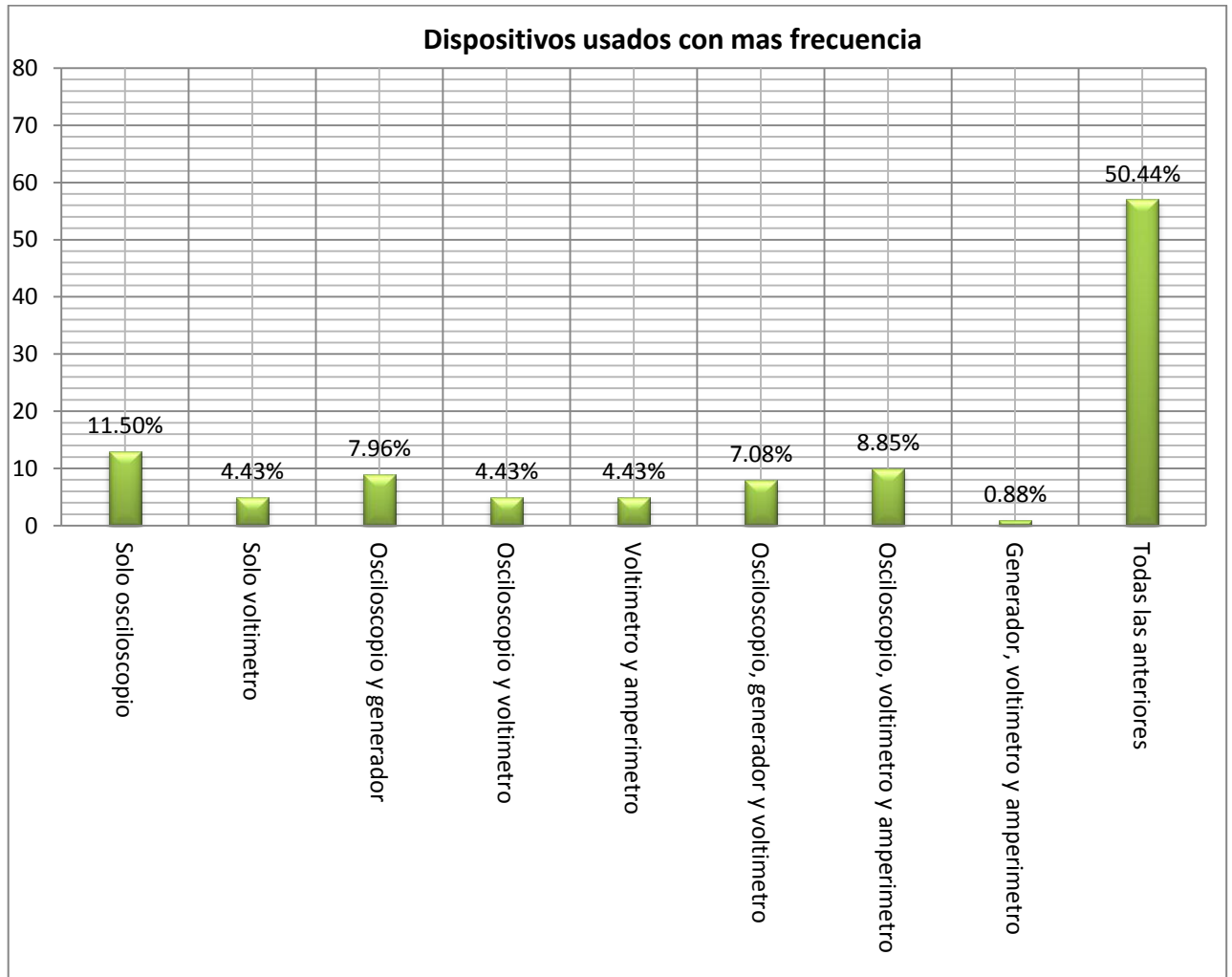


Figura 2.1. Grafico porcentual del uso mas frecuente de los instrumentos de laboratorio para el universo encuestado

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

2. ¿En qué rango máximo y mínimo de frecuencia ha trabajado en sus prácticas de laboratorio?

Mínimo: _____

Máximo: _____

Como se aprecia en la figura 2.2a y 2.2b, las frecuencias mínimas y máximas que se utilizan, oscilan entre 0 Hz y 5 MHz y entre 1 KHz y 100 MHz

respectivamente, viéndose una mayoritaria preferencia por un rango entre 0 y 20Hz como el mínimo de uso y entre 1MHz y 20MHz como el rango máximo de uso. Debido a que esta pregunta se constituyó como de índole abierta, las posibilidades de respuesta eran ilimitadas por lo que, al tabular los resultados recabados, se optó por recurrir a 5 rangos posibles de frecuencias basándose en las respuestas más comunes obtenidas.

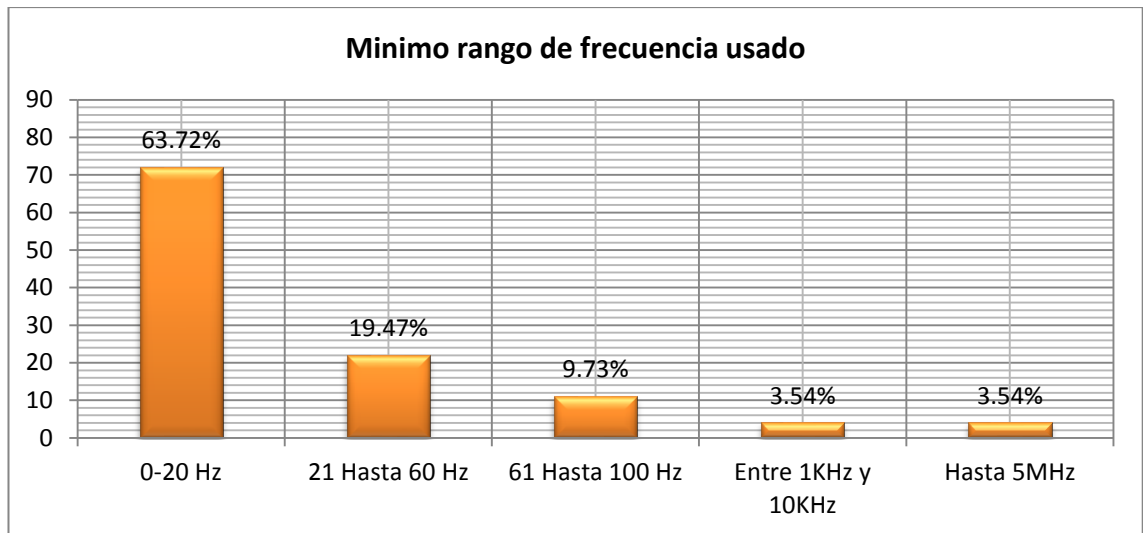


Figura 2.2a. Grafico porcentual del mínimo rango de frecuencias usado por el universo encuestado

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

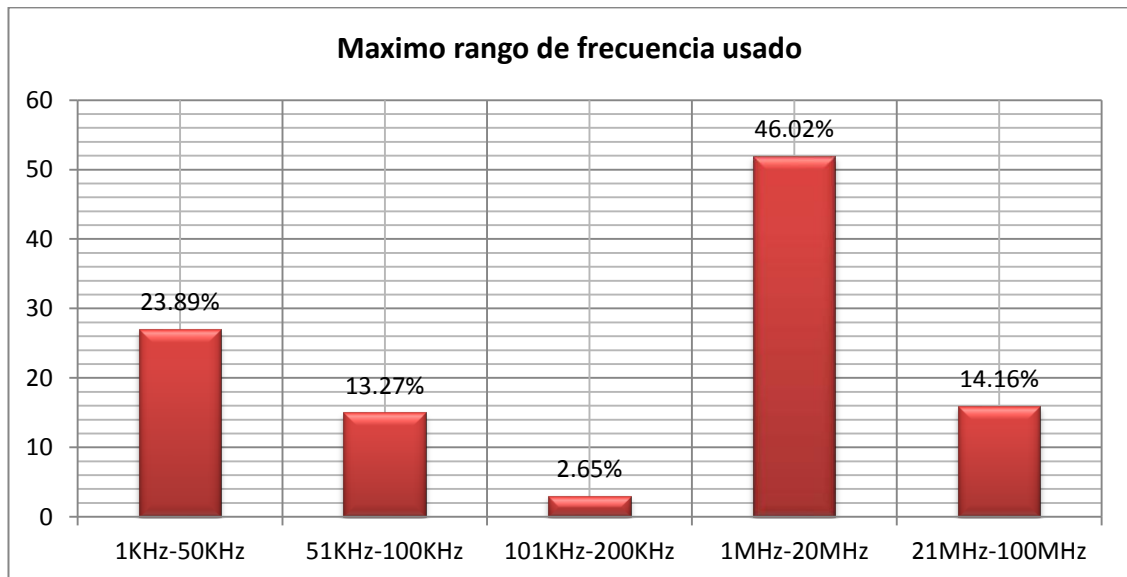


Figura 2.2b. Grafico porcentual del máximo rango de frecuencias usado por el universo encuestado.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3. ¿Estaría dispuesto a pagar entre \$400 y \$500 por un osciloscopio que permita visualizar señales de hasta 20MHz?

Si ()

No ()

Podemos verificar en la figura 2.3 que, la diferencia de preferencia entre precio y valor agregado no es significativa, pero existe una tendencia a escoger una respuesta negativa por cuestiones de precio o asequibilidad para el individuo al cual va dirigido el producto a desarrollar. El valor agregado que contempla una visualización de señales eléctricas con un mayor rango de frecuencias implica necesariamente un incremento en el precio final, por lo que este será siempre un factor determinante en el éxito de un producto de estas características.

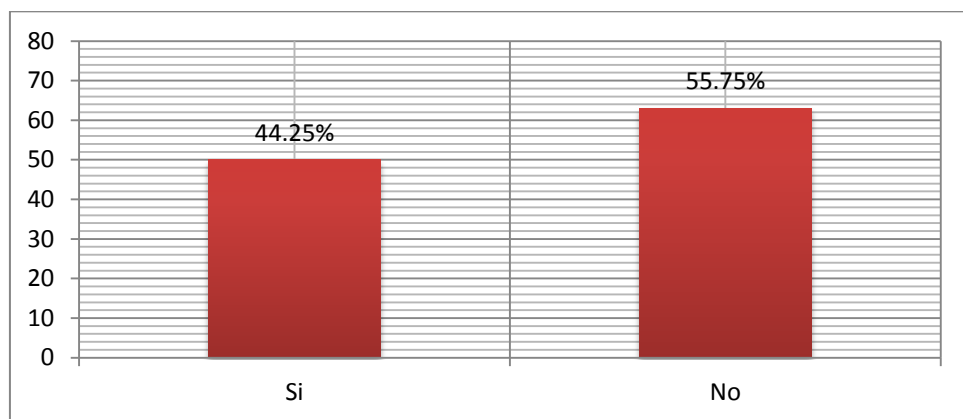


Figura 2.3. Grafico porcentual de la preferencia del universo encuestado por un dispositivo visualizador de señales eléctricas de hasta 20MHz.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

4. Si la respuesta anterior es negativa, ¿estaría dispuesto a pagar entre \$100 y \$200 por un osciloscopio que permita visualizar señales de hasta 5MHz?

Si ()

No ()

Las respuestas obtenidas en la figura 2.4, como se pueden apreciar son casi idénticas con un porcentaje de diferencia centesimal. Se verifican resultados con tendencia negativa en dichas respuestas que principalmente fueron influenciados por la reducción del universo original en estudio en un 44.25% producto del resultado obtenido en la pregunta 3. Se llega a la conclusión de que los integrantes del universo en estudio, prefieren optar por una tarjeta más

económica a costa de una relativa disminución en el rango frecuencial de señales eléctricas que pueden ingresar en el prototipo a desarrollar.



Figura 2.4. Gráfico porcentual de la preferencia del universo encuestado por un dispositivo visualizador de señales eléctricas de hasta 5MHz.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Luego de analizar los resultados del presente modelo de encuesta, hemos llegado a algunas conclusiones que nos permiten obtener los puntos más relevantes del estudio realizado, como son:

- El universo de estudio estuvo integrado por individuos que han hecho uso de los laboratorios para fines académicos, lo que permitió obtener datos fieles a la realidad actual. Si bien en principio este estudio se catalogó como un sondeo general de la tendencia a seguir para el desarrollo en cuestión, los resultados obtenidos expresan en forma específica las necesidades actuales de la población académica.
- Como se pudo constatar, la interacción entre los instrumentos más comunes que se pueden encontrar en un laboratorio es bastante notoria e imprescindible para las diferentes prácticas y pruebas a realizar, por lo que el prototipo a desarrollar, deberá brindar una integración factible de los principales instrumentos y una portabilidad inherente para el fin buscado.
- Los rangos de frecuencia más usados por el universo en análisis son rangos que el producto en cuestión pretende cubrir, no obstante se debe, en los prototipos alcanzados, cuidar la relación precio – complejidad para

que el mismo pueda ser acogido por la comunidad académica y sobre todo sea útil a sus intereses.

- La empresa más reconocida en el mercado de dispositivos para adquisición y procesamiento de datos es por excelencia National Instruments, por lo que a lo largo del proyecto se irán analizando dichos elementos y proponiendo diseños robustos y adecuados a las exigencias del mercado actual.

Para complementar este ítem, cabe hacer alusión al estudio realizado por [37], que contempla un análisis de necesidades en equipos y características en software educativo para las distintas materias de las carreras de Ingeniería Eléctrica y Electrónica que oferta la Universidad Politécnica Salesiana. El estudio está enfocado en una propuesta de un laboratorio de alta tecnología para la formación integral del profesional.

En lo que respecta al hardware necesario, el estudio realizado ve como de gran importancia la integración de los equipos más usados en los laboratorios entre los que figuran:

- Fuentes de alimentación.
- Generador de funciones.
- Sensores y transductores.
- Hardware para adquisición de señales.
- Computador y sistemas embedded para procesamiento.
- Multímetro.
- Osciloscopio.
- Analizador de espectros.

En lo correspondiente a las características de los diferentes softwares que pretenden cubrir las necesidades de cada una de las materias, se ha realizado una agrupación de las funciones requeridas. El estudio realizado arroja las siguientes funciones básicas que este grupo de softwares educativos debe poseer:

- Brindar librerías completas de dispositivos analógicos y digitales.
- Poseer instrumentos virtuales de medida, análisis y simulación.
- Brindar librerías completas de dispositivos industriales.

- Poseer herramientas de análisis matemático.
- Usar elementos programadores y compiladores.
- Poseer herramientas de adquisición y/o procesamiento digital de señales.
- Brindar soporte para sistemas en tiempo real y de tipo embebido.

Se concluye que, para que un laboratorio sea apto para el aprendizaje de las ingenierías Eléctrica y Electrónica, debe cubrir algunos aspectos primordiales en lo que a funcionamiento y servicialidad se refiere. Dichos aspectos se listan a continuación:

- Poseer equipos completos que ocupen un espacio físico reducido.
- Poseer hardware con arquitectura embebida que facilite la realización de prácticas completamente aprovechables.
- Trabajar simultáneamente con variables físicas y virtuales a lo largo de un proceso.
- Uso eficiente del ámbito temporal para entender completamente un fenómeno en particular.
- Procesamiento por ordenador de las variables, tanto físicas como virtuales, manipulables.
- Uso de instrumentación virtual.
- Empleo de técnicas útiles para el análisis de las distintas materias impartidas.

Estos aspectos, son cubiertos en su totalidad, mediante la utilización de varios elementos como son: sensores y transductores para la conversión física en eléctrica de las señales a procesar, módulos de adquisición de señales, protocolos para la comunicación con el ordenador para el procesamiento de las señales adquiridas, software dedicado para trabajar con este tipo de señales encaminadas a aplicaciones interactivas. Esta gama de elementos se encuentra cubierta por los dispositivos de la empresa National Instruments en sus versiones: NI ELVIS II+, NI sbRIO, NI PXI y Software LabView. Las características de esta gama de elementos y dispositivos se pueden encontrar ampliamente analizadas en el estudio realizado por [37].

En conclusión, la totalidad de los instrumentos y elementos propuestos en este estudio son usados por la mayoría de estudiantes pero, se ha optado por elegir al osciloscopio como el mínimo instrumento a conformar el producto final debido a que los demás elementos y dispositivos útiles mencionados requieren acciones que, posiblemente, están fuera del rango factible de desarrollo.

A continuación, se definen los modelos de laboratorios académicos que han sido usados tradicionalmente y además, se hace alusión a los laboratorios de la nueva era que están en plenos estudios de implementación alrededor del mundo.

2.3. MODELOS DE LABORATORIOS EN INGENIERÍA

Dentro de las carreras profesionales ofrecidas por los distintos centros de preparación académica alrededor del mundo se encuentran laboratorios, que permiten la confrontación teórica – práctica del estudiante en las distintas materias cursadas. Es por esto que, se sustenta como primordial, la adaptación de dichos laboratorios a los crecientes cambios tecnológicos del mundo actual a través de su completo equipamiento. En la figura 2.5 se puede observar un laboratorio de tecnología de punta.

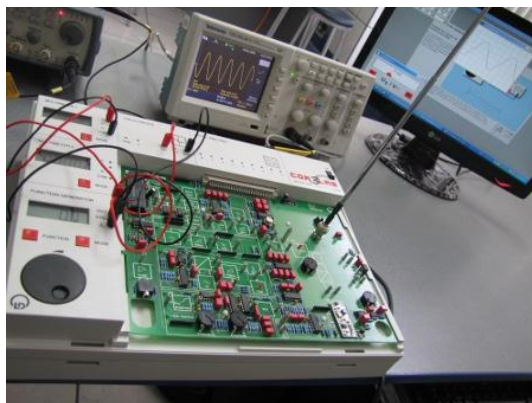


Figura 2.5. Laboratorios de ingeniería electrónica

Fuente: Universidad de Ciencias y Humanidades, Perú (2011). **Referencia:**
http://www.uch.edu.pe/portal/portal_noticias/noticia.php?noticia=noticia262

El trabajo mantenido en estos laboratorios, además de servir como medio de confrontación de los conceptos con la realidad, como se indicó anteriormente, permite también que los educandos puedan formular nuevas ideas a partir del aprendizaje interactivo que viabilice una formación integral de los usuarios

finales. Así podemos observar en la figura 2.6, que se presenta una aplicación basada en los conceptos teóricos adquiridos en las aulas.



Figura 2.6. Proyectos realizados en los laboratorios.

Fuente: Universidad del Valle, Bolivia (2011). **Referencia:** <http://ielunivallelpz.blogspot.com/>

Entre las principales finalidades que persigue dicho aprendizaje experimental se, encuentran [35]:

- Familiarizar al estudiante con el adecuado uso y manejo de los distintos elementos que tiene al alcance de la mano para las experiencias respectivas, y además formarle para que pueda establecer criterios sobre los alcances, limitaciones y riesgos propios de dichas experiencias.
- Guiar al educando en la comprobación experimental de los aspectos enunciados en teoría.
- Despertar e incrementar sus destrezas y habilidades manuales.
- Incentivar el análisis descriptivo y sintético para obtener anotaciones que reflejen las conclusiones alcanzadas, en forma clara, exacta y completa.
- Familiarizar al estudiante con el método científico.
- Incentivar la investigación científica.

Se observa a continuación los modelos de laboratorios que se han desarrollado y se siguen desarrollando en la actualidad. Se trata en primera instancia los modelos actuales y posteriormente se hace alusión a las arquitecturas futuras y los ámbitos de aplicación que pueden potencializar dichas arquitecturas.

2.3.1 *MODELOS DE LABORATORIOS ACTUALES*

En este apartado se tratan sobre los dos grandes modelos de laboratorios que se poseen en la actualidad, de índole física y de índole virtual, si bien es cierto el segundo refleja un avance tecnológico más marcado, el primero complementa esta supuesta falencia a través de la innovación tecnológica en los equipos que posee.

2.3.1.1 LABORATORIOS DE ÍNDOLE FÍSICA:

Este tipo de laboratorios se conceptúan como tradicionales, y son los que se han venido utilizando a lo largo del tiempo como complemento teórico. Existen de varios tipos y se centran en varios modelos de especialización. Analizamos en este apartado los tipos más prominentes, decantado en la generalización de la tendencia de uso.

- *Laboratorios académicos:* Principalmente orientados a la formación integral de los alumnos de los diferentes centros de estudios mediante experiencias prácticas de casos de estudio puntuales. Poseen varios instrumentos de medición y análisis que permiten hacer realidad el concepto de experiencia académica. Entre los más destacados encontramos: ciencias médicas, ciencias químicas, arquitectura, ingenierías, artes, ciencias agropecuarias, psicología, entre otros. Se puede ver en la figura 2.7 un laboratorio académico de formación profesional.



Figura 2.7. Laboratorio académico de automatización industrial y PLC.

Fuente: Instituto Tecnológico Metropolitano, Colombia (2010). **Referencia:** <http://www.itm.edu.co/Academia/Laboratorios/Aacutereastemaacuteticas/LaboratoriodeAutomatizacionIndustrialyPLC.aspx>

- *Laboratorios especializados:* Enfocados en su totalidad a la comprobación tecnológica de hipótesis factibles. Estos laboratorios, a diferencia de los anteriores, están compuestos de equipos muy sensibles y costosos, cuya precisión está en función de las tolerancias a errores casi despreciables que poseen, y su manejo precisa principalmente de profesionales con vasta experiencia en el área en cuestión para evitar accidentes graves. Al tener equipos tan sofisticados, se brinda, a través de ellos, una consecuente automatización de algunos procesos inherentes, que trascienden hasta los controles de calidad cuya integración se precisa como factible. Entre los más destacados encontramos a las casas farmacéuticas, laboratorios de investigación e implementación de tecnologías de punta, centros de desarrollo cognoscitivo, etc. Podemos observar en la figura 2.8 uno de los muchos laboratorios de este tipo existentes en el mundo.



Figura 2.8. Laboratorio especializado en investigación de alimentos.

Fuente: Parque Tecnológico TECNOPARC, España (2011). **Referencia:** <http://www.diaridetarragona.com/reus/042650/tecnoparc/dispone/primer/laboratorio/investigar/alimentos>

- *Centros de mantenimiento:* Enfocados principalmente a la verificación de la calidad de los productos de fabricación en etapas previas y posteriores a su ensamble final. Estos centros no se conceptúan como dependientes de los laboratorios especializados debido a que su idea de existencia se centra en el seguimiento de la calidad y funcionalidad del producto producido por los anteriores, por lo tanto contempla una funcionalidad más bien trascendente que se caracteriza como independiente de los laboratorios anteriormente mencionados y por eso

se han catalogado como un tercer grupo de laboratorios de índole física. En la figura 2.9 se observa uno de los productos a ser mantenido por este tipo de centros.



Figura 2.9. Centro de Mantenimiento y Servicio.

Fuente: El Mercurio, Chile (2011). **Referencia:**
<http://www.edicionesespeciales.elmercurio.com/destacadas/detalle/index.asp?idnoticia=20090821157177>

Tomando en cuenta estas ramificaciones se puede sustentar la idea del complemento teórico para los estudiantes, a partir de la ponencia de que todos ellos tienen en un porcentaje, por más insignificante que parezca, una influencia externa no profesional que permite, como se mencionó, la formación integral de profesionales, a través de las experiencias necesarias en los campos de especialización requeridos.

Por tanto, la enseñanza de la ingeniería debe resultar fuertemente ligada a las experiencias prácticas cuyos fines ulteriores decantan en ofrecer, por un lado, nuevos prospectos de adaptación de los conocimientos teóricos y, por otro lado, modelos de aprendizaje avanzados. Los laboratorios usados para tales fines están compuestos principalmente de elementos de medida que describen el comportamiento y verifican la funcionalidad de un componente en cuestión. Los principales elementos que debe poseer todo laboratorio de ingeniería son:

- **Multímetros:** Existen analógicos (llamados polímetros) y digitales diferenciados en su forma de presentar los datos recogidos. Estos son capaces de medir tensión, intensidad de corriente y resistencia en múltiples rangos, pero además algunos pueden llegar a medir otras

magnitudes como conductancia, frecuencia, fase, capacitancia, continuidad, entre otras [38]. La figura 2.10 muestra una variedad de multímetros existentes en el mercado.



Figura 2.10. Variedad de multímetros digitales.

Fuente: PCE Inst., España (2011). **Referencia:** <http://www.pce-iberica.es/instrumentos-de-medida/metros/multimetros-digitales.htm>

- Generadores y sintetizadores de señal: Son denominados también como instrumentos de medidas materializadas cuya idea de existencia es ofrecer a los circuitos electrónicos, señales de ingreso que no serían factibles por métodos similares. Estos instrumentos no miden ninguna magnitud, pero pueden indicar parámetros útiles de la señal entregada. Son usados principalmente en pruebas, ensayos y tareas de mantenimiento. Se clasifican principalmente mediante dos criterios básicos: el campo de frecuencias y las formas de onda que permiten obtener. En el primer caso, se refieren a las técnicas de obtención de la señal requerida (AF, RF), en el segundo caso se puede hablar de una clasificación entre generadores de funciones, osciladores, generadores de barrido, generadores de pulso, de ruido, etc. [38]. La figura 2.11 muestra algunos generadores de señales.



Figura 2.11. Generadores de señales de tipo digital.

Fuente: Salón Virtual DIRECTINDUSTRY, España (2011). **Referencia:** <http://www.directindustry.es/prod/agilent-technologies/generadores-de-senales-8981-143626.html>

- Osciloscopios: Se conceptúan como los instrumentos por excelencia para tareas de visualización, medición, análisis y registro de tensiones y corrientes continuas y variables en el tiempo. Están destinados a capturar y representar visualmente una señal para permitir su análisis en el dominio del tiempo. Pueden ser analógicos o digitales diferenciados por su forma de procesar las señales para su correspondiente visualización [38]. La figura 2.12 hace referencia a uno de los nuevos osciloscopios salidos al mercado que brindan más funcionalidades que los tradicionales.



Figura 2.12. Osciloscopios digitales y analizadores de señales WavePro 7 Zi.

Fuente: CONECTronica, Francia (2011). **Referencia:** <http://www.conectronica.com/en/Osciloscopios/>

- Frecuencímetros y contadores: Los contadores son instrumentos que cuentan el número de eventos producidos entre un instante inicial y un instante final, elegidos a voluntad, y presentan el resultado de forma

numérica. Los frecuencímetros en cambio son instrumentos que miden la frecuencia de una señal. Debido a la estrecha relación entre las magnitudes de tiempo y frecuencia se han desarrollado equipos que realizan una o ambas funciones y que pueden denominarse comercialmente como sinónimos [38]. Se observa en la figura 2.13 uno de estos frecuencímetros que permite medir señales de hasta 2.4GHz.



Figura 2.13. Frecuencímetro de banco DIT-2400.

Fuente: DITECOM DESIGN, España (2011).
<http://www.ditecom.com/instrumentacion/frecuencimetros.shtml>

Referencia:

- Medidores de impedancia: Cuya importancia radica en el conocimiento de la impedancia eléctrica para poder diseñar componentes y sistemas electrónicos fiables. Estos instrumentos permiten medir parámetros como resistencia, reactancia, capacitancia, admitancia, conductancia y susceptancia en una sola frecuencia o en un rango de frecuencias [38]. Podemos ver en la figura 2.14 un medidor de impedancias portátil profesional.



Figura 2.14. Medidor de impedancia de bucles MZC-300.

Fuente: APMERIS, España (2011).
<http://www.amperis.com/productos/ohmimetros/mzc-310/>

Referencia:

Todos estos instrumentos permiten al alumno en cuestión afianzar su conocimiento a través de la adquisición de conceptos experimentales factibles de modificación en función de los diversos ambientes en los que se desarrolle la comprobación de un determinado dispositivo o elemento. Además, estos instrumentos facilitan el desarrollo de la precisión en respuesta que dicho alumno posea ante situaciones reales.

A continuación se presenta el análisis de los laboratorios de índole virtual que básicamente integran comodidad y portabilidad al usuario final a través de su implementación grafica con un entorno de software amigable.

2.3.1.2 LABORATORIOS DE ÍNDOLE VIRTUAL:

Este tipo de laboratorios destacan debido al auge actual en el uso de elementos multimedia para la enseñanza y sobre todo el aprendizaje en alumnos de toda índole o nivel de estudios [39,40]. Se caracterizan como de índole virtual principalmente porque hace uso de recursos, como el internet y entornos virtuales, que permiten que la disposición, tanto física como temporal de dichos laboratorios, no sea un limitante para la consecución de las prácticas asignadas por los docentes. En la figura 2.15 se ve una representación de esta integración entre recursos virtuales y reales para el aprendizaje académico.

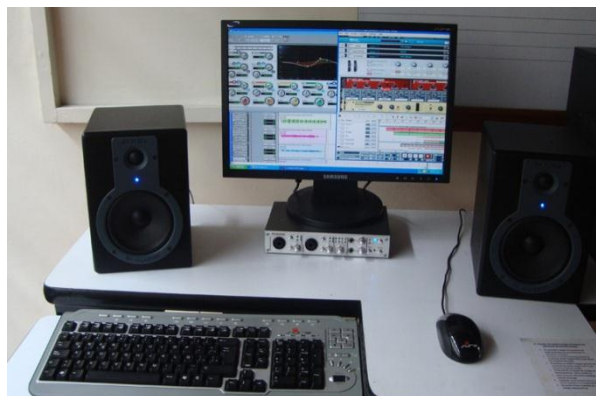


Figura 2.15. Representación del uso de recursos virtuales en el aprendizaje académico.

Fuente: Instituto Tecnológico Metropolitano, Colombia (2010). **Referencia:** <http://www.itm.edu.co/Academia/Laboratorios/Aacutereastemaacuteticas/ProTools/Visitaallaboratorio.aspx>

Los entornos virtuales se catalogan como programas de computadora que permiten verificar el comportamiento y evolución de un sistema en estudio [39]. La caracterización de dichos entornos permite discriminar dos grupos

específicos: los simuladores y los laboratorios con instrumentación virtual. En la figura 2.16 se pueden ver caracterizados estos dos tipos de entornos virtuales.

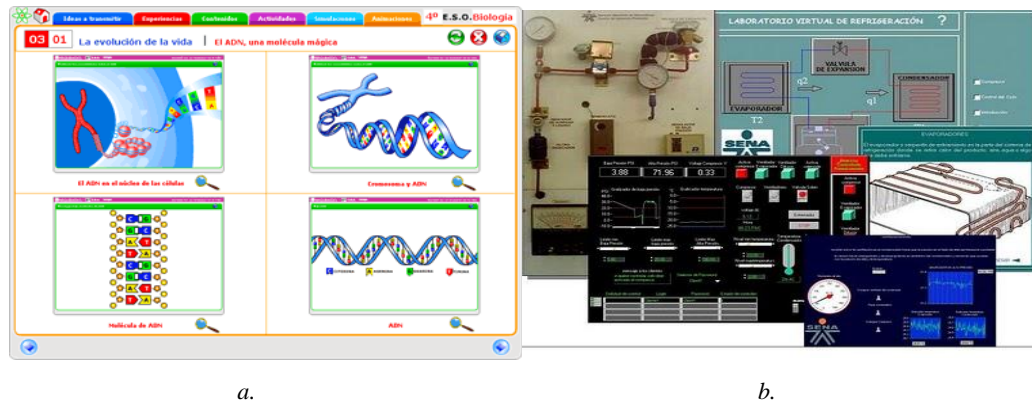


Figura 2.16 a. Entorno virtual como simulación. **Figura 2.16 b.** Entorno virtual como laboratorio con instrumentación virtual

Fuentes: a. Ministerio de Educación, España (2011). **Referencia:** <http://proyectos.cnice.mec.es/arquimedes2/guiabio.html>. b. Instituto Politécnico Nacional, México (2011). **Referencia:** <http://labpromm.blogspot.com/2007/06/instrumentacin-virtual.html>

Se definen a los simuladores como escenarios de aproximaciones matemáticas para predecir el comportamiento de un fenómeno físico, mientras que los laboratorios con instrumentación virtual o laboratorios interactivos de medición y análisis, se conceptúan como entornos en los cuales se puede experimentar con señales reales a través de dispositivos virtuales [39].

Entre los tipos más prominentes de laboratorios de índole virtual, tenemos [40]:

- *Laboratorios software:* O también conocidos como laboratorios con instrumentación virtual. Estos permiten a los educandos tener una experiencia sobre un entorno virtual en una PC, a través de dispositivos de medición y análisis que recogen las señales que ingresan de algún sistema físico en estudio. La arquitectura de un laboratorio de este tipo se puede observar en la figura 2.17.

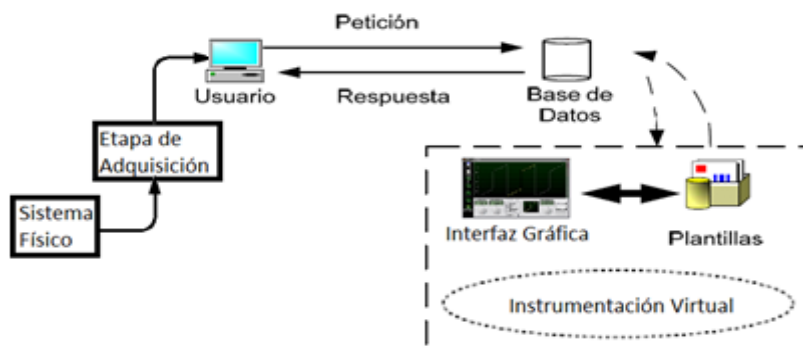


Figura 2.17. Arquitectura de un laboratorio software (imagen modificada).

Fuente: Sancristobal, E, (2009). Desarrollo e integración de laboratorios virtuales remotos con los sistemas de gestión de aprendizaje abiertos. **Referencia:** taee.euitt.upm.es/Congresosv2/2008/papers/2008S2E03.pdf

- **Laboratorios web:** Están catalogados como entornos virtuales que tienen la misma ideología que los laboratorios software pero, los instrumentos virtuales necesarios para la realización de una práctica de laboratorio, que incluya señales reales de por medio, se encuentran alojados en las bases de datos de algún centro de estudios, permitiendo que, a través de internet, cualquier usuario pueda acceder a los mencionados instrumentos. La principal diferencia con los laboratorios mencionados anteriormente es que estos últimos, gracias a su integración con internet, permiten a los docentes, proponer modelos interactivos de solución y verificar los avances, de los educandos, en las diferentes practicas a realizar, proporcionando así un control integral en las actividades realizadas. La arquitectura de este tipo de laboratorios se puede observar en la figura 2.18.

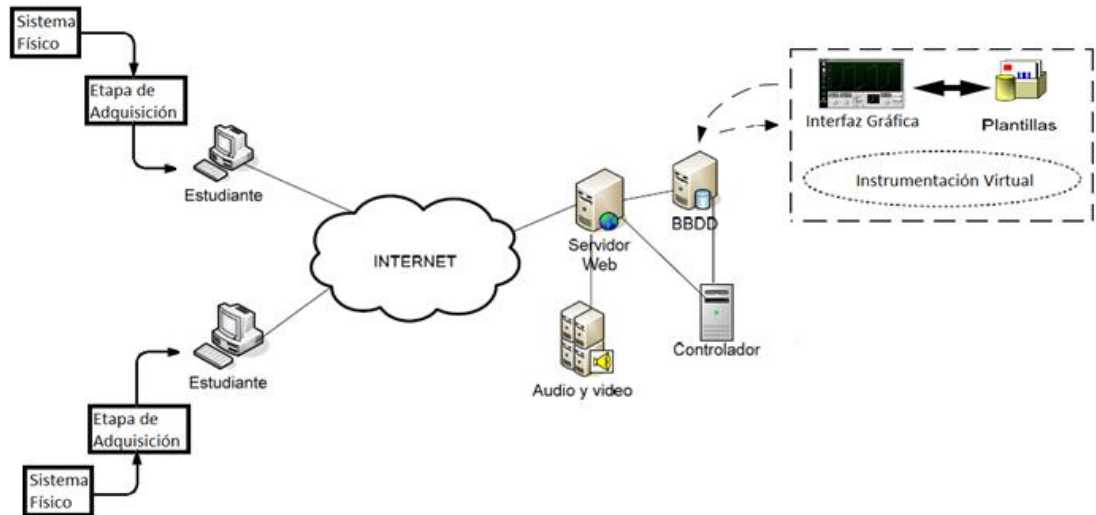


Figura 2.18. Arquitectura de un laboratorio web (imagen modificada).

Fuente: Sancristobal, E, (2009). Desarrollo e integración de laboratorios virtuales remotos con los sistemas de gestión de aprendizaje abiertos. **Referencia:** taee.euitt.upm.es/Congresosv2/2008/papers/2008S2E03.pdf

- *Laboratorios remotos:* Estos, al igual que los de índole web, necesitan de internet para poder manipular el instrumental del cual disponen, pero en este caso, dicho instrumental es de tipo físico. Se denominan remotos debido a que, el usuario, a través de un servidor web, interactúa con un entorno de trabajo en el cual puede manipular instrumentos reales a distancia, que se encuentran localizados en centros de estudios especializados para tales fines. En estos entornos de trabajo se definen los lineamientos de ejecución de una práctica en particular limitando, en algunos casos, el número de instrumentos a manejar y las acciones que se pueden ejecutar sobre dichos instrumentos. La arquitectura usada en este tipo de laboratorios se muestra a continuación:

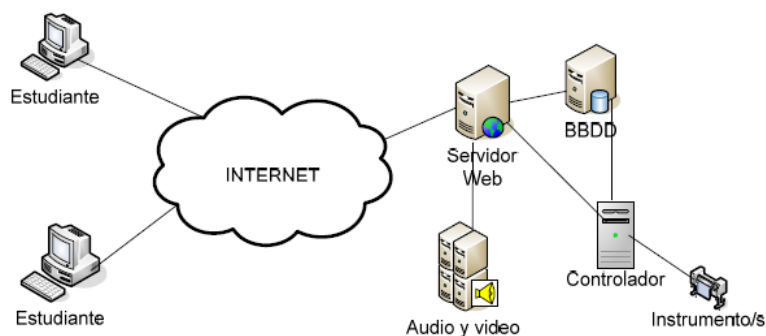


Figura 2.19. Arquitectura de un laboratorio remoto.

Fuente: Sancristobal, E, (2009). Desarrollo e integración de laboratorios virtuales remotos con los sistemas de gestión de aprendizaje abiertos. **Referencia:** taee.euitt.upm.es/Congresosv2/2008/papers/2008S2E03.pdf

En la figura 2.19 se puede observar claramente la interacción existente entre el estudiante y los instrumentos reales, a través de internet; dicha interacción es moderada por el controlador del servidor web que registra las acciones emprendidas por los usuarios en la BBDD (Base de datos) de dicho servidor.

Luego de analizar las distintas opciones de integración virtual existentes, se realiza un enfoque exclusivo a los laboratorios tipo software debido a la característica de aplicación que proporcionan para un laboratorio integrado.

Estos laboratorios software, como se mencionó anteriormente, se catalogan como de índole virtual justamente porque hacen uso de instrumentos virtuales para cumplir con la totalidad de los objetivos de un laboratorio real.

La instrumentación virtual es catalogada como un conjunto de recursos informáticos, cuyo concepto fue introducido por la empresa National Instruments en la década de los 80's con el objetivo de transformar una PC en una estación de instrumentos de medición y análisis, ahorrando así, recursos físicos y económicos a gran escala. El continuo desarrollo de este concepto ha permitido que sus avances tecnológicos se integren con la educación superior y se constituyan como entornos didácticos de la nueva era [41].

El uso de instrumentos virtuales, cuya función es completamente definida por software [41], permite al educando la verificación de un caso de estudio real y la posibilidad de su modificación, para comprobar hipótesis factibles, a través de

una interfaz gráfica, flexible y escalable, que se cataloga además como adaptable a las necesidades del entorno en el cual se desarrolle una práctica en particular. Este hecho viabiliza la existencia de plataformas integradas que llevan el trabajo del docente hacia un nuevo campo de aplicaciones mediante entornos virtuales tan efectivos o mucho más efectivos que sus símiles reales. Uno de estos entornos con instrumentación virtual se muestra en la figura 2.20

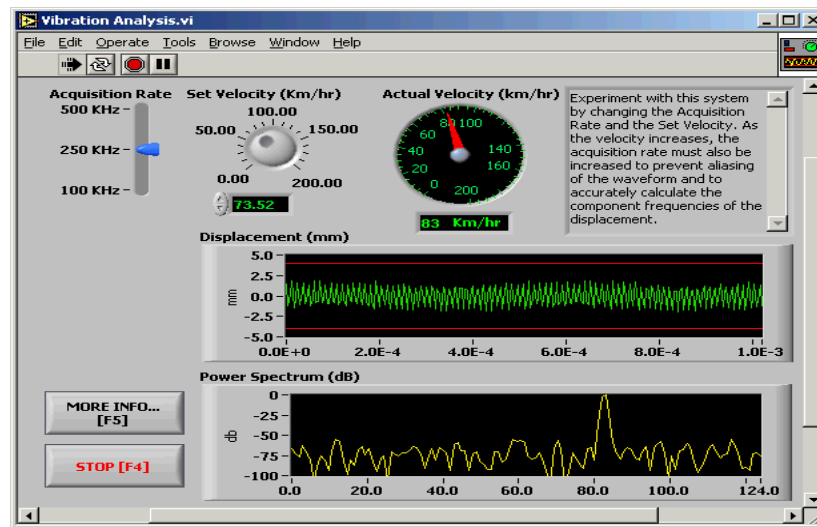


Figura 2.20. Entorno formado por instrumentos virtuales de medición.

Fuente: National Instruments, Estados Unidos (2003) **Referencia:** <http://www.tracnova.com/tracnova-pub/La%20Instrumentaci%F3n%20Virtual.pdf>

Debido a la ausencia de dispositivos 100% reales de adquisición y análisis, estos entornos virtuales didácticos para ser comparables con la realidad deben integrar: una funcionalidad real al adquirir y procesar señales reales, y una funcionalidad virtual al permitir mayores características de análisis, mediante instrumentos virtuales, implementadas simplemente por software sin cuidado de repercusiones monetarias [42]. Esta realidad se puede evidenciar en la figura 2.21.

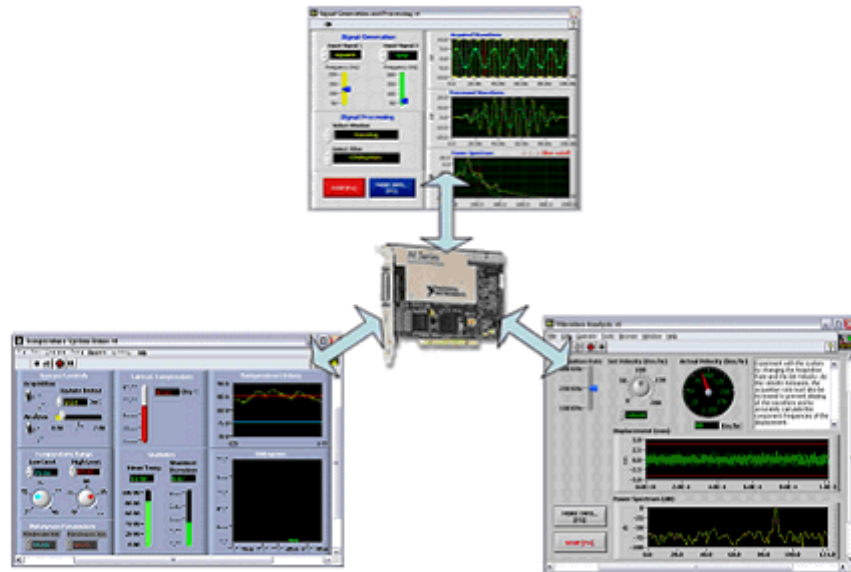


Figura 2.21. Hardware reutilizable para diferentes fines de analisis según el software implementado.

Fuente: National Instruments, Estados Unidos (2010) **Referencia:**

<http://zone.ni.com/devzone/cda/tut/p/id/5935>

Las ventajas que saltan a la vista sobre estos laboratorios, comparables con laboratorios con instrumentación real, evolucionan alrededor de la sencillez en la configuración y puesta en marcha, la portabilidad que integran, y la robustez y seguridad elevada que ofrecen [35], pero así también se encuentran limitados por la pericia que posea el programador de dichos laboratorios, ya que este permitirá a una arquitectura en particular maximizar su eficiencia en función de los recursos tecnológicos disponibles [42].

Teniendo en cuenta que el avance de la tecnología es bastante acelerado, se augura, en los próximos años, la posibilidad de experimentar los montajes de circuitos mediante realidad virtual, reduciendo las brechas tecnológicas e implementando una integración completa de la tecnología en diferentes ámbitos educativos.

Se continúa con el compendio de los modelos de laboratorios futuros cuyos estudios continuos permitirán en un futuro cercano su implementación transparente al usuario final.

2.3.2 MODELOS DE LABORATORIOS FUTUROS

Estos modelos se irán desarrollando alrededor de lo que conocemos como laboratorios remotos cuya conceptualización, como se indicó anteriormente, sería la de un laboratorio existente que puede ser manipulado en forma remota a través de la internet, mediante el uso de sistemas de procesamiento de imágenes, hardware dedicado para la adquisición de datos y software propicio para ofrecer la sensación de trabajo presencial [35]. Un entorno de este tipo de laboratorios se muestra en la figura 2.22.

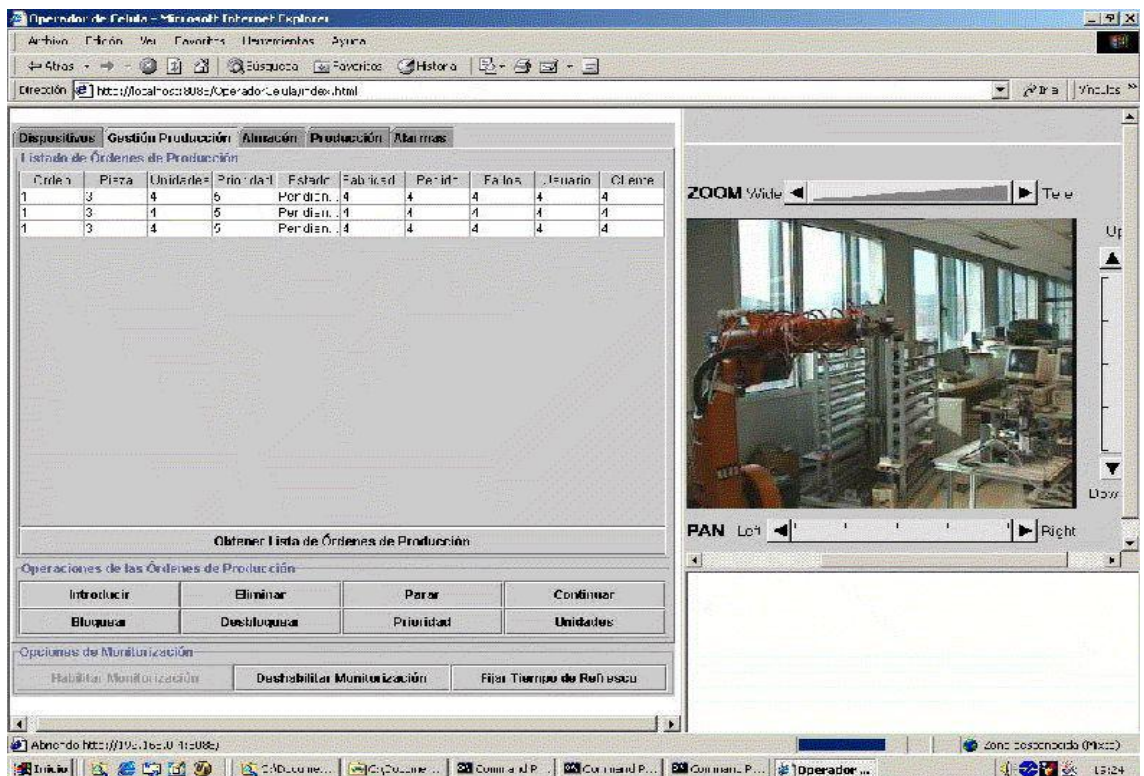


Figura 2.22. Entorno de trabajo en un laboratorio remoto.

Fuente: Calvo I, Laboratorios remotos y virtuales en enseñanzas técnicas y científicas, España (2008)

Referencia: http://www.ehu.es/ikastorratza/3_alea/laboratorios.pdf

Las ventajas de estos laboratorios remotos se desarrollan alrededor del aprovechamiento de recursos de los laboratorios físicos, tanto temporales como humanos y materiales, brindando una disposición casi ilimitada en su uso. Las desventajas inherentes de estos modelos se basan en los altos costos en la adquisición de elementos y tecnologías para su equipamiento completo y en la disponibilidad del servidor con el que se esté trabajando lo que puede ocasionar retrasos o pérdidas en lo que a video y audio se refiere [43].

Si bien es cierto, sus ventajas se asimilan como muy superables a las desventajas inherentes, la puesta en funcionamiento de uno de estos modelos requiere una infraestructura de acceso remoto bastante desarrollada que, en ciertas ocasiones, resulta en una tarea más compleja que la implementación de laboratorios presenciales.

Las soluciones propuestas para estos modelos en auge se desarrollan alrededor de enfoques basados en tecnologías estándar como WWW, lenguaje Java, tecnologías orientadas a objetos, etc., que permiten sustentar una arquitectura susceptible a cambios generacionales [44].

Las aplicaciones exitosas que se han registrado a través de estas arquitecturas, contemplan campos variados como ámbitos industriales y académicos que fueron factibles gracias al uso conjunto de herramientas de desarrollo como MatLab, LabView y tecnologías Web [35].

Las líneas de investigación en estos modelos de laboratorios centran su atención en la seguridad, virtualización de recursos y clustering como activos primordiales.

En el tema de seguridad, la creciente demanda de aplicaciones vía internet a facilitado el desarrollo de métodos de acceso mucho más elaborados con el fin de resguardar la propiedad intelectual del investigador. Los modelos que se usaran para dicho desarrollo se basan en los estándares RBAC (Role Based Access Control) que permiten especificaciones modulares en su control de acceso. Para el control sobre los eventos atacantes al sistema, se implementara el IDS o Sistema de Detección de Intrusos que ofrece protección en tiempo real e inmiscuye un nivel de conocimiento mucho más avanzado del sistema en cuestión [45]. La estructura de este modelo de seguridad se muestra en la figura 2.23.

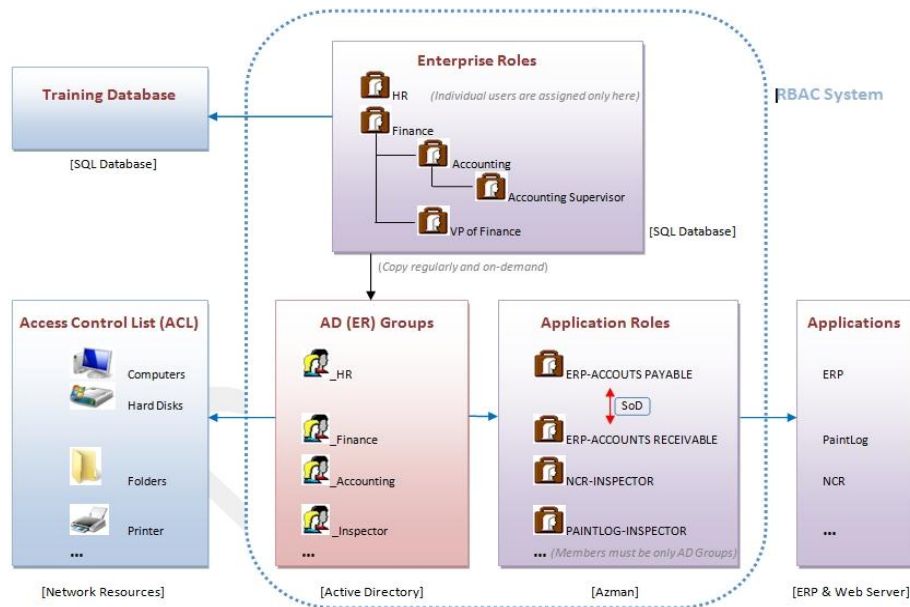


Figura 2.23. Entorno de seguridad vía RBAC e IDS integrados.

Fuente: Riverway (2011), Role-Based Access Control System w/ Active Directory and Azman.

Referencia: <http://nampark.wordpress.com/>

En el tema de virtualización de recursos se implementará una arquitectura Grid sobre la cual se utilizarán múltiples recursos heterogéneos, cuidando que estos no afecten la respuesta del sistema al ejecutar sentencias de altas prestaciones. Al estar centrado su desarrollo sobre tecnología Grid, se hace primordial el uso de los recursos para aplicaciones que se ejecuten en condiciones específicas y en un entorno adaptado a sus necesidades [45]. Una arquitectura Grid, como se observa en la figura 2.24, contempla una integración multilateral de recursos de alto rendimiento que no son centralizados [46].



Figura 2.24. Arquitectura GRID.

Fuente: Santiago (2008), Una nueva y ultra veloz Internet se acerca: Grid. **Referencia:**

<http://grupogeek.com/2008/04/07/una-nueva-y-ultra-veloz-internet-se-acerca-grid/>

En el tema de clustering, al actuar una central como concentrador de recursos disponibles, se prevé la factibilidad de utilizar una infraestructura robusta que permita hacer realidad la enseñanza de ingenierías a través de un modelo particularizable de alta disponibilidad (AD), y más precisamente utilizar entornos virtuales concebidos como recursos redundantes de clusters de AD para estudiar, entre otras cosas, las incidencias en los dominios administrativos del sistema [45]. En la figura 2.25 se observa una arquitectura de clustering de alta disponibilidad.

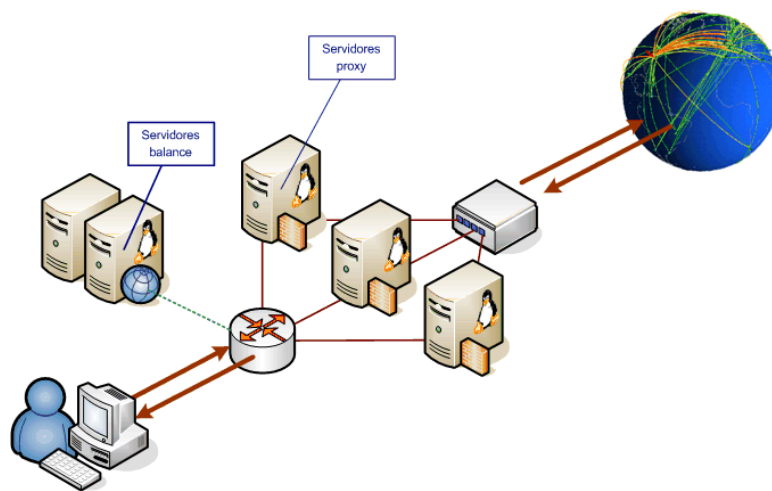


Figura 2.25. Modelo de Clustering de Alta Disponibilidad.

Fuente: Zaragoza, España (2011), Clúster para alta disponibilidad y balanceo de carga de servidores proxy.

Referencia: <http://www.zaragoza.es/ciudad/conocimiento/zim.htm>

Los resultados que se esperan al implementar estas tecnologías sobre los modelos futuros de laboratorios se centran en varias áreas, así tenemos [45]:

- *Seguridad.* Mediante la puesta en marcha de un servidor de seguridad que facilite la atención personalizada al usuario a través de los servicios web y de la infraestructura RBAC. Hasta el momento se está trabajando sobre la implementación de una HoneyNet (Red Enjambre integrada) para registro y análisis del tráfico sospechoso de ataque.
- *Procesamiento en entornos Grid sobre máquinas virtuales.* A través de una configuración transparente de los moderadores locales al usuario final. En la actualidad se están desarrollando redes de recursos virtuales

sobre entornos Grid que son controlados por módulos de administración estándar.

- *Laboratorios de programación con robots y administración de redes.* A través de la teleprogramación de robots lego en algún lenguaje en particular que además permita el acceso interactivo a una variedad de recursos remotos. Ahora se están estudiando diferentes alternativas que permitan interconexión entre dispositivos remotos, ya sean físicos o virtuales, situados en ambientes factibles de simulación,
- *Alta Disponibilidad.* A través de la generación de laboratorios virtuales integrados con Alta Disponibilidad para ser factibles de uso como colaboratorios. En la actualidad se realizan experiencias con laboratorios virtuales de velocidad media de conexión.

Siendo estos los últimos avances en tecnología de implementación experimental, se avizora un horizonte lleno de posibilidades que permitirá la integración de tecnologías de punta, posibilitando la eliminación de barreras espaciales y culturales, brindando así portabilidad y comodidad a la experiencia académica.

A continuación se da a conocer una propuesta de laboratorio académico integrado que se desarrolla en función de los objetivos planteados originalmente.

2.4. PROPUESTA DE UN LABORATORIO INTEGRADO

Atendiendo a las necesidades actuales de la comunidad académica de la ciudad y el país, y analizando las tecnologías presentes en el mercado actual y los estudios sobre implementaciones futuras, se ha visto conveniente realizar una propuesta de laboratorio integrado, que básicamente conste de tecnologías de adquisición de datos implementadas mediante hardware dedicado y entornos multimedia interactivos que sean susceptibles a los cambios generacionales de la tecnología, mediante interfaces amigables.

Una arquitectura de este tipo se muestra en la figura 2.26, donde se contempla una estructura realimentada.

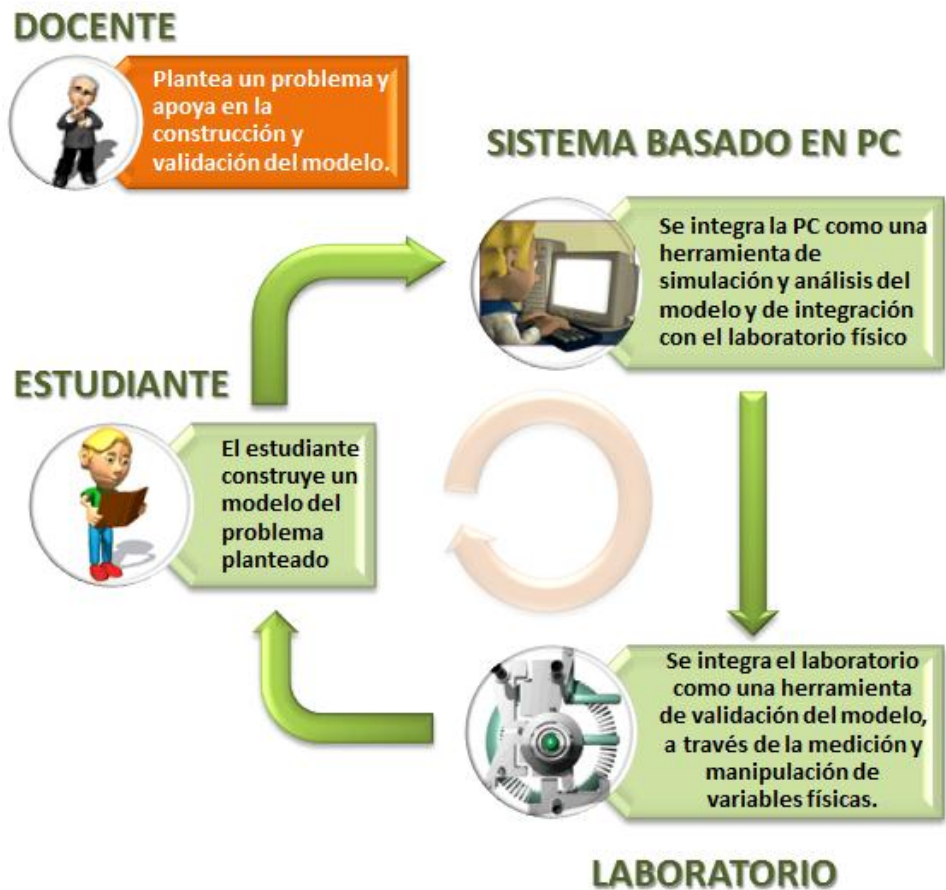


Figura 2.26. Diagrama de bloques de la propuesta de un laboratorio integrado.

Fuente: CALLE, Eduardo; Laboratorios, Sub área de Automatización y Control.

Las características principales que saltan a la vista a través de esta estructura son las siguientes [47]:

- Son procesos realimentados.
- Potencializan las capacidades analítica y creativa del estudiante para la resolución de problemas.
- Poseen un gran impacto en los procesos cognoscitivos e investigativos de los sujetos que hacen uso de sus estructuras.
- Permiten la contrastación en tiempo real de los modelos físicos y las simulaciones sobre un mismo espacio.

Para la implementación de un laboratorio integrado se propone una tarjeta de adquisición de datos estándar, de arquitectura libre y bajo costo, que facilite, en la parte de hardware, adquirir señales de algunos MHz, y en la parte de software, visualizar dichas señales a través de un osciloscopio modular que permita

evoluciones adaptables a las necesidades de los estudiantes. La comunicación entre la parte física y virtual se hará a través de una interfaz USB.

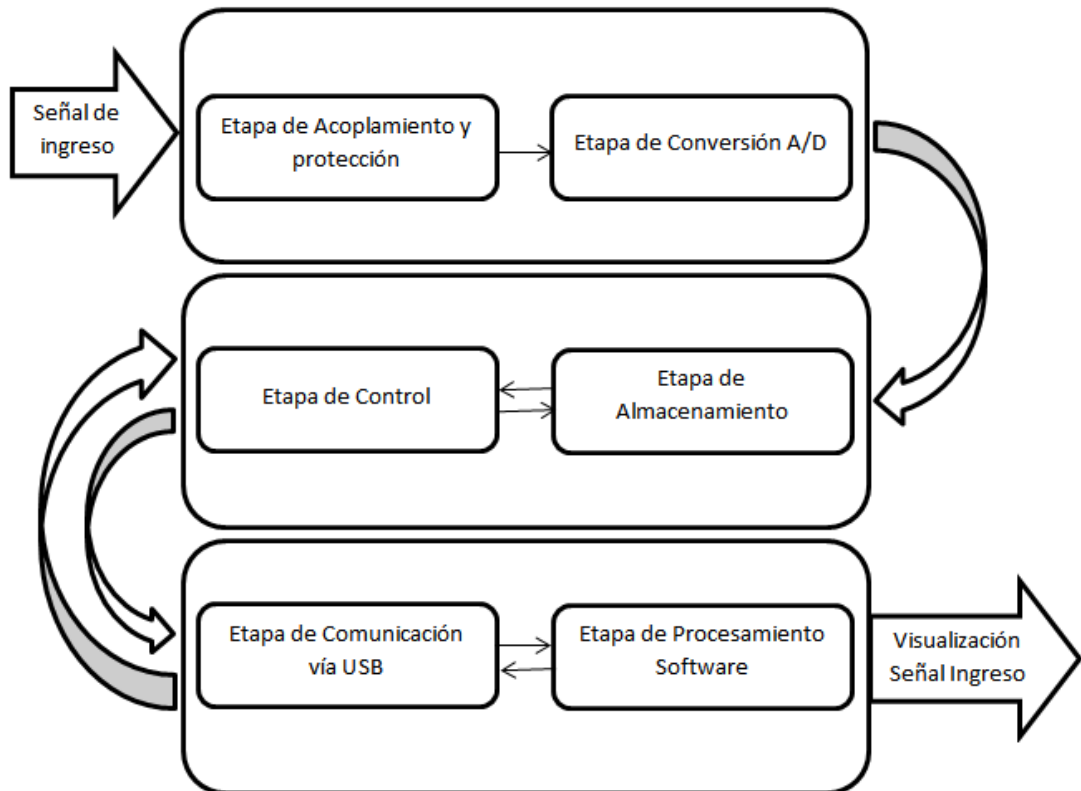


Figura 2.27. Diagrama de bloques de la propuesta de la tarjeta DAQ de alta velocidad.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Dicha tarjeta de adquisición de datos contempla tres bloques funcionales, visualizados en la figura 2.27. En cada uno de estos bloques se evidencian dos etapas embebidas. El primer bloque está formado por la etapa de acoplamiento y protección, y la etapa de conversión A/D. En la etapa de acoplamiento y protección se tomara la señal de ingreso y se la adecuará de tal forma que sea apta para ser leída por la etapa de conversión A/D. En la etapa de adquisición se transformará la información analógica en datos digitales factibles de manipulación.

Al contemplar velocidades altas de adquisición, se precisa útil un segundo bloque funcional formado por una etapa de almacenamiento y una etapa de control. La etapa de almacenamiento almacenará la información obtenida por el primer bloque con el objeto de que la transferencia de dicha información, al software, sea transparente y no se presenten congestiones ocasionadas por

manejar datos de altas frecuencias. La etapa de control contempla el control propiamente dicho de las etapas de conversión A/D y de almacenamiento, y el envío de la información recabada hacia el tercer bloque funcional, que se constituye como el software de procesamiento a través del manejo del protocolo USB. Estos dos primeros bloques descritos conforman el hardware dedicado de la tarjeta de adquisición de datos.

El tercer y último bloque de la figura 2.27 contempla el software dedicado el cual está organizado en dos etapas. En primera instancia se tiene la etapa de comunicación vía USB que permitirá el entendimiento entre protocolos hardware – software para una transferencia exitosa. Finalmente, en la etapa de procesamiento software, esta información recibida es traducida a un nuevo formato y presentación que permita visualizar la información recabada en forma de ondas, a través de una interfaz amigable. Dicha interfaz amigable deberá contener todas las herramientas necesarias para que el usuario final pueda manipular las prestaciones de la tarjeta a través de la implementación de un osciloscopio digital.

Todas estas utilidades convergen en una plataforma que presentara valor agregado al usuario final al ser desarrollado sobre arquitecturas libres, lo que permitirá modificar a conveniencia el producto final, posibilitando la existencia de un laboratorio integrado de alto impacto didáctico a mediano y largo plazo.

CAPÍTULO III.

DISEÑO Y ANÁLISIS DE LA TARJETA

3.1. INTRODUCCIÓN

El constante avance tecnológico que se registra en la actualidad permite que día a día se ofrezcan nuevos y mejorados servicios, logrando una evolución científica y didáctica con el objeto de suplir las necesidades de una sociedad dinámica.

Este escenario avizora un futuro muy prometedor para las aplicaciones que basan su funcionamiento en la electrónica, y particularmente en los sistemas embebidos, debido a que éstos se constituyen en los pilares del desarrollo de nueva generación al permitir el libre acceso de cualquier individuo a través de entornos multimedia y espacios virtuales de desarrollo.

En el presente capítulo se analizan los métodos usados para obtener una tarjeta de adquisición de datos de alta velocidad. En este compendio se hace alusión al diseño esquemático y electrónico de cada uno de los módulos útiles para el proyecto, además se muestran los resultados simulados de su implementación y el proceso constructivo llevado a cabo para obtener el prototipo funcional de dicha tarjeta.

3.2. DISEÑO FUNCIONAL DEL SISTEMA.

Al estar desarrollado para aplicaciones de alta frecuencia, a diferencia de los diseños comúnmente usados, el hardware involucrado debe presentar un análisis exhaustivo de la integridad de señal en frecuencias altas de funcionamiento con el fin de obtener los resultados esperados al momento de su implementación.

Para entender mejor el proceso de desarrollo de este prototipo, se divide su compendio en hardware y software. El hardware comprendido en este sistema es implementado a través de 8 etapas y un módulo:

- Etapa de ingreso, o fase de acoplamiento y reducción de niveles de tensión y corriente para los posteriores procesos de control y transferencia de datos.
- Etapa de conversión analógica/digital (ADC).
- Etapa de división de frecuencia.
- Etapa de almacenamiento en memoria, para los datos recolectados por la etapa de conversión A/D.
- Etapa de control, para comandar el sincronismo que la tarjeta en cuestión debe presentar.
- Etapa de desplazamiento vertical, de la señal de ingreso.
- Etapa de sincronismo por trigger, para estabilizar la visualización de la señal medida.
- Etapa de alimentación, y
- Módulo multifuncional de prácticas.

Cada una de estas etapas implementa una condición complementaria para el sistema total. Luego de varias pruebas en los laboratorios se ha establecido que, para este modelo de adquisición de datos, las señales máximas con las que se deben trabajar son todas aquellas que no superen los 2,5 MHz de frecuencia y los 22Vpp de amplitud. A continuación se analiza por separado el diseño de cada etapa.

3.2.1. ETAPA DE INGRESO

Una etapa de ingreso totalmente funcional debe implementarse a través de diferentes sistemas de acoplamiento, reducción, estabilización y filtrado de la señal de ingreso, cualquiera que esta sea dentro del rango frecuencial de funcionamiento.

Al establecer un diseño para esta etapa, se deben tener en cuenta ciertas características que permitan alcanzar los resultados esperados, entre ellas están:

- Considerar el ingreso de señales tanto en CA como en CC.
- Considerar el ingreso de señales analógicas con alto y bajo nivel de voltaje.
- Considerar el acoplamiento de todas las señales que ingresan al sistema para la posterior conversión analógica – digital.

- Considerar los rangos de funcionamiento de los elementos usados para las etapas involucradas.

Para ello se divide en subetapas las cuales se analizan a continuación.

3.2.1.1. Sub Etapa de selección de modos AC, DC, GND.

En esta subetapa la señal de ingreso se aplica a un conector de tipo BNC, el cual es representado en la figura 3.1 por el identificador “Ingreso”. Dependiendo del tipo de acoplamiento requerido se debe seleccionar un modo en particular, esto se lo realiza a través de mini relés comandados por un controlador o driver conocido como ULN2803 en conjunto con el registro 74HC595, este último recibe datos seriales desde un microcontrolador para comandar al driver antes mencionado. De acuerdo al tipo de acoplamiento requerido se modifican las posiciones de los mini relés 1 y 2 y la señal resultante se muestra en modo AC, DC o GND. La configuración interna de los mini relés usados (G6K-2F-Y) se muestra en la figura 3.2

Si el modo AC es seleccionado, la señal recorre el camino del condensador de acoplamiento C40 y la componente DC de la señal es interrumpida. Este modo es recomendado para visualizar aquellas señales de muy baja frecuencia que se encuentran en el orden de los Hz. De hecho, el condensador C40 se constituye como un filtro paso alto cuya frecuencia de corte a -3dB es 2Hz aproximadamente.

Al seleccionar el modo DC, la señal pasa directamente al mini relé 2 sin cambio alguno, este modo es preferido para las mediciones en general ya que permite la visualización simultánea de las componentes CC y CA de una señal.

Por último, el modo GND permite definir la posición de la referencia cero en la pantalla del osciloscopio, sin necesidad de desconectar las sondas empleadas en la medición de una señal en particular.

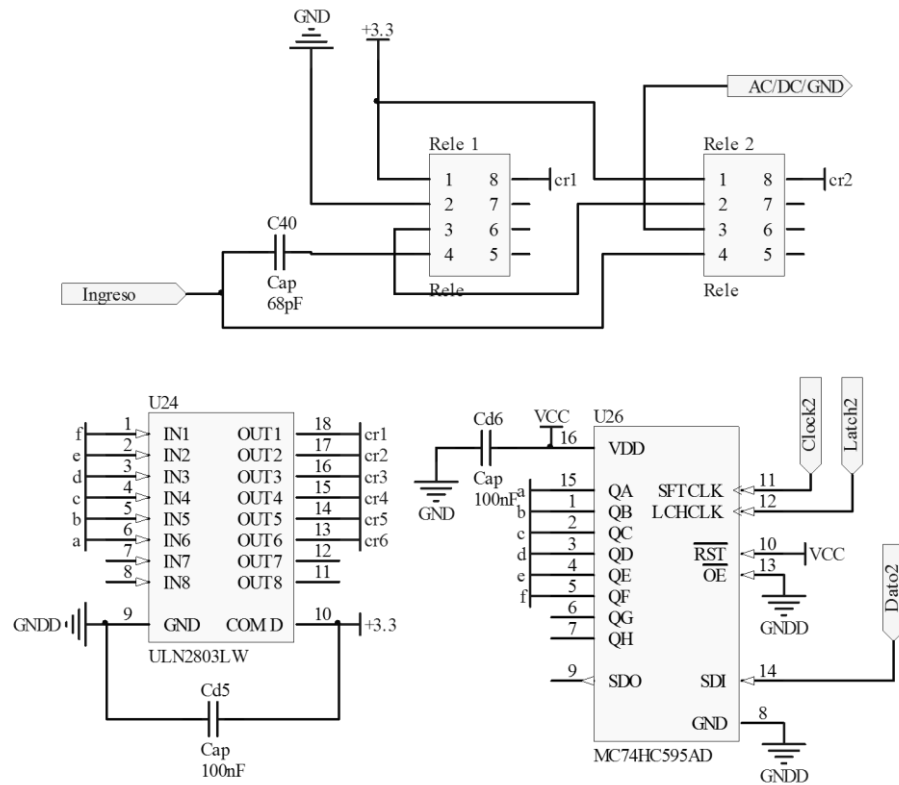


Figura 3.1. Selector de AC –DC – GND

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

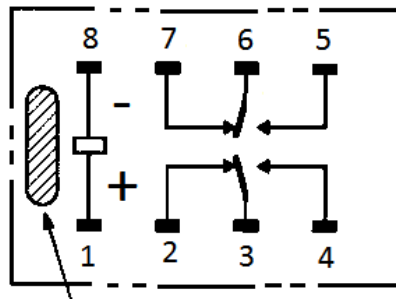


Figura 3.2. Configuración interna de los mini relés G6K-2F-Y

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.2.1.2. Sub Etapa de atenuación por décadas.

Como se puede observar en la figura 3.3 luego de elegir entre los modos AC, DC y GND, anteriormente mencionados, la señal de ingreso debe pasar a través de una red de resistencias que posibilita atenuar las señales de entrada. La atenuación requerida es elegida mediante los mini relés 3 y 4 que son manejados a través del driver ULN2803 y el registro 74HC595. Las escalas de atenuación que se implementaron en esta subetapa son:

- 1:1
- 1:10
- 1:100

Los condensadores variables C41 y C43, que se observan en la figura 3.3, tienen la función de compensar la respuesta en frecuencia de la relación atenuadora seleccionada en función de las capacitancias parasitas inducidas principalmente por las sondas de medición.

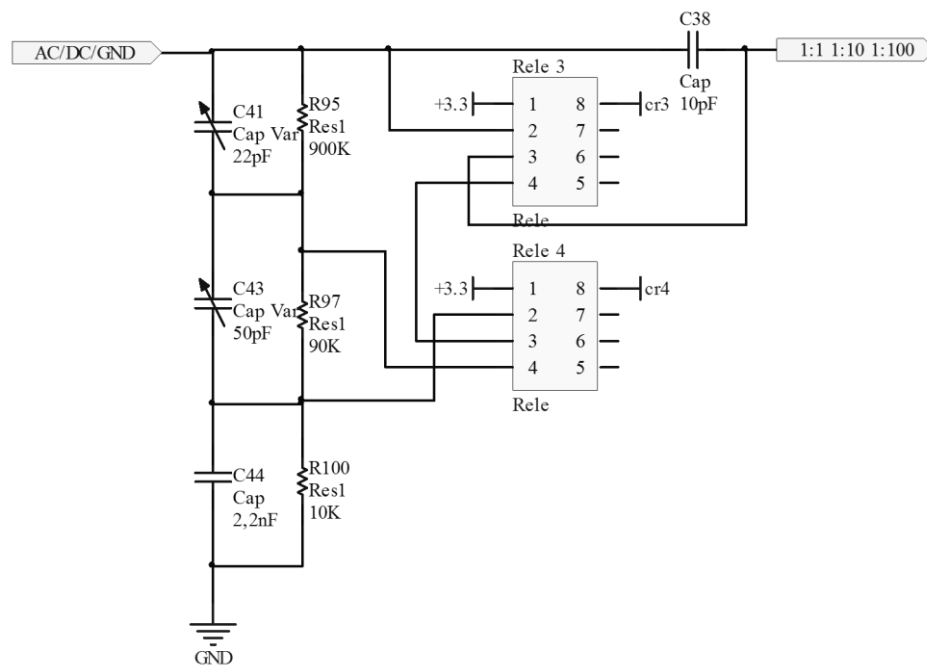


Figura 3.3. Circuito de relación de atenuación 1:1 1:10 1:100

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.2.1.3. Sub Etapa de compensación de offset.

Esta subetapa se muestra en la figura 3.4 donde el transistor Q1 de tipo FET (transistor de efecto de campo) mantiene la impedancia de entrada en un valor alto, generalmente en el orden de los mega ohmios, con el fin de consumir la menor cantidad de corriente en forma directa y evitar distorsiones de la señal en estudio.

En casos de existir picos altos de voltaje negativo hacia este transistor, los diodos D3 y D4 permiten la protección de su puerta o gate.

La estructura formada por el transistor Q2, también de tipo FET, permite la aparición de una fuente de corriente constante que, en conjunto con la resistencia R94, poseen la función de compensar la acción del amplificador operacional U25 (figura 3.5) al generar una tensión siempre constante.

La ganancia de este amplificador operacional se da a través del potenciómetro R96 de características exponenciales.

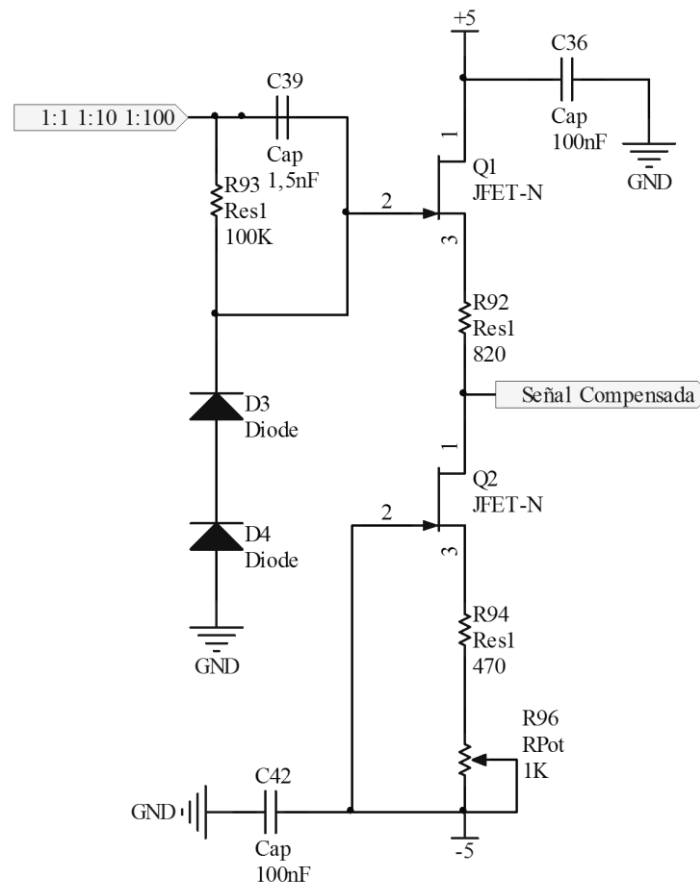


Figura 3.4. Sub Etapa de amplificación y compensación de offset

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.2.1.4. Sub Etapa de amplificación de señal

En esta subetapa el amplificador operacional U25 permite seleccionar la escala de división de voltaje de acuerdo al requerimiento del usuario.

Esto es posible mediante las resistencias selectivas R101 y R103, las cuales modifican la ganancia del amplificador no inversor U25, dichas resistencias son controladas a través de los mini relés 5 y 6 que, a su vez, son comandados por el driver ULN2803 y el registro 74HC595.

Esta subetapa también permite el control del desplazamiento vertical de la señal por medio de la resistencia R99 en conjunto con un potenciómetro digital, su integración en el sistema en estudio es explicada en la etapa de control.

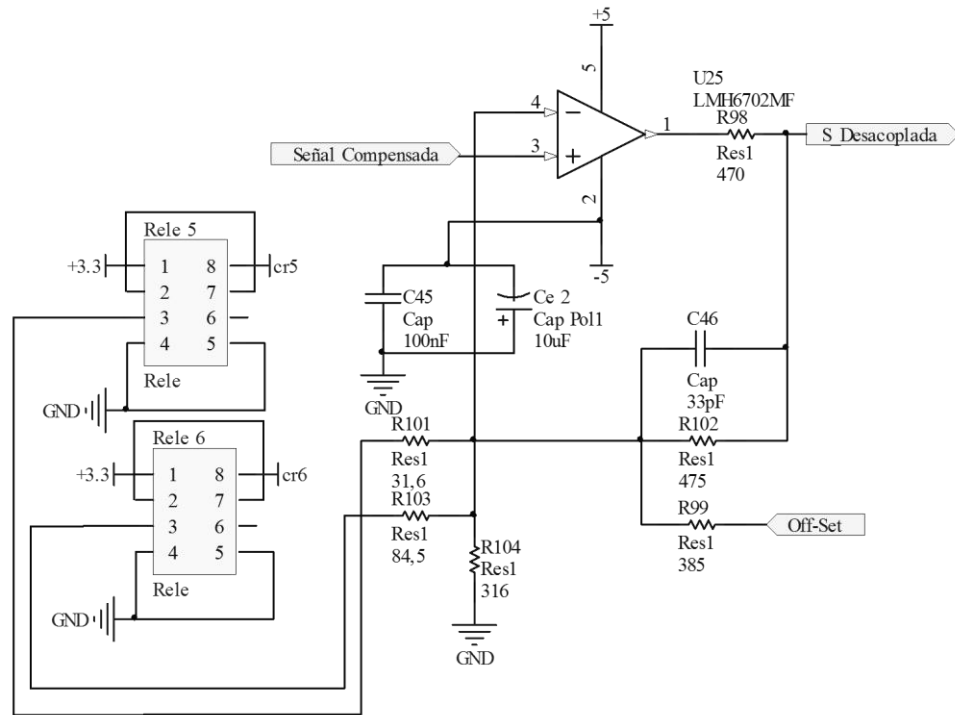


Figura 3.5. Sub Etapa de Amplificación de la Señal

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.2.1.5. Esquema final de la etapa de ingreso

Finalmente, al integrar estas subetapas analizadas se obtiene un esquema completo y funcional que se presenta en la figura 3.6.

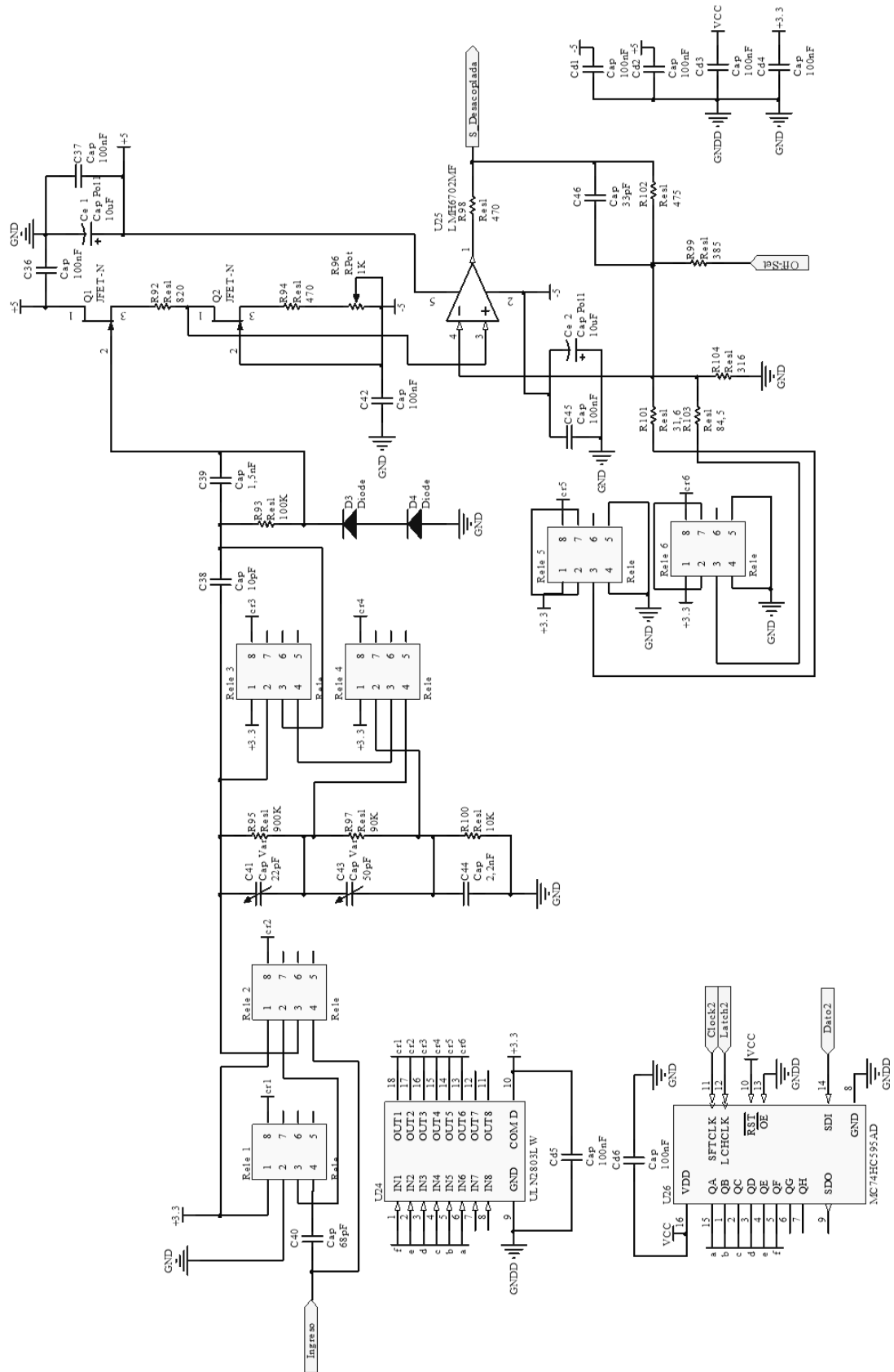


Figura 3.6 Circuito Esquemático de la Etapa de ingreso
Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

A continuación se analiza la etapa de conversión analógica/digital que se constituye como el primer paso para la transferencia de la información, contenida en una señal analógica, hacia la PC.

3.2.2. ETAPA DE CONVERSIÓN ANALÓGICA/DIGITAL.

Una etapa de conversión totalmente funcional debe asegurar la integridad en el traspaso de la información hacia un formato digital.

Para lograr un proceso de conversión efectivo se ha hecho uso de los-siguientes dispositivos:

AD9283BRSZ-50: Es un conversor de señales analógicas a digitales, tiene una tasa máxima de conversión de 50Msps, con una resolución de 8 bits para los datos digitales. Es propicio para aquellas aplicaciones que requieran costos bajos de implementación, integración a gran escala y facilidad de uso. Este ADC necesita una alimentación simple de hasta 3.6V y una señal de reloj síncrona externa para entrar en funcionamiento. Al igual que muchos modelos de ADC, este permite manejar una referencia de voltaje tanto interna como externa con el fin de asegurar la integridad en la conversión, esto asegura su compatibilidad con elementos TTL y CMOS en una variedad de aplicaciones. [48].

LMH6702: Es un amplificador de instrumentación de 1.7 GHz de ancho de banda y de muy baja distorsión de señal, se comporta como un amplificador operacional monolítico específicamente diseñado para los sistemas que requieran fidelidad de señal en toda la gama dinámica de funcionamiento.

Este ofrece estabilidad de ganancia unitaria a una velocidad excepcional, sin necesidad de compensación externa, y se lo usa principalmente en aplicaciones de convertidores ADC [49].

El conjunto de estos elementos logran el proceso de conversión A/D a través de la configuración mostrada en la figura 3.7:

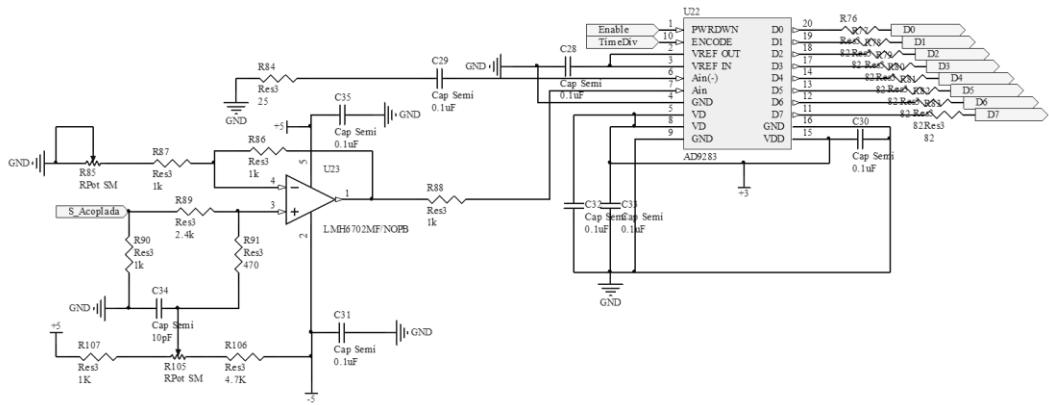


Figura 3.7. Esquema ADC.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se aprecia en esta figura, a través del puerto de entrada (S_Acoplada) se ingresa una señal analógica, la misma que es regulada por el amplificador de instrumentación LMH6702 que asegura que las señales que llegan al AD9283 sean correctas (Figura 3.8).

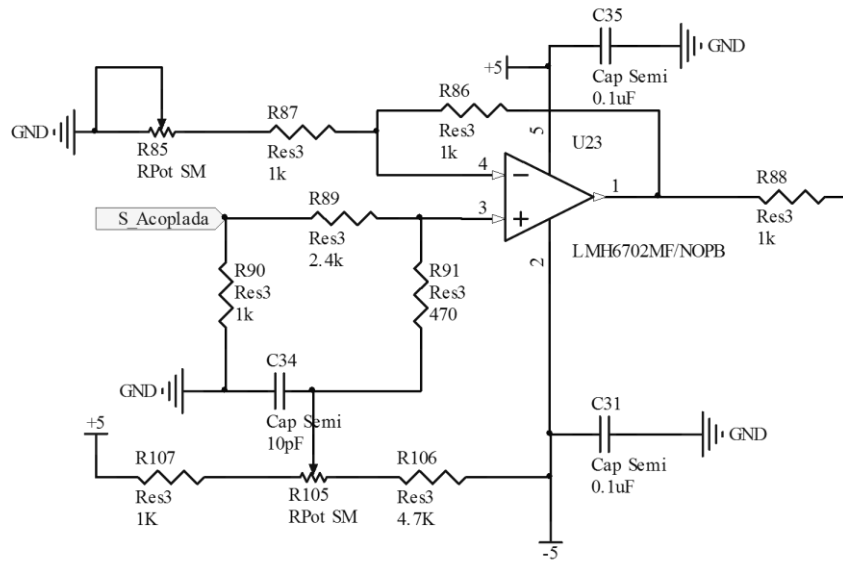


Figura 3.8. Acoplador de Ingreso

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Para que esta estructura funcione correctamente, el ADC implementa los siguientes pines de control:

- PWNDWN, habilita y deshabilita al ADC.
- ENCODE, recibe una señal de reloj que define el número de muestras que el ADC adquiere por segundo.

A continuación se analiza la etapa de división de frecuencia, que define la frecuencia de funcionamiento en el proceso de conversión y en el posterior almacenamiento de los datos digitales convertidos.

3.2.3. ETAPA DE DIVISIÓN DE FRECUENCIA

El principal proceso involucrado en esta etapa es la división de la frecuencia de muestreo, dicha frecuencia se origina en un oscilador de onda cuadrada. La división se realiza en escalas de 2 y 5 de forma repetida, hasta alcanzar una amplia gama de frecuencias que proporcionen un muestreo coherente de la señal de ingreso.

Este proceso de división se logra a través de la integración de los siguientes elementos:

74HC390: Este dispositivo es un contador de décadas de alta velocidad, compatible con integrados de la familia CMOS y TTL. Su funcionamiento se basa en dividir la señal de ingreso para dos y para cinco con reloj independiente y su ancho de banda característico es de 60Mhz [50].

74HC151: Este dispositivo es un multiplexor de 8 entradas y dos salidas diferenciales, los ingresos se seleccionan a través de 3 bits de control, además tiene un bit que activa el modo de descanso utilizado para ahorrar energía de la fuente de alimentación, posee un ancho de banda característico de 70Mhz [51].

74HC595: Es un dispositivo CMOS de alta velocidad, compatible con integrados de la familia TTL. Tiene 8 salidas con desplazamiento serial, cada una con reloj independiente, posee salidas de 3 estados, tiene un registro interno de almacenamiento, los datos se ingresan en forma serial, posee también un reloj para definir la frecuencia de operación de la transferencia de datos y un bit de habilitación que posibilita dicha transferencia para todos los datos almacenados en el registro.

Si no se ha dado un pulso de habilitación, los datos almacenados no se transfieren, en este caso, en la salida, no existirá actualización de información alguna [52].

En la figura 3.9 se muestra el esquema que hace posible el proceso de división de frecuencia:

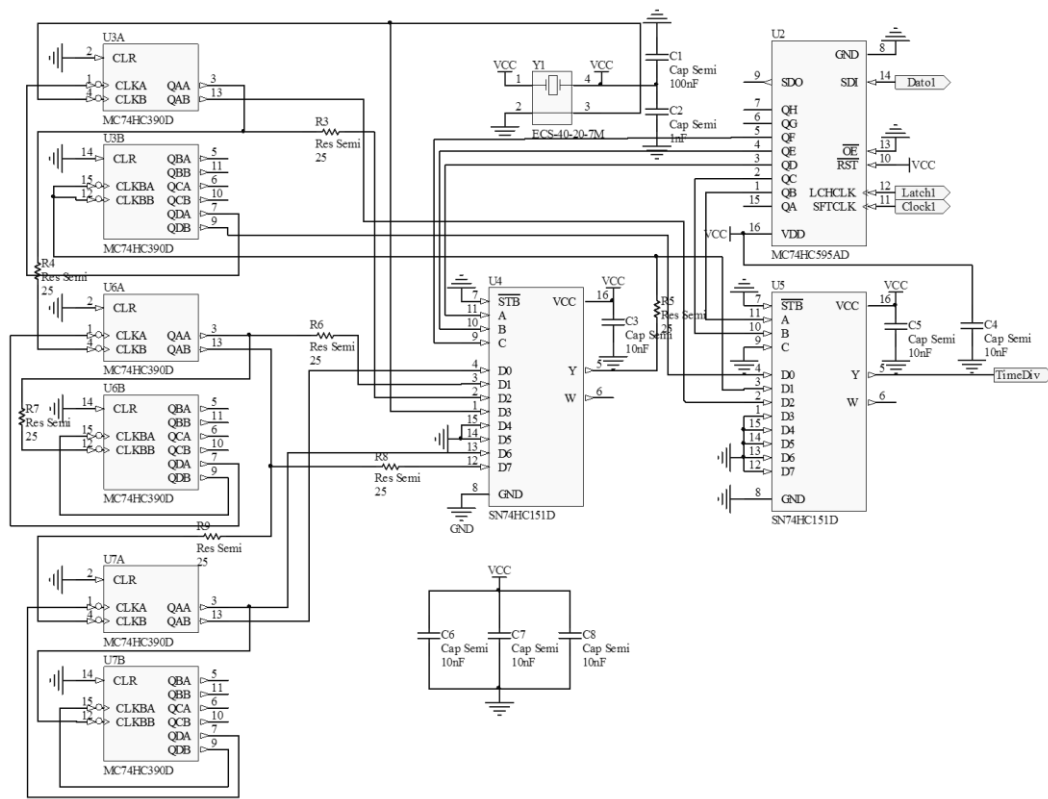


Figura 3.9. Esquema Divisores de Frecuencia

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La señal de reloj proveniente del oscilador de 50MHz (Y1) es dividida en 17 diferentes frecuencias a través de los integrados 74HC390 (U3, U6, U7), luego la frecuencia requerida es seleccionada mediante los integrados 74HC151 (U4, U5), los mismos que son controlados por el registro 74HC595 (U2) que opera mediante el ingreso de una señal de reloj, una de habilitación y una de datos, todas provenientes desde el microcontrolador esclavo.

A continuación se muestra la tabla de verdad (Tabla 3.1) que es enviada al mencionado registro para seleccionar la frecuencia requerida, con esta tabla se puede seleccionar el valor de tiempo por división que se necesite, dependiendo de la frecuencia de la señal que ingresa.

Dato Registro	Division de la frecuencia de Ingreso	Frecuencia de Salida
00011100	2	25Mhz
00011000	5	10Mhz

00010010	10	5Mhz
00010100	20	2.5Mhz
00010100	50	1 MHz
00001010	100	500Khz
00001100	200	250Khz
00001000	500	100Khz
00111010	1000	50Khz
00111100	2000	25khz
00111000	5000	10Khz
00110010	10000	1Khz
00110100	20000	500Hz
00110000	50000	250Hz
00000010	100000	100Hz
00000100	200000	50Hz
00000000	500000	10Hz

Tabla. 3.1. Tabla de verdad del esquema de tiempo por división.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.2.4. ETAPA DE ALMACENAMIENTO

En esta etapa se hace uso de un dispositivo de retención estática, conocido como SRAM, por ser el que mayores prestaciones brinda respecto a una retención dinámica (DRAM).

En general, los dispositivos de retención (memorias) implementan una estructura de celdas, a forma de una matriz, en la cual cada celda permite almacenar un bit. Esto se puede imaginar como un arreglo fila – columna en la cual cada celda está definida por un número de fila y columna únicos. Este identificador único se conoce como dirección de memoria, esto permite que a partir de su identificación se pueda acceder a la celda requerida y consecuentemente a la información que ésta posea.

Para esta etapa, se ha usado la memoria CY7C1019DV33 de 10ns de respuesta o 100MHz de frecuencia de funcionamiento cuya configuración interna se muestra en la figura 3.10

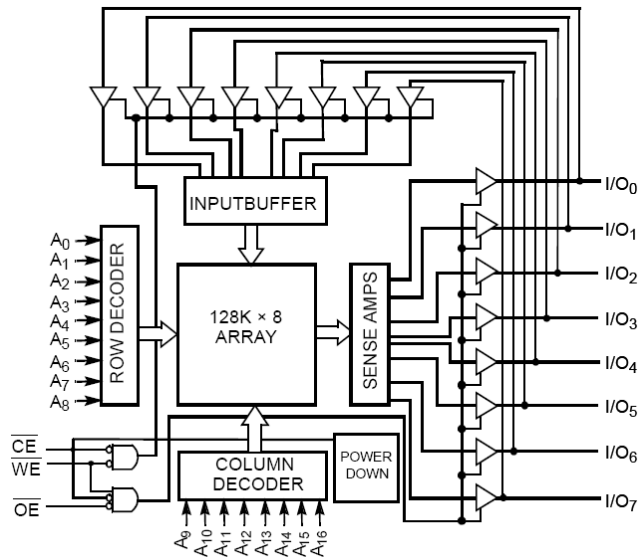


Figura 3.10. Configuración de la SRAM CY7C1019DV33

Fuente: Hoja de datos de la SRAM seleccionada.

Los bits de control que presenta esta SRAM son 20, 17 definidos para las posiciones de memoria (A0-A16), uno para su habilitación (CE), uno para escritura (WE) y uno para la habilitación de las salidas de los datos almacenados (OE).

Para permitir el acceso de los datos convertidos desde el ADC y la posterior obtención de su consecuente almacenamiento, se necesitan algunas fases como son: una fase de aislamiento entre ingresos y salidas, con el fin de proteger la integridad de los datos almacenados, una fase de cambio direccional en las celdas de almacenamiento, implementado a través de un contador binario de 2^n estados iguales a los n bits de direccionamiento de la memoria seleccionada, y una fase de desbordamiento ficticio de memoria de acuerdo a la cantidad de datos que se demanda a través de la visualización en la PC, lo que se efectuó conjuntamente con la señal proveniente de la etapa de sincronismo por trigger, útil para la estabilización de su representación gráfica.

El esquema resultante se muestra en la figura 3.11:

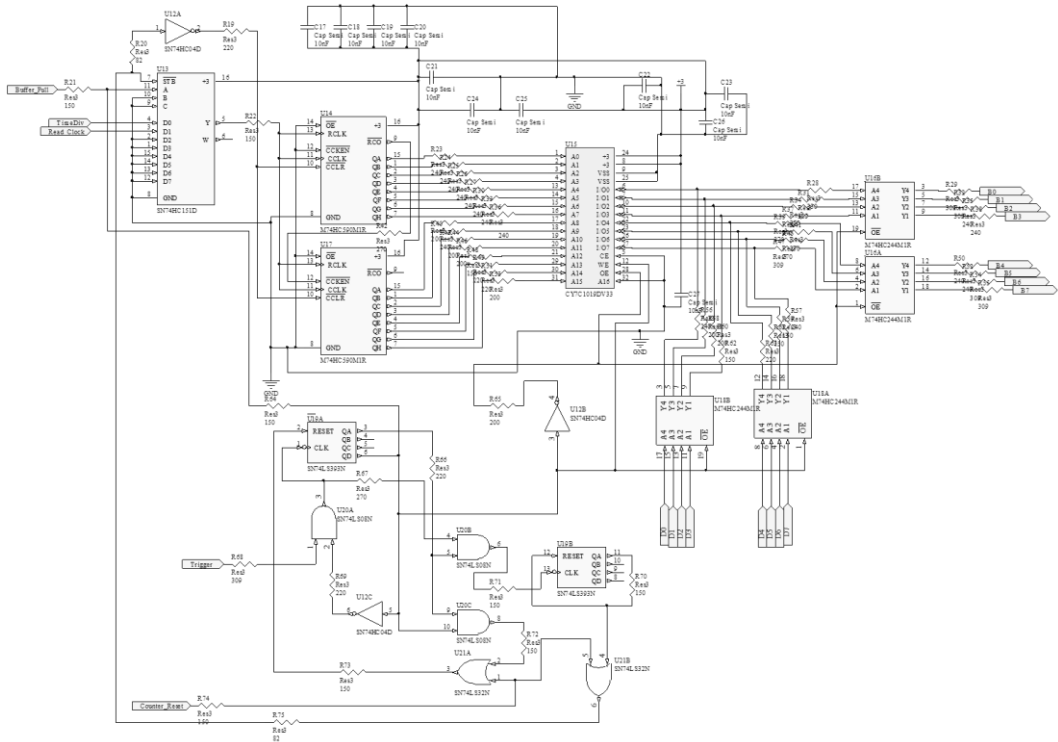


Figura 3.11. Esquema de la etapa de almacenamiento

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Los *buffer* tres estados, usados para el aislamiento entre entradas y salidas, son los M74HC244M1R que presentan una característica de 14ns de respuesta y de 2V a 6V de alimentación (figura 3.12), precisamente con similares características en frecuencia que la SRAM escogida, esto permite que haya un acoplamiento directo entre estos dispositivos.

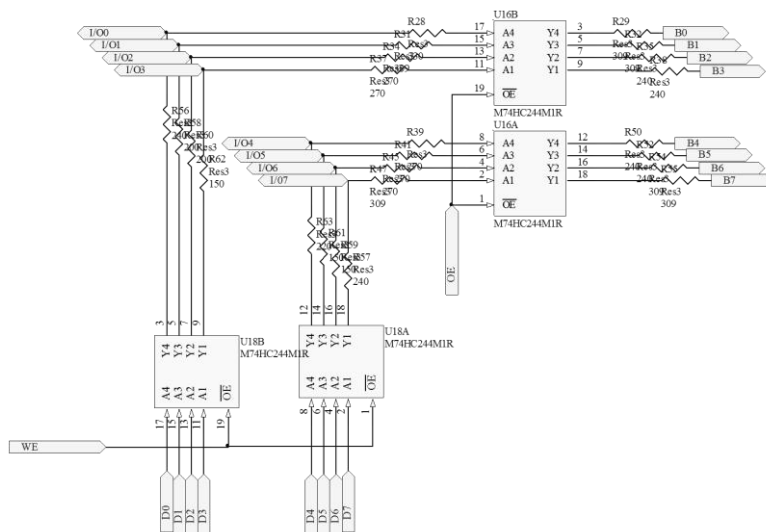


Figura 3.12. Aislamiento de memoria

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

También se hace uso de dos contadores binarios de 8 bits (74HC590), para direccionar los 2^{16} estados de memoria (figura 3.13), siendo la última posición (A16) ignorada con el propósito de minimizar el efecto de hardware sub utilizado.

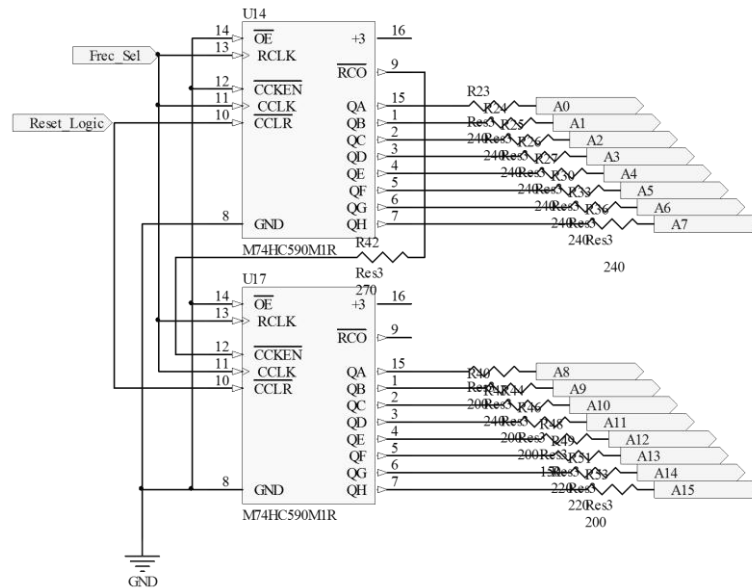


Figura 3.13. Direccionamiento de memoria

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Para la lógica combinatoria de desbordamiento ficticio de memoria, que a la postre resulta en un intercambio entre las funciones de escritura y lectura de los datos almacenados (figura 3.14), como principal elemento se ha implementado un contador binario de 4 bits (U19A) para establecer el número de cruces por cero que efectúa la señal en análisis, siendo éste el número de periodos almacenados de dicha señal, esta función se implementa a través de un trigger externo cuyo esquema será explicado más adelante.

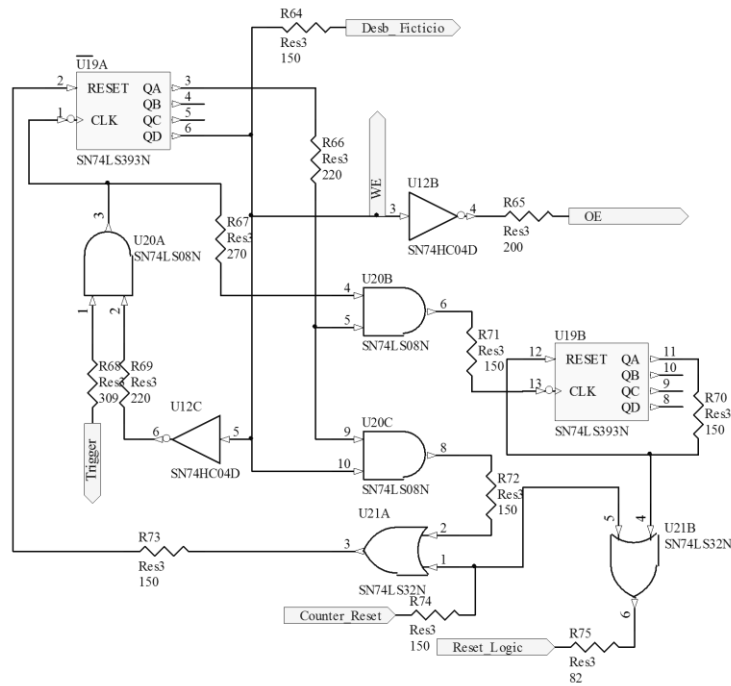


Figura 3.14. Lógica combinatoria de desbordamiento ficticio.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

A continuación se analiza la etapa de control, útil para el correcto funcionamiento y sincronía que deben presentar las diferentes etapas del sistema en estudio.

3.2.5. ETAPA DE CONTROL

Esta etapa implementa el mando de todos los dispositivos que interactúan con la señal recibida en el sistema prototipo. En esta etapa el control total está dividido en dos bloques, el primer bloque, denominado bloque maestro, se encarga de comandar todo lo relacionado a la comunicación USB y a la recepción y almacenamiento de los datos provenientes de la SRAM, el segundo bloque, denominado bloque esclavo, está destinado a manejar las etapas de ingreso, división de frecuencia y desplazamiento vertical.

Este último bloque también es el encargado de comandar al módulo multifuncional de prácticas el cual presenta la posibilidad de manipular datos de tipo analógico y digital para resolver diferentes prácticas de laboratorio.

3.2.5.1. Bloque Maestro

El esquema usado para este bloque es el de la figura 3.15:

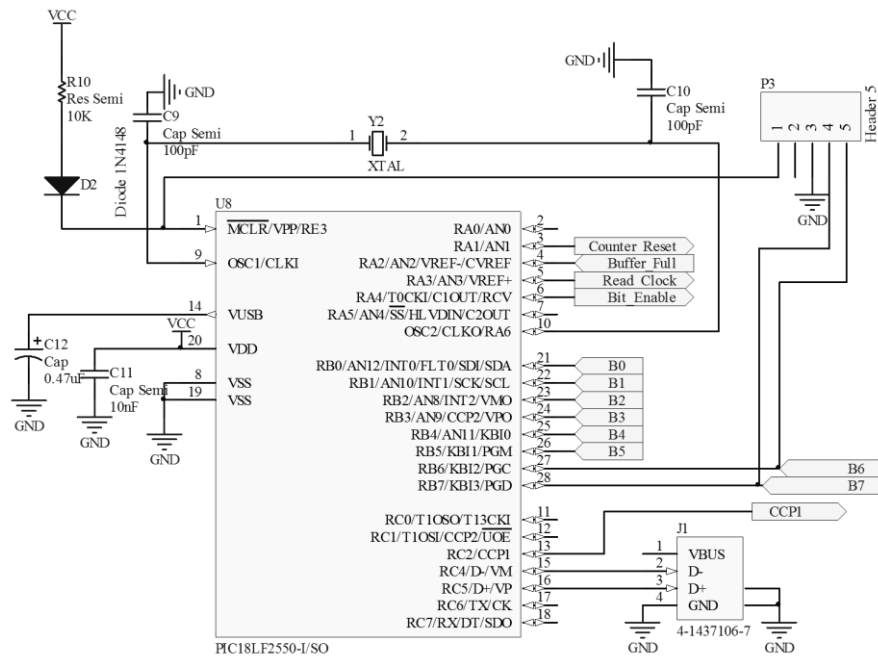


Figura 3.15 Bloque Maestro.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En este bloque se utiliza el microcontrolador 18F2550 el cual posee algunas características que lo hacen deseable para esta etapa, estas son:

- Permite una comunicación tanto USB como serial.
- Posee 8 entradas digitales para manipulación.
- Su configuración interna posibilita la optimización en el uso de los recursos disponibles.

Como función primordial se encarga de enlazar la tarjeta madre con la computadora a través de una comunicación USB *Bulk* por ser la más rápida en su género, además se encarga de enviar datos en forma serial hacia el bloque esclavo.

El microcontrolador usado en este bloque se comunica con la SRAM mediante tres bits, un bit denominado *Buffer_Full* alerta al microcontrolador que los datos de la memoria SRAM están disponibles para ser leídos, una vez recibido este aviso dicho microcontrolador envía una señal de reloj (*Read_Clock*) hacia los contadores de posición de memoria para recibir los datos y almacenarlos, luego de obtener los datos necesarios (64bytes) este dispositivo envía una señal de reseteo a los contadores (*Counter_Reset*) con el fin de que se restablezca el ciclo

de escritura. Una vez que los datos recibidos desde la memoria se encuentren en este microcontrolador se realiza el proceso de envío hacia la PC, con el fin de obtener una representación gráfica en la pantalla de los datos almacenados. Esta configuración se ha implementado a través del programa *CCS Compiler* el mismo que proporciona programación de alto nivel y una estructura amigable al usuario. El código de implementación se evidencia a continuación:

```
// Señal de Habilitación del ADC, Activo a cero.
//:.....
Output_low(PIN_A4);
//:.....
    if(usb_enumerated()){

        if (input_state(PIN_A2)==1)
        {
            Output_low(PIN_A1);
            for (i=0;i<255;++i){
                // Guarda los Datos recibidos de la RAM en la variable ch1
//:.....
                ch1[i]=input_b();
//:.....

                //Señal de Reloj de La RAM para lectura
//:.....
                Output_High(PIN_A3);
                delay_us(1);
                Output_low(PIN_A3);
                delay_us(1);
//:.....
                //delay_us(*(ptrecbuf+3));
                }

                // Reset de los Contadores de la Ram
//:.....
                Output_High(PIN_A1);
                delay_us(1);
                Output_low(PIN_A1);
//:.....
                }

                // Envía los Datos hacia la PC
//:.....
                usb_put_packet(1,ch1,64,USB_DTS_TOGGLE);
```

El envío de los datos de control hacia el bloque esclavo se lo realiza en forma serial, este bloque es el encargado comandar las etapas de ingreso, división de frecuencia, desplazamiento vertical y el módulo multifuncional de prácticas. El código de implementación es el siguiente:

```
//:.....
    if (usb_kbhit(1)){
```

```

        usb_get_packet(1,recbuf, 7);
        // Datos de Salida
//:.....
        // Envio de los datos para controlar las tarjetas.
        //recbuf[0] envia Time/Div
        //recbuf[1] envia Volt/Div
        //recbuf[2] envia Tipo de Acoplamiento CC-CA-GND
        //recbuf[3] envia Off-Set
        //recbuf[4] envia Trigger
        //recbuf[5] envia PWM "Hacia el Proto Board"
        //recbuf[6] envia Dato al Puerto D "Hacia el Proto Board"
        ptrecbuf=&recbuf[0];
        for(i=0;i<7;i++){
            putc(*(ptrecbuf+i));
        }
//:.....
    }

```

3.2.5.2. *Bloque Esclavo*

El esquema usado para este bloque es el de la figura 3.16:

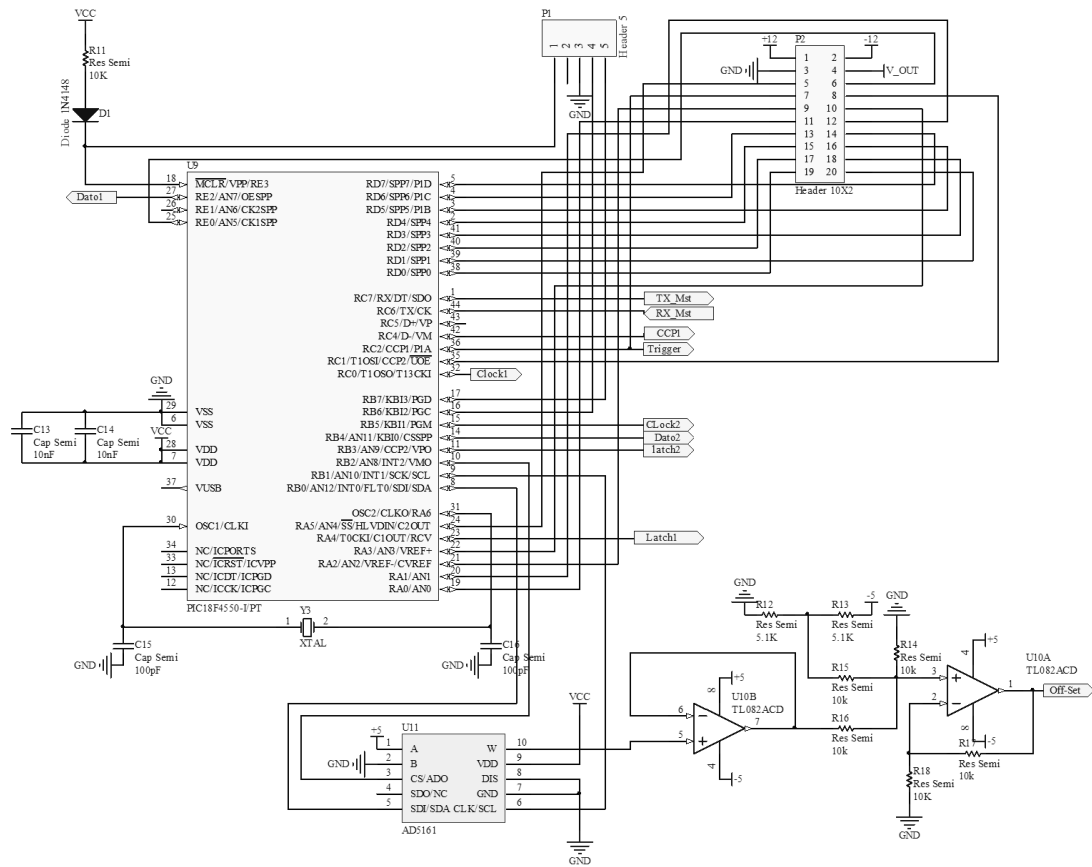


Figura 3.16 Bloque Esclavo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En este bloque se hace uso del microcontrolador 18F4550 el cual posee las siguientes características:

- Permite una comunicación tanto USB como serial.
- Su configuración interna posibilita la optimización en el uso de los recursos disponibles.
- Posee dos puertos digitales de 8 bits totalmente manipulables.

Como se mencionó anteriormente, este bloque está encargado de manejar tres etapas y el módulo, los cuales son susceptibles de control en el sistema prototipo. Esto se lo implementa de la siguiente forma:

- *Manejo de la Etapa de Ingreso:* Esta etapa es manejada a través de tres bits de control, los cuales manipulan un registro 74HC595, estos son: *Dato2*, es el bit donde se carga el dato a enviar, *Clock2*, proporciona una señal de reloj para desplazar los datos sobre dicho

registro, *Latch2*, es el encargado de cargar el dato en la salida del registro. El código que implementa esta función se evidencia a continuación.

```
//Control de la Etapa de Ingreso.
for(i=7;i>=0;i=i-1)
{
    bit_out=bit_test(data_volt,i);//Toma el Bit "i" de la Variable
    //data_volt y guarda en bit_out.

    output_bit(PIN_B4,bit_out);//Carga en el Pin B4 el valor de bit_out.
    output_bit(PIN_B5,1);
    delay_us(100);
    output_bit(PIN_B5,0);
    delay_us(100);
}
output_bit(PIN_B3,1);
delay_us(100);
output_bit(PIN_B3,0);
delay_us(100);
```

- *Manejo de la Etapa de División de Frecuencia:* Esta etapa es manejada similarmente a la anterior, los bits de control implementados en esta ocasión, con idéntica función, son: *Dato1*, *Clock1*, *Latch1*. El código de implementación es el siguiente:

```
//Control de la Etapa Division de Frecuencia.
for(i=7;i>=0;i=i-1)
{
    bit_out=bit_test(data_time,i);//Toma el Bit "i" de la Variable
    //data_time y guarda en bit_out.
    output_bit(PIN_E2,bit_out);//Carga en el Pin E2 el valor de bit_out.
    output_bit(PIN_C0,1);
    delay_us(100);
    output_bit(PIN_C0,0);
    delay_us(100);
}
output_bit(PIN_A4,1);
delay_us(100);
output_bit(PIN_A4,0);
delay_us(100);
output_bit(PIN_B1,0);
output_bit(PIN_B2,0);
```

- *Manejo de la Etapa de Desplazamiento Vertical:* Este control se realiza a través de una comunicación *SPI (Interfaz Periférica Serial)* hacia el potenciómetro digital. Dicha comunicación se implementa de forma similar al control ejercido hacia las etapas anteriormente

analizadas, por lo que su integración fue factible. El código de implementación es el siguiente:

```
//Control de la Etapa de Desplazamiento Vertical.
for(i=7;i>=0;i=i-1)
{
  //Comunicacion SPI Manual
  //:.....:
  spi_data=bit_test(offset_datos,i);//Toma el Bit "i" de la Variable
  //bus_datos y guarda en spi_data.
  output_bit(PIN_B0,spi_data);//Carga en el Pin B0 el valor de spi_data.
  output_bit(PIN_B1,1);
  delay_us(1);
  output_bit(PIN_B1,0);
  delay_us(1);
}
output_bit(PIN_B2,1);
//:.....:
```

– *Manejo del módulo multifuncional de prácticas:* Dicho modulo se constituye como una interfaz *HMI (Interfaz Humano Maquina)* en la cual se han integrado algunas funciones básicas de control en conjunto con elementos manipulables de visualización, se presentan los siguientes:

- Puerto digital de 8 bits de Entrada/Salida (E/S).
- Salida PWM configurable.
- Cuatro entradas analógicas.
- Un project board.
- Dos displays 7 segmentos
- Ocho leds.
- Dos potenciómetros.

Dichas funciones y elementos son comandados a través de la PC, mediante su interfaz gráfica. Su control se ejecuta utilizando el microcontrolador como interfaz entre la PC y el modulo multifuncional de practicas, este último recibe los datos serialmente desde el bloque maestro.

Dos son los datos seriales utilizados, el primer dato cargado es uno de 8 bits que sale del puerto D, el otro dato es el duty cycle que provee una señal PWM de 1.2KHz de frecuencia.

La interacción de estos dos bloques permite el control global de la tarjeta en cuestión y del módulo multifuncional de prácticas, el esquema resultante de su integración se observa en la figura 3.17

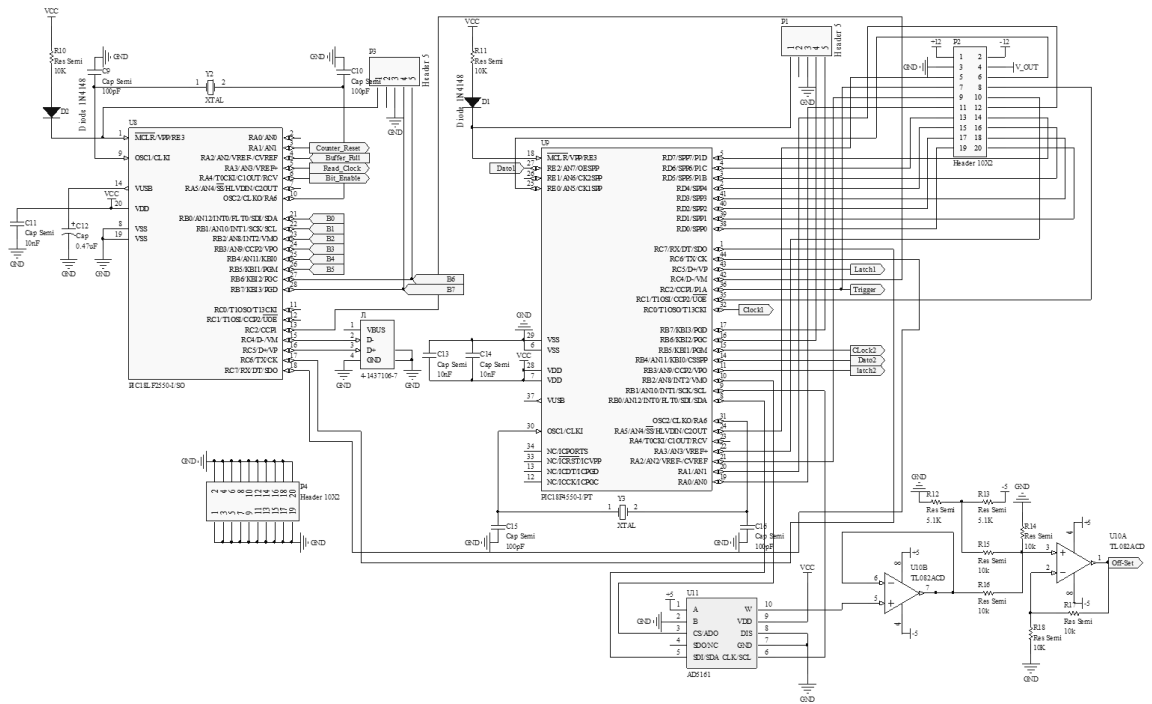


Figura 3.17 Etapa de Control.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.2.6. ETAPA DE DESPLAZAMIENTO VERTICAL

Esta etapa es la encargada de controlar la posición del eje vertical en la visualización de la señal a medir, a fin de contar con una referencia variable de ésta señal.

Para lograr este propósito se cuenta con los siguientes elementos:

AD5161BRMZ10: Es un potenciómetro digital de 10Kohms con 256 divisiones, entrega valores de salida de 0 a VCC, presenta un consumo de 5uA en funcionamiento, posee una memoria volátil y su salida es controlable a través de una comunicación I2C/SPI.

A diferencia de los dispositivos mecánicos o resistencias variables, este potenciómetro posee una resolución mejorada, una fiabilidad en estado sólido y un bajo coeficiente de temperatura, lo que lo hace realmente confiable.

TL082: Es un amplificador operacional JFET que presenta un ancho de banda de 4MHz, es usado en aplicaciones de convertidores analógicos/digitales de alta velocidad, circuitos de muestreo y retención y, aquellos circuitos que requieran una alta impedancia de ingreso y baja entrada de voltaje de offset. Presenta un bajo nivel de ruido.

El esquema resultante de su integración es el de la figura 3.18:

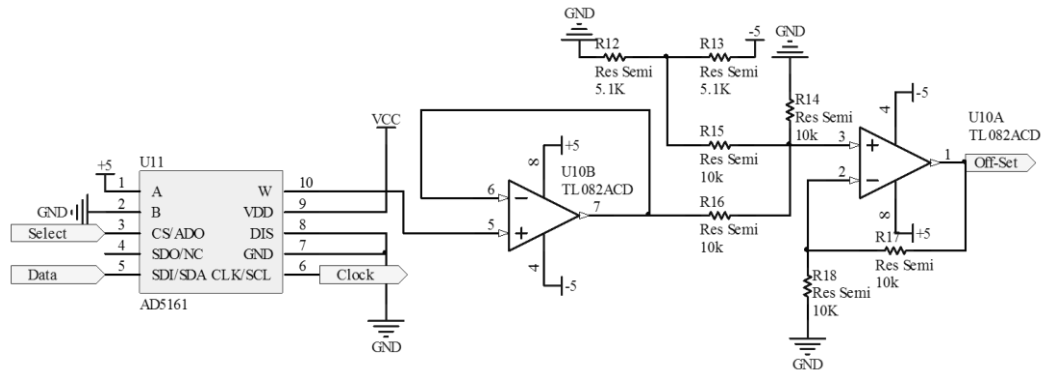


Figura 3.18 Configuración del potenciómetro digital para el desplazamiento vertical.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

El potenciómetro digital (U11) es comandado desde el microcontrolador mediante una comunicación SPI, el dato enviado al potenciómetro varía de 0 a 255 permitiendo una salida de 0 a 5V respectivamente, esta salida se acopla con un sumador no invertente (U10A) a través de la configuración seguidor de tensión implementada (U10B). A este sumador llegan 2 señales: una es de tipo DC constante de -2.5V y otra es la señal acoplada desde el potenciómetro digital, es en este sumador que se implementa la función de salida diferencial requerida para ejercer un control sobre el offset de la señal de ingreso, a través de la resistencia R99.

3.2.7. ETAPA DE SINCRONISMO POR TRIGGER

El objetivo principal de esta etapa es la de proveer una característica estática a la visualización de la señal. Esto se implementa a través del esquema mostrado en la figura 3.19

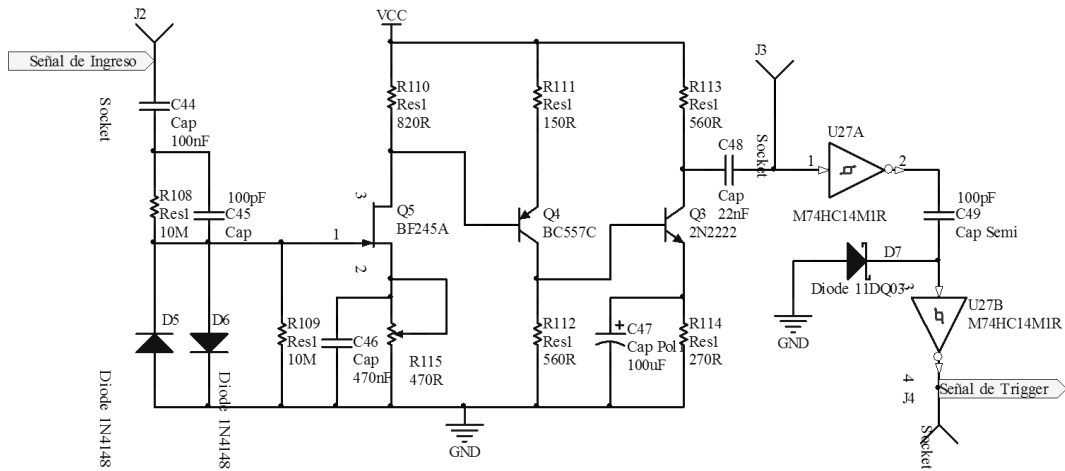


Figura 3.19. Circuito de Disparo (Trigger)

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

El sincronismo entre la RAM y los datos emitidos desde el ADC son controlados con el circuito de disparo denominado trigger. Su función es detectar los cruces por cero de la señal de ingreso y habilitar a la SRAM para que comience a almacenar los datos convertidos y posteriormente los transfiera a la PC para su visualización.

El modo de generar el pulso cuadrado está dado por el transistor FET Q5 (figura 3.19), ya que éste determina los cruces por cero de la señal activando los transistores Q3 y Q4 con el fin de generar un tren de pulsos propicio para un sincronismo y acorde a la frecuencia de ingreso. La señal previamente pierde sus componentes en DC a través del condensador C44 y los diodos D5 y D6 eliminan los picos positivos y negativos de dicha señal.

Esta señal cuadrada es mejorada por medio de un dispositivo Schmitt Trigger para luego ser enviada a una lógica combinatoria integrada en la etapa de almacenamiento que determina el número de ciclos de señal a almacenar.

3.2.8. ETAPA DE ALIMENTACIÓN

Debido a que el prototipo se compone de varias etapas, se ha visto conveniente el diseño de una fuente de alimentación con varios valores de voltaje como son:

- 12v
- 5v
- 3.3v

- -5v
- -12v
- GND

El diseño de este tipo de etapas resulta realmente sencillo y explicaciones adicionales sobre su funcionamiento no se evidencian como necesarias, el esquema de implementación se muestra en la figura 3.20.

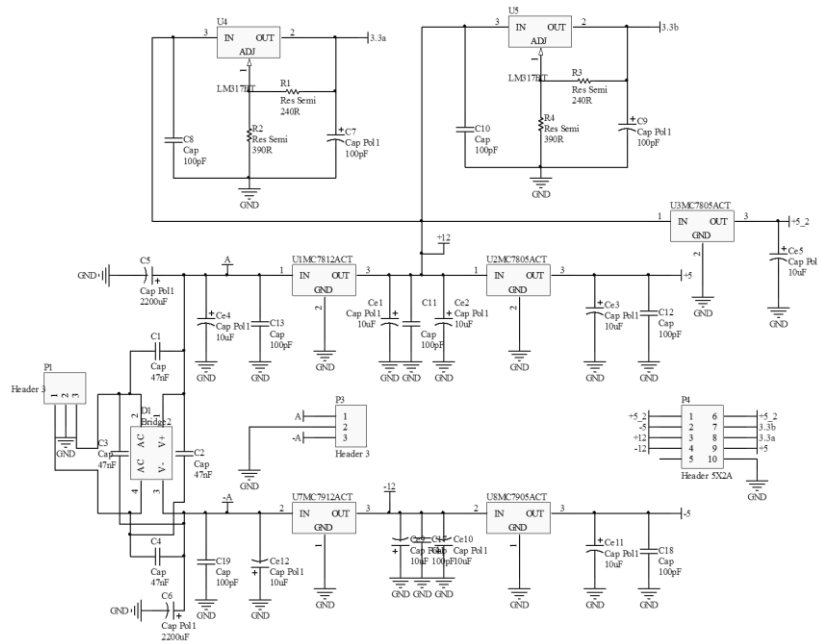


Figura 3.20. Diseño esquemático de la fuente de Alimentación

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Cabe recalcar que pese a que se diseñó e implementó una etapa de alimentación totalmente funcional en el prototipo logrado, la practicidad de su reproducción limitó su elección, por ello se ha visto conveniente inclinarse por una opción menos costosa con el fin de salvaguardar los objetivos primordiales de este proyecto. Esta opción se evidencia en el uso de una fuente de alimentación de computadora que ofrece los niveles de tensión requeridos y brinda una gran robustez y fiabilidad en su utilización.

3.2.9. MODULO MULTIFUNCIONAL DE PRÁCTICAS.

Este módulo se presenta como una aplicación adicional en la tarjeta de adquisición de datos al ser fácilmente intercambiable por otros de similares características para fines diversos. Al tener características de envío y recepción

sobre una comunicación USB, y su consecuente manipulación a través de una interfaz gráfica amigable, permite al educando el manejo sencillo de sus funciones básicas y elementos conformantes descritos en la etapa de control.

El esquema de su implementación se muestra en la figura 3.21

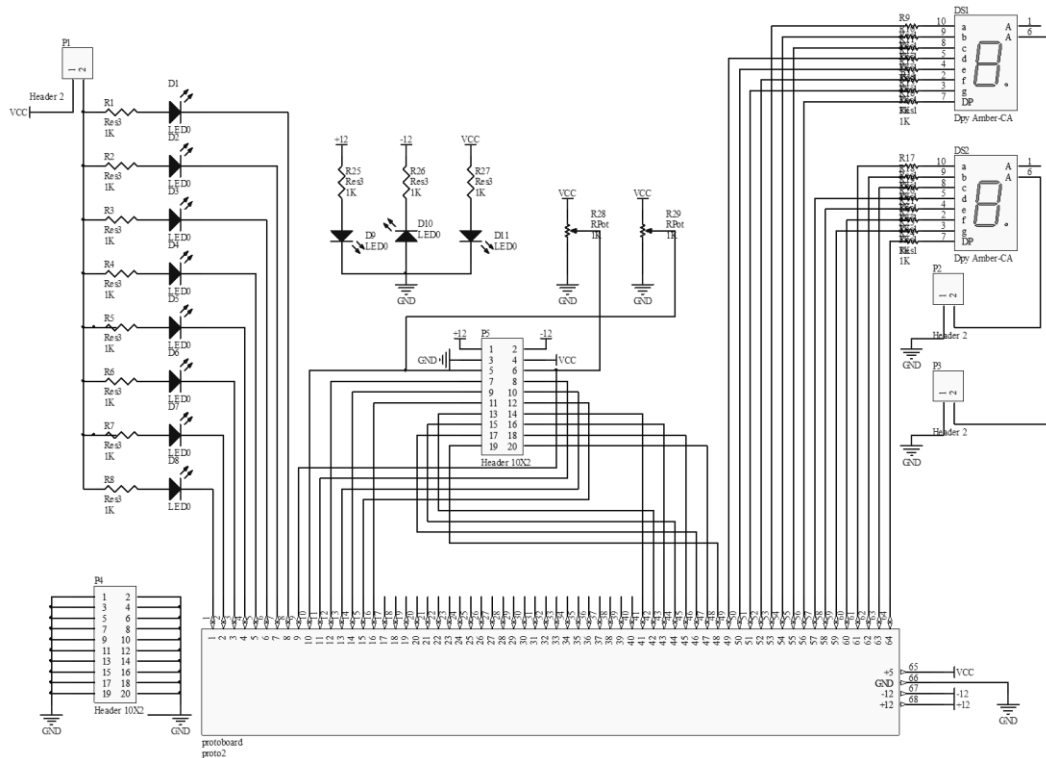


Figura 3.21. Diseño esquemático del módulo multifuncional de prácticas.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Se observa que a través de este esquema, y su posterior integración en un *PCB*, es posible el armado de diferentes prácticas de laboratorio cuyas mediciones se efectúan fácilmente mediante la tarjeta de adquisición de datos de alta velocidad. Al presentarse este prototipo en un formato portátil, minimiza en un gran porcentaje la necesidad de ejecutar las mediciones requeridas a través de un osciloscopio y estar limitados a un solo espacio de trabajo. Esto se constituye en una razón de suma importancia para que este proyecto sea catalogado como de gran impacto educativo a mediano y largo plazo.

Luego de analizados los diseños esquemáticos de las etapas involucradas en el sistema, se define el proceso de diseño electrónico de los circuitos impresos o placas. Se presenta en primera instancia, las técnicas de mejoramiento e implementación de la integridad de señal y compatibilidad electromagnética

(EMC), por ser las que aseguran la calidad en los procesos de transferencia de datos a altas frecuencias de funcionamiento, y posteriormente se las implementa en cada una de las etapas particulares con el fin de lograr un prototipo de altas prestaciones.

3.3. NORMATIVAS PARA EL DISEÑO ELECTRÓNICO DE SISTEMAS DE ALTA VELOCIDAD.

El diseño de una tarjeta de adquisición de datos de altas prestaciones precisa un estudio amplio sobre las características de su implementación en altas frecuencias de funcionamiento por lo que, siendo este el caso se deben tomar en cuenta diversos requerimientos a cumplir.

Uno de los principales problemas originados por la alta velocidad de transferencia de datos, es la interferencia electromagnética, que se cataloga como una degradación de señal por efectos de acoplamiento electromagnético, lo que provoca entre otras cosas la aparición de corrientes parásitas de retorno que adicionan ruido a la señal enviada, y por tanto su integridad se ve comprometida en un gran porcentaje. En este escenario se precisa de un entendimiento profundo en lo referente a los efectos provocados por posición, acoplamiento, nivel de utilización, tipo de señales transferidas, etc., entre los dispositivos usados.

Por ello, este apartado se centra en el estudio de la compatibilidad electromagnética y los efectos inmiscuidos de su integración en el *PCB* en análisis, así como las soluciones posibles a cada una de las situaciones presentadas, las cuales serán planteadas como normativas generales para asegurar un diseño correcto de circuitos impresos.

3.3.1. FUENTES DE EMISIÓN ELECTROMAGNÉTICA.

Cuando sobre un diseño en particular, se aplican señales con frecuencias de funcionamiento en el orden de los megahertz los efectos producidos sobre éste llegan a ser determinantes en una operación normal de un sistema en análisis. Esto se debe a que, cualquier condición estándar de diseño e incluso, cualquier dispositivo utilizado puede llegar a convertirse en una fuente potencial de

emisión electromagnética por las características de integración que suelen presentar.

Para lograr entender este efecto, y proveer soluciones factibles de implementación en el diseño en estudio, es necesario analizar cada una de las causas que tienen mayor incidencia en dicho diseño, estas son [54 –59]:

- Las corrientes de cambio rápido en los integrados de alta velocidad.
- Las corrientes intencionales transmitidas entre integrados, o también conocidas como corrientes en modo común.
- Las corrientes o tensiones provenientes de los dispositivos pasivos contemplados.
- Los caminos o rutas de retorno de todas estas corrientes.
- La presencia de un potencial diferente de cero en los planos de masa y en general, en todas las áreas de potencial nulo consideradas dentro del *PCB*.
- Los acoplamientos de campo eléctrico y campo magnético que están presentes entre los dispositivos de alta velocidad.
- Las pistas eléctricamente largas.
- La ausencia de acoplamiento de la impedancia característica en los elementos presentes, sean estas trayectorias o integrados,
- La influencia de la inductancia parásita en los dispositivos pasivos, y
- La disposición de los elementos en general.

Al ser tan crítico el escenario que se presenta, las consideraciones a saber deben asegurar la reducción máxima y en lo posible, la eliminación total de los efectos consecuentes entendidos como degradación de señal por ruido y mal funcionamiento general del esquema en estudio.

Un punto crucial en este desarrollo es el diseño de los trayectos directo y de retorno de las corrientes presentes en las rutas de transmisión, ya que de ello depende la integridad de la señal en análisis [54].

Una de las contemplaciones que se hace en estos casos es el aseguramiento de una invarianza en el ancho de la trayectoria y, dependiendo de la necesidad, la disminución o ampliación de la misma a lo largo de un trayecto. Esto asegura la

linealidad de la impedancia característica y la unicidad de trayectoria a seguir, respectivamente [56].

Además, el área de bucle, concebida también como el área de recorrido entre la corriente directa y de retorno, se debe asegurar como mínima para obtener un circuito impreso de altas prestaciones [56]. La corriente de retorno se conceptúa como una corriente presente mayormente en los sistemas de alta frecuencia que favorece la aparición de efectos negativos sobre las líneas de alta frecuencia, con la consecuente degradación de señal siempre y cuando no haya sido especificada su trayectoria de recorrido.

El blindaje de los cables de transmisión de datos y en general de los elementos radiantes, es otra de las defensas a implementar para asegurar la calidad de la señal, así como la integridad de los datos transmitidos [58].

Se debe desarrollar también, un análisis de la forma de onda de corriente ya que los efectos parásitos producidos por la no linealidad de los elementos involucrados repercuten en el contenido de las señales intencionales dentro del *PCB* en estudio [59].

Estas y otras técnicas, analizadas más adelante, permiten que un diseño completamente funcional sea posible en los *PCB* de altas prestaciones.

3.3.2. INFLUENCIA DE LAS EMISIONES ELECTROMAGNÉTICAS EN EL DISEÑO DE POTENCIALES NULOS O TIERRAS.

Las emisiones electromagnéticas están presentes en todos los aspectos de los diseños de alta frecuencia, incluso en aquellos menos previstos como las áreas de potencial nulo. Esto se debe a que dicho potencial cumple con la condición de nulidad solamente en el infinito, por ello en los circuitos prácticos de alta frecuencia tanto la resistencia como la impedancia y la propia tierra no poseen una condición nula a toda frecuencia.

Esto se debe a varios factores determinantes en todo circuito, como son [56, 57, 59]:

- La existencia de una inductancia parásita en el circuito en análisis.

- La disminución en el potencial de la señal involucrada, a lo largo de los planos y los cables metálicos conectados a masa.
- El incorrecto acoplamiento entre la señal de corriente directa y la de retorno.
- Las características dinámicas de los capacitores de desacoplo, que limitan su óptimo funcionamiento.
- La carencia de un diseño estratégico de filtros acoplados para combatir todas aquellas señales no intencionales que decantan en ruido, y
- El exagerado uso de suelda en los contactos de masa, que genera una alta impedancia.

Para controlar estos factores que repercuten en efectos nocivos en el funcionamiento general, se recurren a dos estrategias de referencia de masa: de punto simple y de punto múltiple. La referencia de tierra de punto simple permite la convergencia de todos los retornos de corriente hacia un solo punto de masa y es usado para todas aquellas señales que se encuentra por debajo de los 100KHz de frecuencia. La referencia de tierra de punto múltiple, a diferencia de la anterior, permite considerar múltiples circuitos inmersos dentro de un mismo diseño en los cuales cada uno tenga su propia referencia, esta estrategia es usada para aquellas señales que se encuentre sobre los 100KHz de frecuencia [56].

Uno de los puntos críticos en estos diseños de masa, cuando se tratan de sistemas de alta frecuencia, constituye la presencia de disipadores de calor dentro del circuito funcional. Estos dispositivos precisan de un análisis particular que es llevado a cabo a través de factores como son:

- El tamaño eléctrico del disipador, el cual varía directamente con la frecuencia de trabajo.
- El número de conexiones máximo permisible hacia dicho disipador, el cual debe ser sobredimensionado con el fin de asegurar una baja impedancia hacia las trayectorias involucradas.

En este tipo de escenarios, resulta fundamental el uso de conectores de entrada/salida (E/S) blindados que permiten entre otras cosas [56, 59]:

- Prevenir el acoplamiento de las señales no deseadas hacia los contactos de los integrados de alta velocidad.
- Proveer una baja impedancia y un área de bucle pequeña entre el chasis y la tarjeta de circuito impreso.

Un buen diseño de potenciales nulos es logrado a través del análisis íntegro de las corrientes de retorno y sus efectos colaterales, cuyo control y minimización de dichos efectos asegura la robustez y fiabilidad del diseño analizado.

3.3.3. DISEÑO DE LAS CORRIENTES DE RETORNO.

Las corrientes de retorno son aquellas corrientes que tienen su origen en el receptor de la señal de alta frecuencia y recorren, a través del plano de masa, hasta el trasmisor o fuente, generando un bucle cerrado cuya influencia en el circuito total es importante, por tanto su análisis se constituye como imprescindible.

Para lograr un buen diseño de las corrientes de retorno, deben tomarse en cuenta todos aquellos elementos, factores y situaciones que generen algún efecto sobre la integridad de la señal sea este intencional o no. Para ello los parámetros fundamentales a tomarse en cuenta son [55, 56, 58, 59]:

- No deben existir discontinuidades o aperturas a lo largo de las trayectorias de retorno y de transmisión. Generalmente estas discontinuidades se deben a las siguientes causas:
 - Una división en el plano de referencia.
 - Una ruta de señal que cambia de plano de referencia.
 - Una señal que viaja a través de un conector entre dos *PCB* diferentes.
- Evitar las divisiones sobre una ruta de señal en el plano de referencia usado para aquellas señales de alta frecuencia.
- Asegurar el control de la corriente parásita existente entre la fuente y el plano de referencia de masa, a través de capacitores de desacople.
- La impedancia de las trayectorias de señal debe ser puesta a consideración para asegurar una linealidad en su valor a lo largo de dichas trayectorias.

- Siempre considerar la frecuencia de resonancia de cada uno de los circuitos.
- Al presentarse áreas de soldadura, agujeros pasantes y rutas de conexión hacia el plano de referencia, se debe adicionar un valor de inductancia de 1.5uH a la inductancia total para fines de linealidad.
- Si se necesitan *splits* o divisiones en el plano de masa entonces se deberán trazar primero todas las trayectorias de alta frecuencia para que estén referenciadas con un plano solido o continuo (sin divisiones). Esto proporciona el mejor diseño de compatibilidad electromagnética.
- Se recomienda ubicar capacitores cerca de los agujeros para facilitar el camino a las corrientes de retorno.
- Generalmente los capacitores de desacoplo se ubican en la capa superior del *PCB* en conjunto con los elementos de alta velocidad.
- Asegurar que la impedancia del capacitor sea mayor a la impedancia de las corrientes de desacoplo. Caso contrario se producirán emisiones por ruido en las trayectorias de cada una de estas corrientes.
- Usar capacitores de salto entre cortes (*stitching capacitors*) con el fin de minimizar las emisiones adicionales. Esto se logra a través condensadores de baja impedancia en el rango frecuencial utilizable.
- Cuando se tracen las rutas de señal, considerar que las corrientes de retorno siempre elegirán las trayectorias de menor impedancia ya que estas aseguran facilidad de recorrido para dichas corrientes.
- Estas rutas deben contar con la dimensión exacta ya que en caso de sobredimensionamiento, se incrementarían las emisiones producidas.
- Se recomienda asignar el mismo plano de referencia a las señales en todos los *PCB* existentes. A través de esta técnica las corrientes de retorno se mantienen cercanamente acopladas a los caminos de señal y las emisiones son reducidas en forma masiva.
- El mejor diseño consiste en relacionar una línea de señal con un camino de retorno, permitiendo asegurar que las emisiones generadas por corrientes de retorno y los efectos colaterales sean minimizados.

- Conectar todos los contactos de los integrados usados a fin de evitar la presencia de contactos flotantes y en consecuencia, fuentes potenciales de ruido. En caso de que existan contactos flotantes por defecto, se deberán conectar estos a VCC o GND.
- Se deben considerar las impedancias en los capacitores, agujeros pasantes, contactos y rutas para conocer la frecuencia fundamental necesaria.

Al considerar estas reglas en el diseño en cuestión, se asegura que las emisiones electromagnéticas se reduzcan en un gran porcentaje, sin embargo estas no son las únicas técnicas usadas para lograr la integridad en una señal. En las secciones siguientes se analizan algunas técnicas de control adicionales, usadas para eliminar por completo la influencia de las emisiones electromagnéticas sobre los circuitos impresos.

3.3.4. CONTROL SOBRE LAS EMISIONES ELECTROMAGNÉTICAS EN SEÑALES INTENCIONALES.

Las emisiones electromagnéticas producidas por señales intencionales constituyen un pequeño porcentaje del total de ruido causado sobre un circuito impreso de altas prestaciones. Sin embargo su eliminación resulta importante para asegurar una fiabilidad de funcionamiento en el modelo alcanzado.

Para lograr este propósito, se debe tener en cuenta que las emisiones electromagnéticas están en el dominio frecuencial, por tanto todas las señales intencionales en el dominio temporal deberán convertirse a un espectro de frecuencia.

Otro parámetro importante a considerar en estas señales es el *raise/fall time*, o también concebido como el tiempo que le toma a una señal en subir o bajar de nivel dentro de un rango porcentual comprendido entre 10% y 90%. Este tiempo es crucial para la determinación de las componentes armónicas de alta frecuencia ya que un ligero cambio de estos valores de tiempo, repercute en cambios fuertes en dichas componentes.

Es importante anotar que para un análisis de este tipo y, en general, para cualquier circuito que involucre aplicaciones de compatibilidad electromagnética, la corriente producida en una red crítica, o de alta frecuencia, es la que se precisa conocer ya que ésta es la que radía.

Las técnicas usadas prioritariamente para ejercer un control absoluto sobre las emisiones en señales intencionales se definen a continuación [55, 59]:

- Las rutas de retorno deben diseñarse de forma explícita, cuidando que los bucles que se puedan formar posean un área bastante pequeña. Esto se logra verificando los caminos o rutas que siguen dichos bucles.
- Las pistas de alta frecuencia deben ser trazadas en capas internas y aprisionadas entre planos de referencia sólidos. Además debe evitarse su trazo bajo los integrados de alta velocidad para evitar acoplamiento parásitos.
- La separación entre estas pistas, medida entre centros, debe ser igual o mayor a dos veces el ancho de pista.
- Las emisiones del área cercana a la frontera del circuito impreso se vuelven fuentes de emisión electromagnética para las juntas en *PCB* diferentes, por tanto se debe colocar todas aquellas pistas con contenido de alta frecuencia paralelas a la frontera de la placa con una distancia de por lo menos 1.5cm de dicho borde.
- Las señales se propagan más rápidamente sobre materiales con una permitividad relativa (ϵ_r) baja, por lo que para sistemas de alta frecuencia, se deben usar materiales base de fibra de vidrio. Los materiales base se conceptúan como los materiales que se encuentran como aislantes entre las caras de una tarjeta virgen.
- En un circuito mixto, en donde haya presencia de señales tanto analógicas como digitales, se debe asegurar un aislamiento de elementos de cada tipo con el fin de que no se interfieran entre ellos por posibles radiaciones inducidas.

Al constituirse el plano de masa como ruta de retorno, y debido a que no se puede asegurar una ruta de retorno completamente continúa en un diseño de alta

densidad, se generan rutas de retorno interrumpido. Estas son causadas por las trayectorias de las señales de alta frecuencia, o conocidas como señales críticas, que cruzan alguna división en el plano de referencia, o que usan agujeros para cambiar de capa en un *PCB*. Estas llegan a constituirse como elementos radiantes por lo que, las soluciones planteadas para estos casos se evidencian a continuación [55, 56]:

- Para las trayectorias que cruzan divisiones en el plano de referencia, se debe emplear capacitores de salto ubicados a una distancia máxima de 1.5 cm de las divisiones. Esta técnica empleada en bajas frecuencias suele funcionar con grandes beneficios. Para altas frecuencias lo más recomendable es que las rutas de las señales críticas no crucen por estas divisiones y usar planos de referencia sólidos.
- Para aquellos agujeros que transmiten señales críticas entre capas diferentes, se deben usar capacitores de desacoplo entre estas capas ubicados cerca de las vías de transición. Esto permite reducir en gran medida las emisiones causadas por dichas señales.

Finalmente cabe recalcar que, las técnicas mencionadas hasta el momento, si bien reducen y hasta eliminan la contaminación de la señal a tener en cuenta, no son aplicables para todo esquema de alta frecuencia. Es por esto que los efectos producidos por señales no intencionales y su consecuente control juegan un papel fundamental en el correcto diseño de alta frecuencia.

A continuación, se trata sobre las emisiones en señales no intencionales, cuya influencia llega a constituirse como de gran importancia en el ruido total del sistema.

3.3.5. CONTROL SOBRE LAS EMISIONES ELECTROMAGNÉTICAS EN SEÑALES NO INTENCIONALES.

Las señales no intencionales son responsables de más del 90% de las emisiones electromagnéticas producidas en un diseño particular.

Estas son el resultado de aquellas señales intencionales que se acoplan sobre cables, pistas o conductores cuyo diseño nunca fue previsto para tales fines.

Estas se denominan señales en modo común y producen emisiones electromagnéticas debido a la existencia de un potencial no nulo sobre el plano de referencia de masa.

La mayoría de estas emisiones son causadas por corrientes indeseables en los cables externos no protegidos (no blindados) de alta impedancia por lo que, para eliminar estas corrientes, debe asegurarse una excelente conexión eléctrica entre el blindaje del cable y el blindaje del chasis.

Los métodos más efectivos para ejercer el control sobre estas emisiones se centran en los siguientes parámetros [55, 56, 59]:

- Eliminación del bucle o camino cerrado de las corrientes de retorno que se produce sobre el área de los conectores de ingreso/salida (*E/S*), a través de una ruptura intencional entre las áreas del circuito digital de alta frecuencia y los conectores *E/S*.
- Uso de divisiones (*splits*) en los contactos de referencia de los conectores *E/S* de baja velocidad, con el fin de aislar las corrientes de retorno de alta frecuencia que circulan sobre estas áreas. Estas divisiones deben tener un ancho mínimo de 1.5mm, para asegurar el cumplimiento de su propósito. Esto posibilita una solución de compatibilidad electromagnética de bajo costo.
- Debido a que en frecuencias altas de funcionamiento, en el orden de los 400 a 500 MHz la impedancia se vuelve baja, a causa del mismo efecto resonante, las divisiones debe emplearse solamente en aquellos sistemas cuya frecuencia de trabajo esté por debajo de los 300MHz
- Proporcionar vías de retorno para aquellas corrientes con velocidad intencionalmente baja, que circulan sobre las rutas de datos *E/S*, a través de núcleos de ferrita (*ferrite beads*) sobre aquellas divisiones. Esto permite el flujo de corrientes de retorno a bajas frecuencias y bloquea sus componentes armónicos de alta frecuencia, controlando las emisiones provocadas sobre las referencias de masa.
- La sección de referencia de masa que se encuentra aislada del área digital en un PCB, debe ser cuidadosamente conectada con el chasis blindado mediante un contacto de baja impedancia. En caso de

contactos no existentes o intermitentes, las emisiones se incrementan en ciertas frecuencias.

- Eliminar el plano de referencia de masa cercano a los conectores *E/S* de baja velocidad, con el fin de que sus contactos de masa sean tratados como contactos de señal, evitando interferencias por ruido de masa.
- Proporcionar filtros para combatir las corrientes de ruido y trayectorias de retorno de corriente de baja frecuencia a través de la disposición de núcleos de ferrita entre el contacto de masa del conector *E/S* y el área de la referencia digital de masa.

Una de las causas que mayor incidencia tiene sobre las señales no intencionales y su consecuente radiación, es el acoplamiento de diafonía o también llamado *crosstalk* entre señales críticas y rutas de *E/S*, por ello su análisis se constituye como un punto crucial en el diseño del sistema.

Para controlar este tipo de acoplamiento y sus efectos nocivos, se presentan las siguientes técnicas a implementar [55, 59]:

- Al mantener las rutas de alta y baja velocidad lo más posiblemente alejadas entre ellas, se evita el acoplamiento por diafonía en líneas de *E/S*. Lo más aconsejable es trazar rutas de alta frecuencia sobre una capa y trayectorias de baja frecuencia en otra capa, separadas por planos de referencia sólidos o continuos.
- Se aconseja también usar una trayectoria de guarda conectada al plano de masa, mediante agujeros en cada pulgada aproximadamente. Esta trayectoria de guarda debe ser trazada siguiendo las rutas de alta frecuencia.
- Si las señales intencionales son adecuadamente controladas para tener solo los armónicos requeridos por una señal funcional, la necesidad de la aplicabilidad del control de compatibilidad electromagnética (*EMC*) para emisiones de este tipo, a altas frecuencias, es minimizada en un gran porcentaje o completamente eliminada del sistema.
- Es necesario además, agrupar todas las familias lógicas de acuerdo a la funcionalidad que prestan. Estos elementos deberán estar situados

lo más cercanamente posible para evitar un acoplamiento crítico entre señales en estudio.

- Se debe proveer una apropiada terminación de impedancia en cada ruta de alta frecuencia, con el fin de disminuir contenido armónico indeseable y asegurar un acoplamiento de impedancia entre los integrados usados y las trayectorias de transmisión.

Siendo estas las técnicas más empleadas para asegurar la robustez de un diseño particular, su aplicación se evidencia como fundamental. Es así que, a continuación se resumen los métodos más importantes de este compendio que fueron implementados sobre el sistema en estudio.

3.4. DISEÑO ELECTRÓNICO DE LOS MÓDULOS

El diseño electrónico de los módulos involucra todo lo referente al diseño de las placas de circuito impreso (*PCB*), a través de un software propio para tal fin.

Debido al ruido que se presenta en señales de alta frecuencia, es necesario tomar en cuenta los siguientes lineamientos para obtener un diseño de calidad.

- Filtrado y distribución equitativa de la energía a todos los dispositivos, para reducir el ruido.
- Uso de las técnicas recomendadas para el trazado de pistas para aquellas señales de alta frecuencia, incluyendo las de reloj y las diferenciales.
- Análisis de la impedancia y terminación de las líneas de transmisión de señales para disminuir la reflexión entre pistas paralelas (*crosstalk*).

Para poder ejecutar todas y cada una de estas mejoras en el diseño *PCB*, es necesario entenderlas por separado.

3.4.1. DISTRIBUCIÓN DE ENERGÍA EN UNA TARJETA DE CIRCUITO IMPRESO.

Una de las reglas por la que se opta para equilibrar el requerimiento energético en los elementos de un circuito, es el uso de condensadores de desacoplo, dichos condensadores deben tener ciertas características que se analizan a continuación.

En la figura 3.22 se observa una representación característica de la impedancia vs frecuencia, sobre un dispositivo particular de desacoplo.

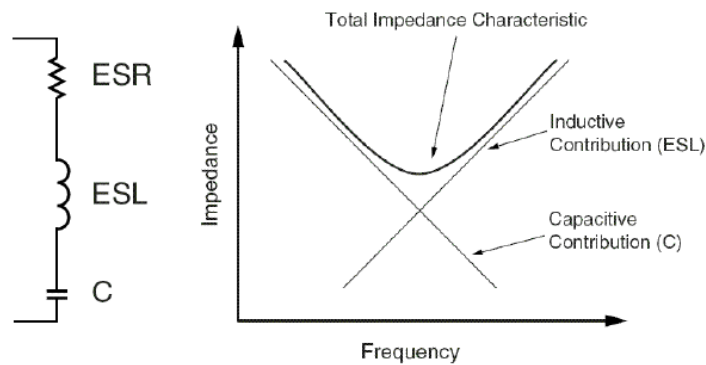


Figura 3.22. Característica de Impedancia total frente a una frecuencia dada.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Como se observa en la figura, para determinar la fiabilidad del condensador elegido, es necesario conocer su frecuencia efectiva. Esta frecuencia depende directamente de la inductancia parásita en dicho capacitor, la misma que se encuentra compuesta por:

- Inductancia parásita propia o auto-inductancia parásita.
- Inductancia de las pistas y huellas.
- Inductancia de los agujeros de contacto.
- Inductancia de los planos de alimentación.

Las formulas empleadas para obtener esta frecuencia, son:

$$F = \frac{1}{2\pi\sqrt{LC}} \quad (1)$$

$$L = L_{SELF} + L_{MOUNT} \quad (2)$$

La inductancia L_{self} es un parámetro propio de cada condensador, por lo que su valor vendrá indicado en las hojas características de cada elemento. La inductancia L_{mount} es un valor porcentual que varía entre 0.3nF y 1.5uF del valor original, dependiendo de la densidad del circuito impreso y de la capacidad del elemento en cuestión.

Debido a que, la inductancia parásita generada es alta y el objetivo en este caso, es minimizarla, las consideraciones a tomar en cuenta, en lo que respecta a posicionamiento del condensador, son [60]:

- Minimizar el área de bucle que se pueda generar, ya que la inductancia del camino de la corriente es proporcional a dicha área, esto es implementado a través de la configuración que se muestra en la figura 3.23

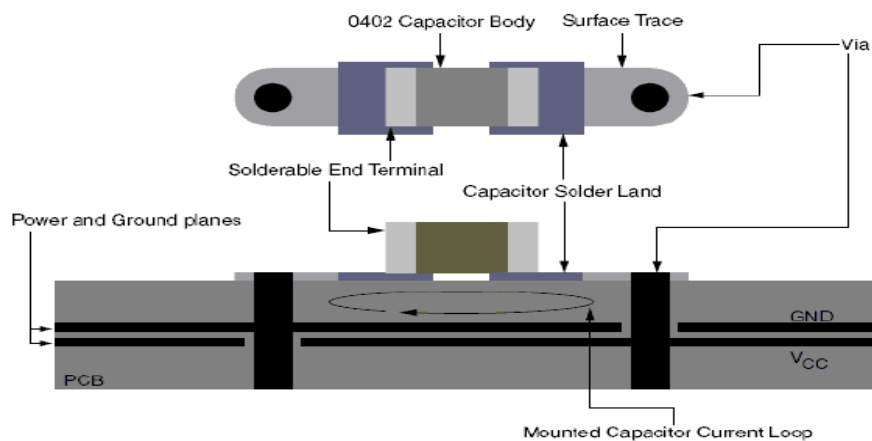


Figura 3.23. Lazo formado por la corriente de montaje del capacitor.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

- No compartir un mismo agujero pasante con varios condensadores de desacoplo. Para ello se debe usar uno de los esquemas mostrados en la figura 3.24.

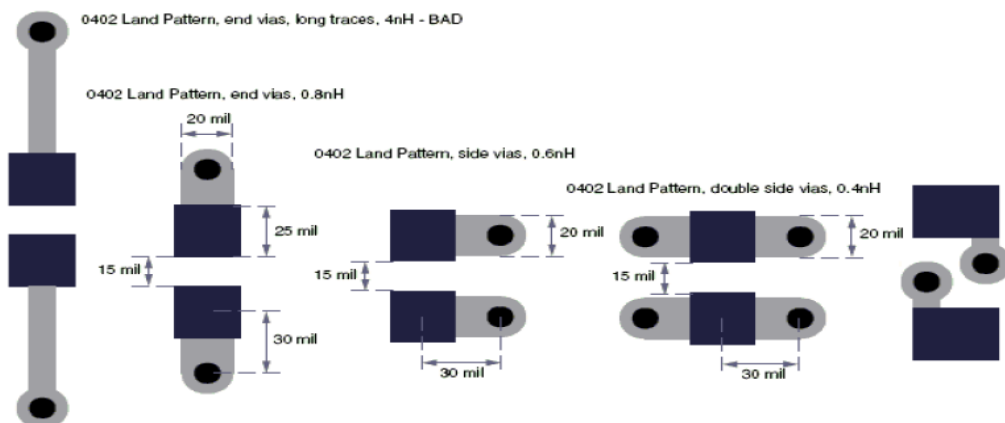


Figura 3.24. Esquemas posibles de compartición de los capacitores.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Para que estos condensadores compensen las variaciones en la alimentación, primero estas tienen que llegar al condensador y volver, esto se logra colocando el condensador al menos a una décima parte de un cuarto de onda de las frecuencias que se van a filtrar. Las ecuaciones para tales fines son:

$$T = \frac{1}{F} \quad (3)$$

$$\lambda = \frac{T}{V_{PROP}} \quad (4)$$

$$L = \frac{\lambda}{40} \quad (5)$$

V_{prop} : representa la velocidad de propagación de la frecuencia fundamental. En materiales base de fibra de vidrio esta velocidad viene dada por 166m/s.

Ahora, el número de condensadores a ocupar está en función de varios parámetros. Como aproximación a la realidad funcional, generalmente se define un condensador por cada patilla de alimentación empleada, logrando de esta forma, una impedancia baja y plana en la alimentación en un rango de frecuencias entre 500KHz a 500MHz. Las consideraciones a tomar en cuenta en este escenario de análisis son:

- Los condensadores de baja capacidad son utilizados en rangos de frecuencias mayores.
- Los condensadores de tantalio o electrolíticos poseen una resistencia parasita (ESR) y una inductancia parasita (ESL) bajas, por ende sirven para un gran rango de frecuencias.

Al realizar la simulación de la característica de impedancia vs frecuencia, con diferentes cantidades y valores de condensadores, con el fin de observar los efectos inmiscuidos en estas aproximaciones, se obtienen los resultados plasmados en la figura 3.25 y tabla 3.2:

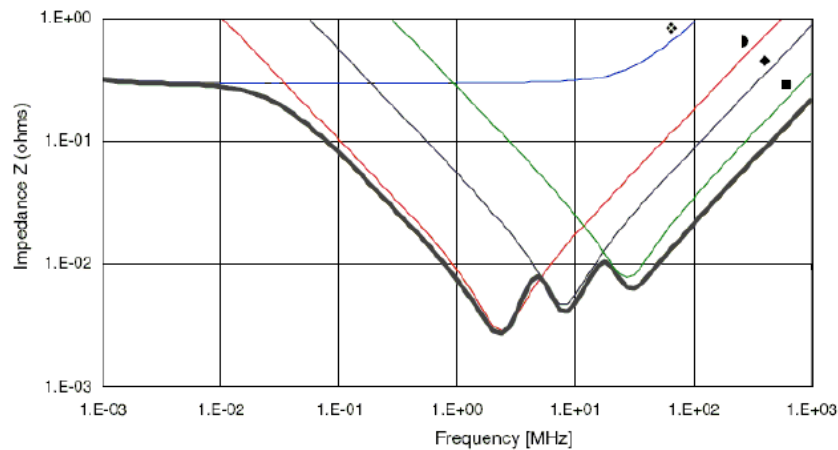


Figura 3.25. Simulación de la característica impedancia vs frecuencia en distintos capacitores.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Cantidad	Símbolo	Encapsulado	Valores Capacitivos (uF)	Inductancia Parasita (nH)	Resistencia Parasita (ohms)
2	◆	E	680	2.8	0.57
7	▵	0805	2.2	2.0	0.02
13	◆	0603	0.22	1.8	0.06
26	■	0402	0.022	1.5	0.20

Tabla 3.2. Valores usados en la simulación.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Como se puede apreciar en la figura 3.25, a menor capacidad y mayor número de condensadores usados, la frecuencia fundamental del conjunto resulta mayor, sin embargo se nota un incremento en la característica *ESL*, lo que repercute en mayores efectos parásitos al sistema en estudio. En otras palabras, se debe controlar que exista un equilibrio entre el número de condensadores usados y la capacidad de ellos con el fin de garantizar el óptimo rendimiento funcional.

3.4.2. TRAZADO DE RUTAS DE SEÑAL EN LOS CIRCUITOS IMPRESOS.

Las rutas en un circuito impreso se constituyen en uno de los elementos de mayor influencia en un diseño, debido a que el trazado de las mismas, debe asegurar fiabilidad a los datos transmitidos, fidelidad de transmisión entre los integrados usados y eliminación del acoplamiento de diafonía (*crosstalk*) en

señales de alta frecuencia [60]. Para ello, varias son las propuestas que se presentan en un diseño *PCB*, como se muestra a continuación:

Microstrip: Utilizado cuando la pista se encuentra en una capa exterior del *PCB*, separada por un dieléctrico de un plano de alimentación o masa (figura 3.26).

Stripline: Utilizado cuando la pista se encuentra entre dos planos de referencia. Esta propuesta provee un mejor comportamiento en frecuencia y un mejor aislamiento del ruido (figura 3.26).

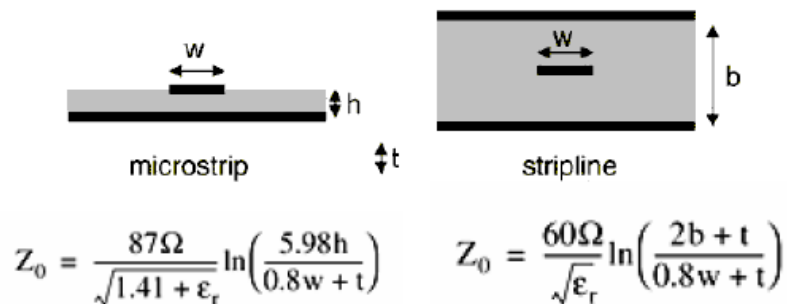


Figura 3.26. Técnicas MicroStrip y StripLine con sus respectivas impedancias de salida.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Ruteo en Serpentín: Usado en algunos casos cuando se requiere longitudes iguales para pistas que se conectan con diferentes destinos. Se puede minimizar el *crosstalk* a través de esta técnica previo aseguramiento de la condición $S \geq 3H$, donde H representa la separación entre la pista y el plano de masa de referencia y S es el diámetro de semicírculo implementado (figura 3.27).

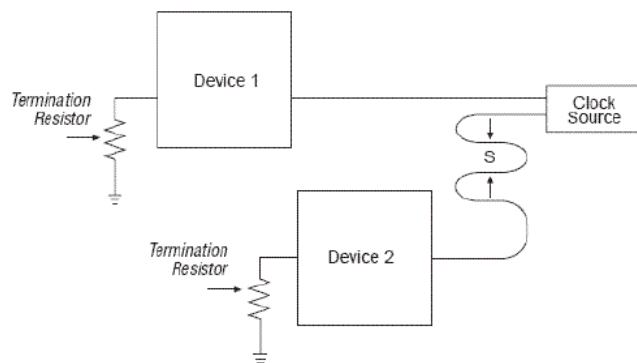


Figura 3.27. Ruteo en serpentín.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

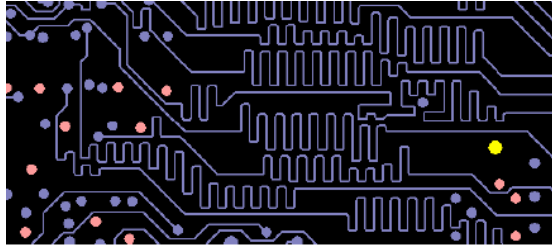


Figura 3.28. Ejemplo de ruteo en serpentín en un PCB.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Ruteo de Señales Diferenciales: Este es un tipo de ruteo más específico en donde se pueden presentar dos casos:

- Par diferencial MicroStrip Edge-coupled: En la cual la distancia con otras pistas debe ser al menos $2W$, donde W es el ancho de pista. Así se evidencia en la figura 3.29:

$$Z_{diff} = 2 \times Z_0 \left[1 - 0,48 \exp\left(-0,96 \frac{S}{H}\right) \right]$$

Figura 3.29. Par diferencial microstrip edge-coupled.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

- Par diferencial StripLine Edge-coupled: Que presenta la misma característica de la anterior, con la diferencia inherente de su doble plano de referencia. Esto se observa en la figura 3.30:

$$Z_{diff} = 2 \times Z_0 \left[1 - 0,37 \exp\left(-2,9 \frac{S}{B}\right) \right]$$

Figura 3.30. Par diferencial stripline edge-coupled.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Cualquiera que sea la elección, se debe asegurar la equidad en la longitud eléctrica de las pistas conformantes del par diferencial, como se muestra en la figura 3.31.

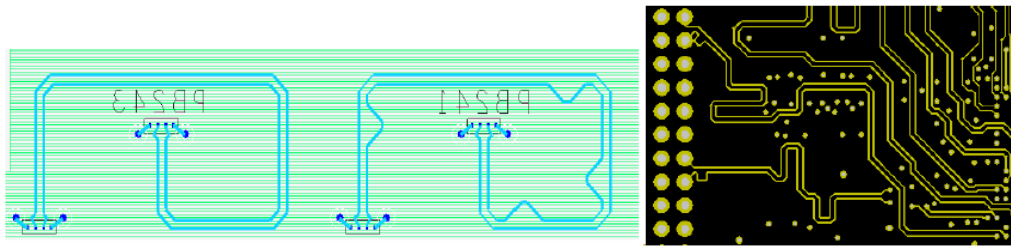


Figura 3.31. Igualación de longitudes eléctricas de las pistas diferenciales.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Además, se deberá mantener la impedancia diferencial al hacer un cambio de capa. Esto se implementa según la figura 3.32:

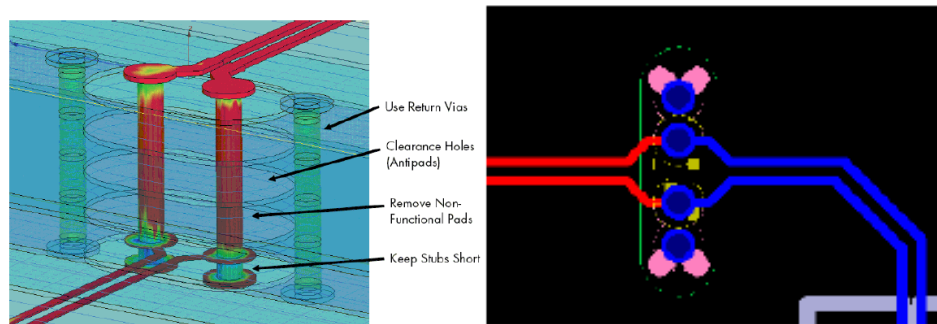


Figura 3.32. Mantenimiento de la impedancia diferencial en cambio de capa.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Un ejemplo de la implementación de este tipo de ruteo, se puede verificar en la figura 3.33:

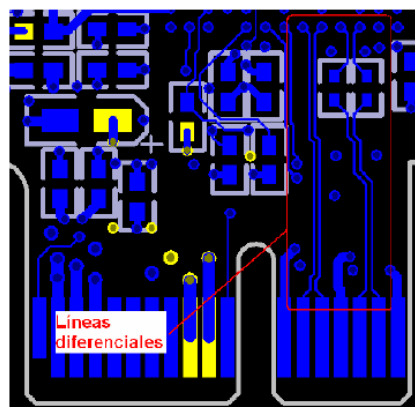


Figura 3.33. Implementación de ruteo de señales diferenciales.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Al trabajar con frecuencias altas, las rutas definidas para el transporte de estas señales diferenciales, deben considerarse como líneas de transmisión. El control y trazado que se debe ejercer sobre estas pistas, requiere un análisis particular, el cual es implementado a través del control de su impedancia implícita (*DCI*).

En este escenario, la resistencia serie y la conductancia paralela de las líneas de transmisión pueden ser generalmente ignoradas, pero la impedancia se debe mantener constante [60]. Para ello se requieren terminaciones externas con el fin de prevenir las reflexiones y mantener la integridad de la señal.

Pero dichas terminaciones no siempre son factibles de implementación debido a la existencia de encapsulados con alto número de patillas, como el que se observa en la figura 3.34:

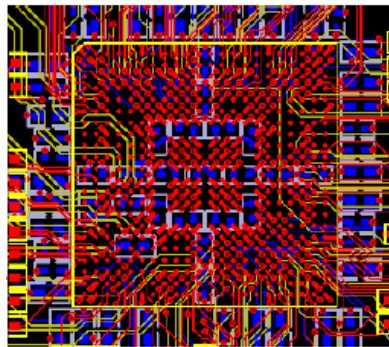


Figura 3.34. Complejidad en la colocación de resistencias externas de terminación en una FPGA.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

En este tipo de diseños se deben proporcionar mecanismos para eliminar la necesidad de incluir resistencias externas de terminación, y precisamente el método *DCI* permite esta implementación.

Este método requiere una operación por bancos, que consiste en agrupar dispositivos de la misma familia lógica, optimizando, de esta forma, su funcionamiento para una aplicación específica.

El *DCI* presenta características de independencia para cada uno de los bancos concebidos, evitando así la interferencia entre bancos diferentes. Esta característica *DCI* se muestra en la figura 3.35.

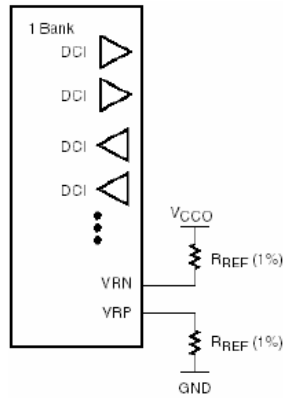


Figura 3.35. Característica DCI de independencia en uno de los bancos.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

Su funcionamiento es el siguiente: Cuando un estándar DCI es usado en un banco en particular, un par de resistencias externas de referencia (R_{ref}) establecen la impedancia de las patillas de todo el banco. El valor de estas suele ser próxima a 50 ohms. Entonces, un dispositivo crítico, debe ajustar la resistencia de terminación de la correspondiente patilla para igualarla a la resistencia de las referencias externas V_{rn} y V_{rp} de su banco [60].

Las posibles combinaciones que se pueden establecer a partir de este hecho se reflejan en la figura 3.36.

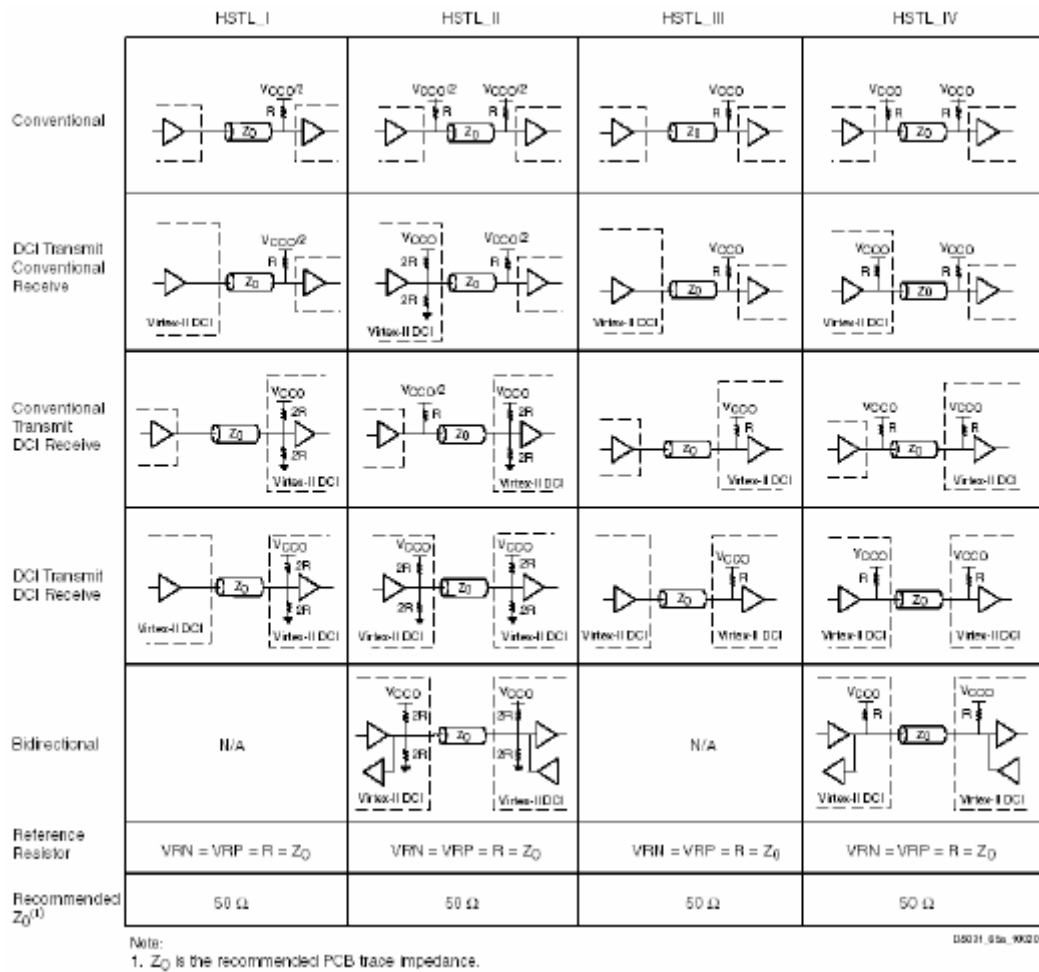


Figura 3.36. Posibles configuraciones de acoplamiento DCI.

Fuente: ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”.

A continuación se evidencian los resultados del empleo de estas consideraciones a escala real.

3.4.3. CIRCUITOS IMPRESOS RESULTANTES Y SIMULACIONES IMPLEMENTADAS.

Atendiendo a este estudio previo, se muestra a continuación los diseños resultantes de cada una de las etapas analizadas.

ETAPA DE INGRESO:

En esta etapa, el PCB resultante se muestra en la figura 3.37.

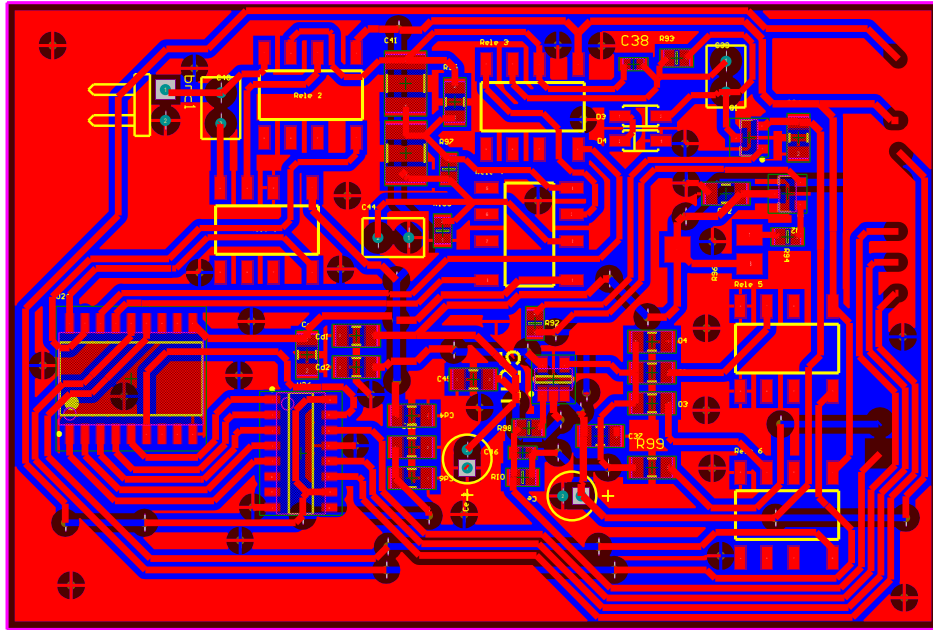


Figura 3.37. PCB resultante de la etapa de ingreso
Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se evidencia en esta etapa el correcto posicionamiento y uso de los dispositivos inmiscuidos, conjuntamente con el empleo de las técnicas descritas en el punto 3.3 de este documento, nos asegura la fiabilidad y robustez de este diseño.

Las simulaciones para esta etapa se evidencian en las figuras 3.38 y 3.39.

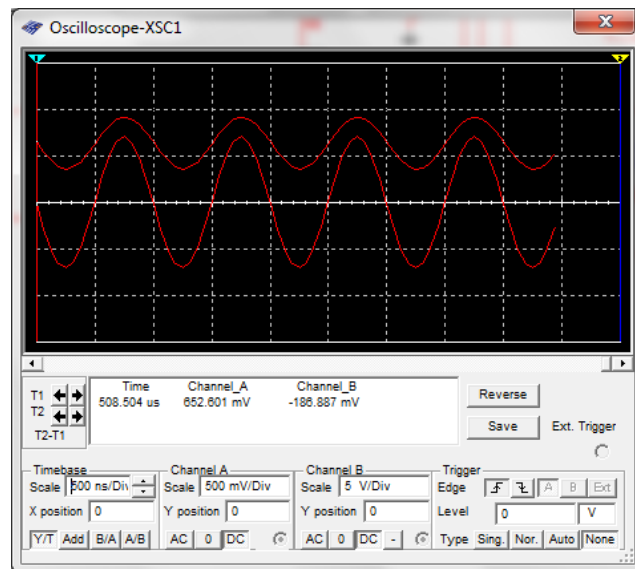


Figura 3.38. Onda senoidal con frecuencia de ingreso de 1 MHz
Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

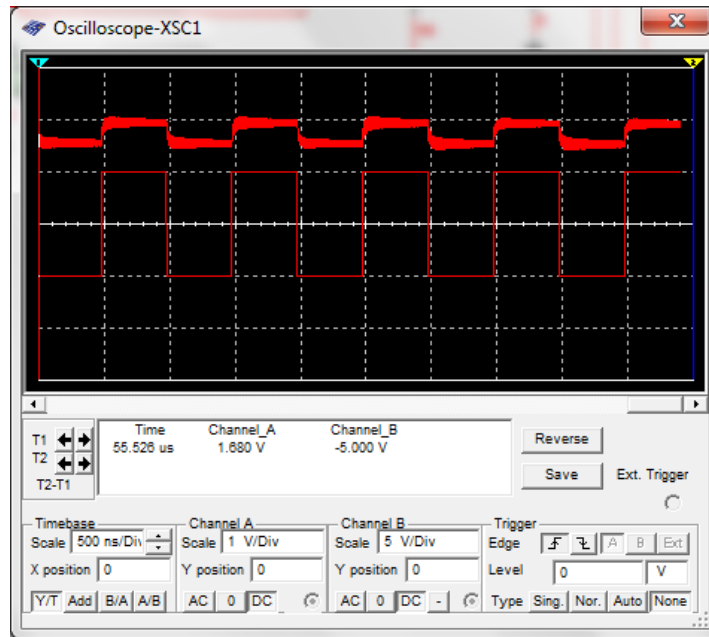


Figura 3.39. Onda cuadrada con frecuencia de ingreso de 1 MHz

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se observa en estas figuras, el funcionamiento del prototipo a 2.5MHz está asegurado, lo que nos permite definir como viable su construcción.

ETAPA DE CONVERSIÓN ANALÓGICA/DIGITAL

En esta etapa, el PCB resultante se muestra en la figura 3.40.

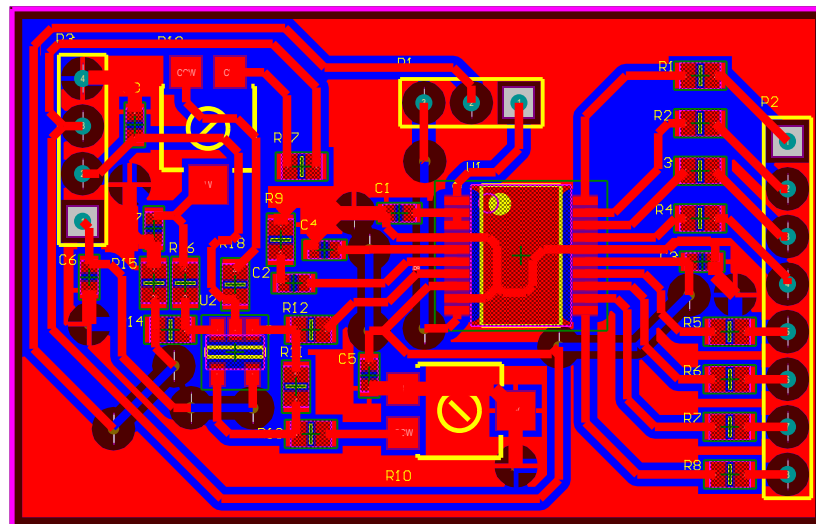


Figura 3.40. PCB resultante de la etapa de adquisición.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se evidencia en esta figura, ha sido eficiente el uso de terminaciones en las pistas que manejan señales con frecuencias desde los 10KHz hasta los

20MHz, estas terminaciones son resistencias y deben ser ubicadas en serie a cada pista. Debido a que, en alta frecuencia predomina el efecto inductivo, dicha terminación permite la eliminación de los picos de voltaje perjudiciales para los integrados.

Otra técnica implementada en este modelo, es el correcto posicionamiento y orientación de los circuitos integrados de alta velocidad, ya que ellos deben estar lo más cercanos posible entre si, además se ha utilizado condensadores de desacoplo muy pegados a cada integrado, planos de masa, entre otras.

Los resultados de las simulaciones para esta etapa se muestran en las figuras 3.41 y 3.42.

En la figura 3.40 se observa que, la respuesta de la pista al aplicarle una señal cuadrada de $T=60\text{ns}$, es pobre ya que existe un sobresalto en los cambios de nivel, tanto al inicio como al final de la onda. En la realidad existe una mayor distorsión en los bordes de dicha señal.

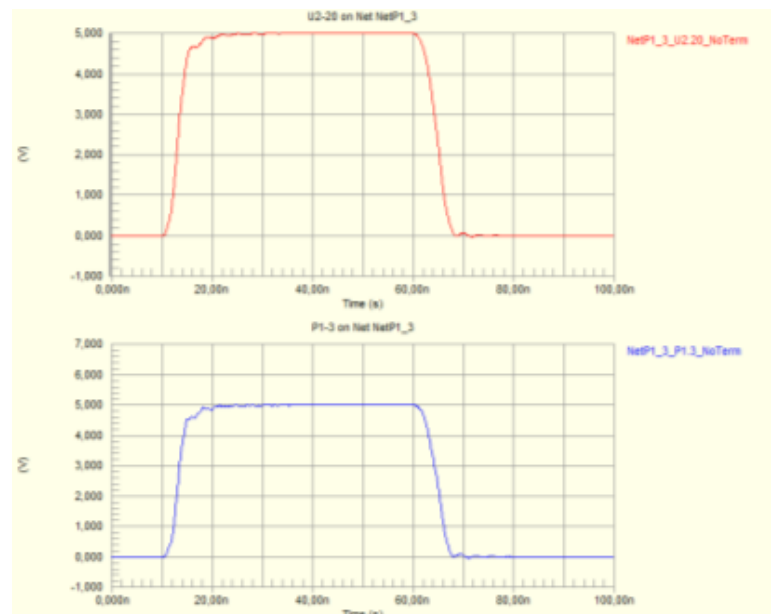


Figura 3.41. Simulación de una señal de alta frecuencia aplicada en diferentes puntos de una pista en el PCB en estudio.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Luego de realizar las consideraciones pertinentes sobre la misma pista de análisis, en la figura 3.41 se observa que la señal responde mejor en altas frecuencias gracias a las terminaciones que eliminan todo el sobresalto.

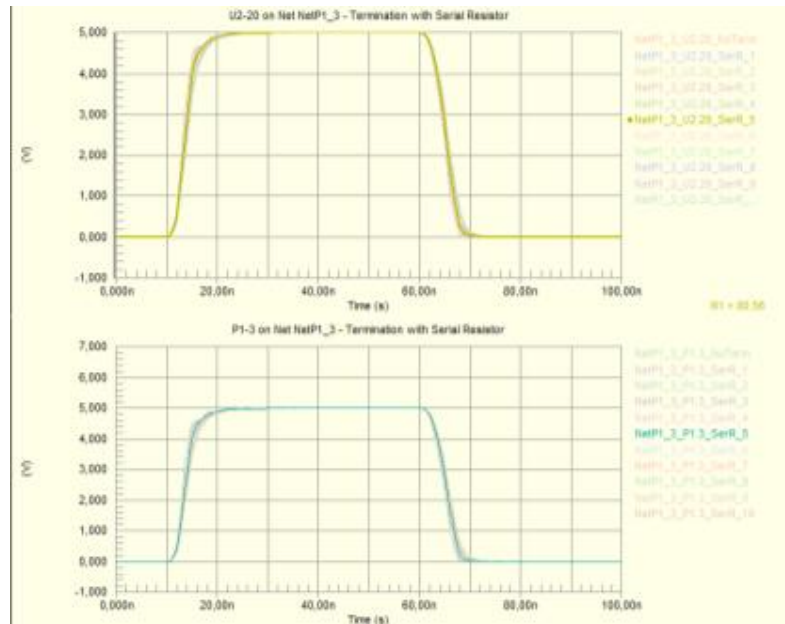


Figura 3.42. Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE DIVISIÓN DE FRECUENCIA:

En esta etapa, el PCB resultante se muestra en la figura 3.43.

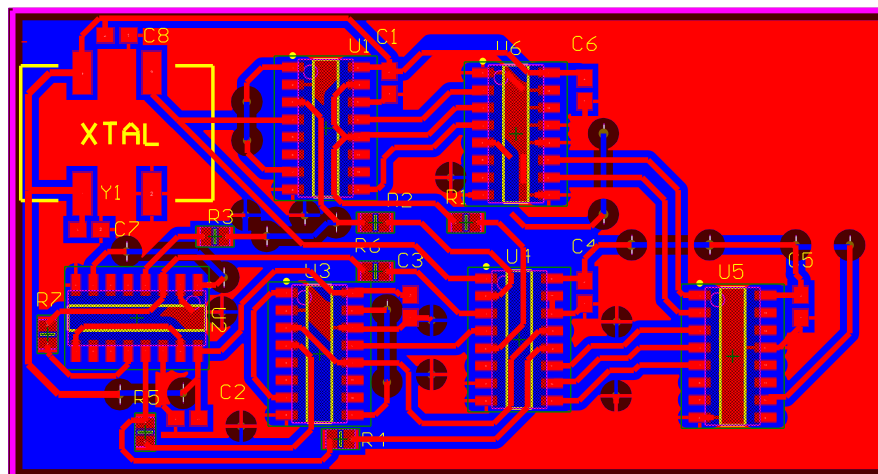


Figura 3.43. PCB resultante de la etapa de división de frecuencia.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Este modelo ha sido mejorado a través del uso de terminaciones en las pistas para eliminar el sobre voltaje, además de condensadores de desacoplo y de la correcta posición de los elementos.

Las simulaciones que se realizaron para esta etapa se evidencian en las figuras 3.44 y 3.45.

En la figura 3.44 se observa claramente que, al aplicar una onda cuadrada de $T=60\text{ns}$ en la pista de la señal de reloj, esta onda se deforma en los cambios de nivel, esta degradación se hace más evidente en la práctica lo que origina picos de tensión dañinos.

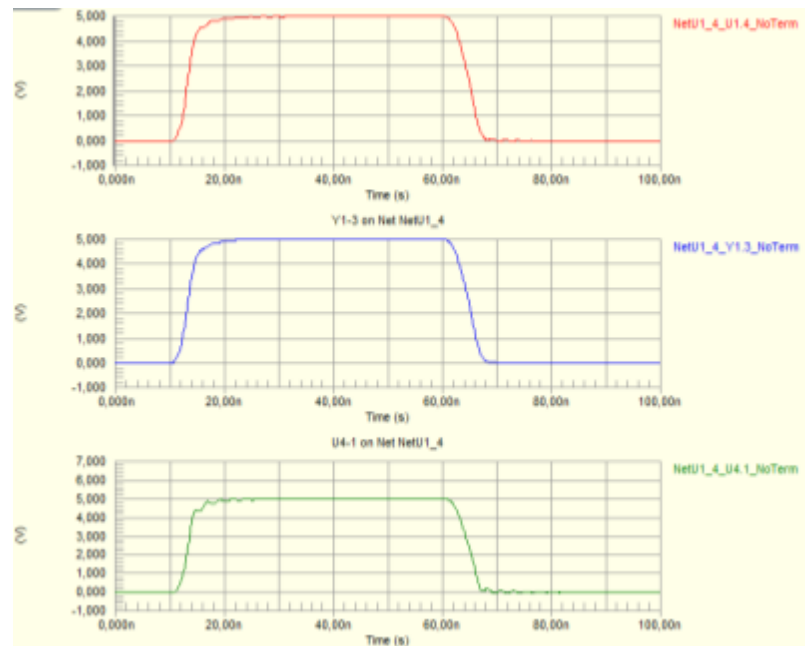


Figura 3.44. Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Luego de poner en práctica las consideraciones de eficiencia funcional sobre el diseño en cuestión, en la figura 3.45 se observan las nuevas formas de onda en la señal de reloj, estas han sido logradas mediante la aplicación de terminaciones resistivas entre 25 ohms y 90 ohms. Como se aprecia en esta figura, la señal de onda cuadrada no se deforma, esto resulta muy importante ya que permite que, los picos de voltaje se eliminen.

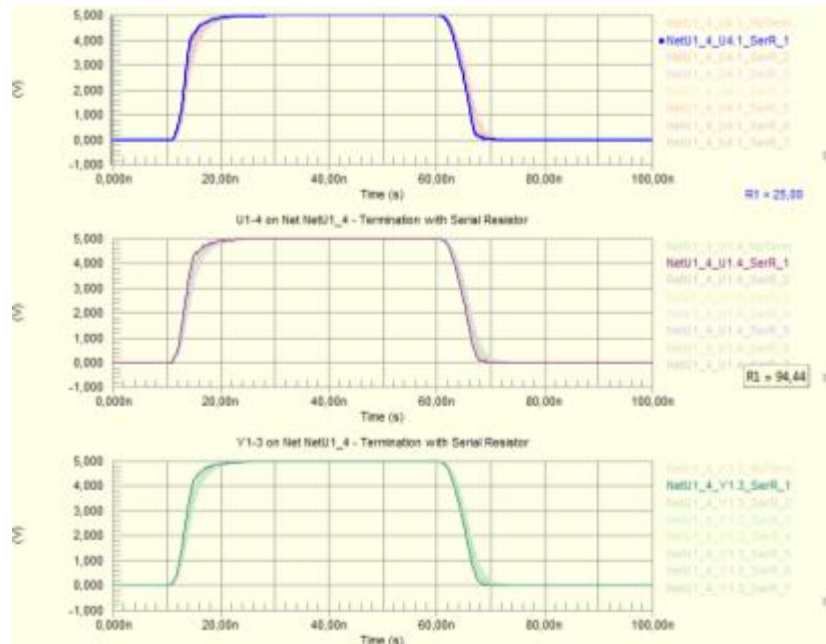


Figura 3.45. Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE ALMACENAMIENTO:

En esta etapa, el PCB resultante se muestra en la figura 3.46.

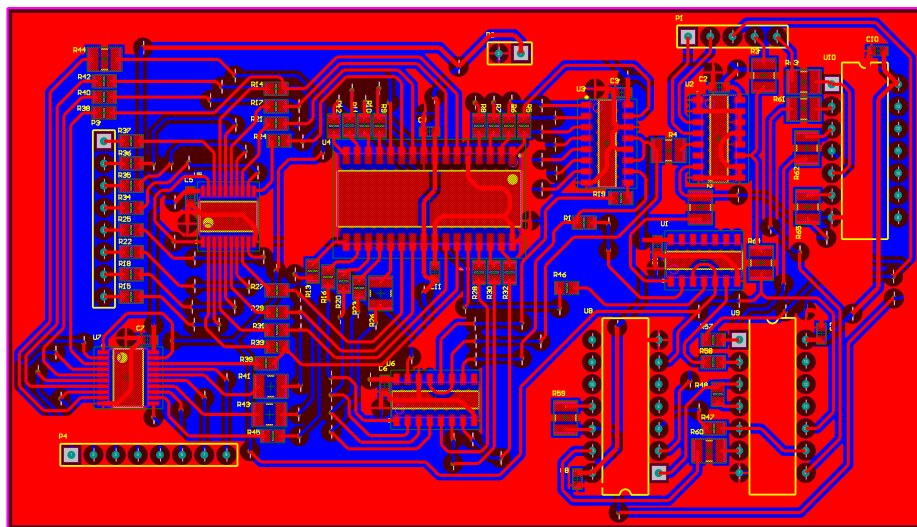


Figura 3.46. PCB resultante de la etapa de almacenamiento.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Se puede apreciar la utilización de las siguientes técnicas: disposición cercana de los condensadores de desacoplo, terminaciones en las líneas de alta frecuencia, uso reducido de agujeros de cambio de plano y, cercanía de pistas y elementos

de alta velocidad. Todas estas contribuyen a robustecer el funcionamiento del prototipo, asegurando su fiabilidad para los escenarios para los que fue diseñado.

La aplicación de estas técnicas se cataloga como de suma importancia ya que, contribuyen a evitar distorsiones en las señales resultantes y protegen a los dispositivos de transitorios elevados de corriente. Esta realidad se plasma en las figuras 3.47 y 3.48 al aplicarle una señal cuadrada de alta frecuencia a los ingresos correspondientes.

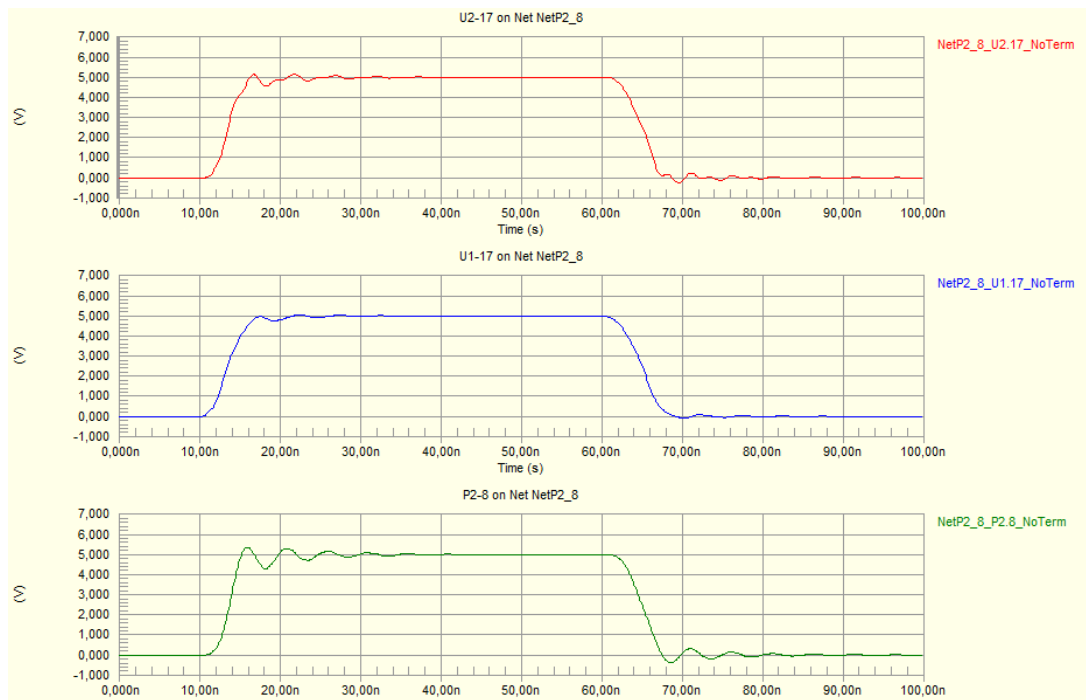


Figura 3.47. Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se aprecia, la variación de señal es considerable y perjudicial, sin embargo esta es una muestra de una simulación previa al análisis de alta frecuencia, por lo que sus efectos se evidencian como dañinos.

Al aplicarle la misma señal a un diseño robusto, se obtiene el siguiente resultado.

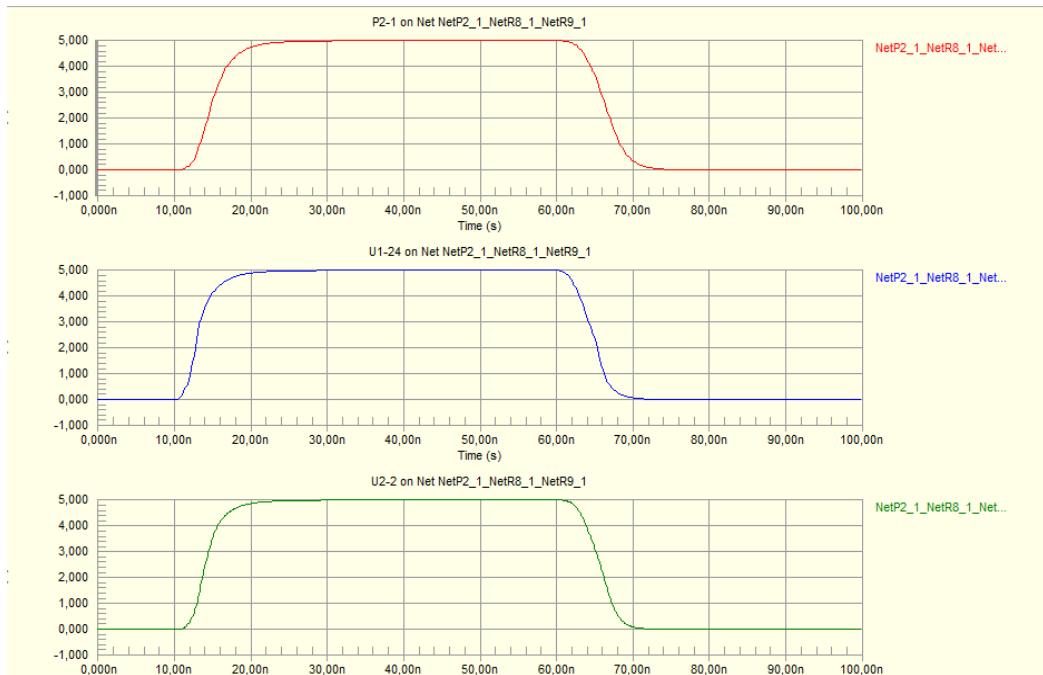


Figura 3.48. Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE CONTROL

En esta etapa, el PCB resultante se muestra en la figura 3.49.

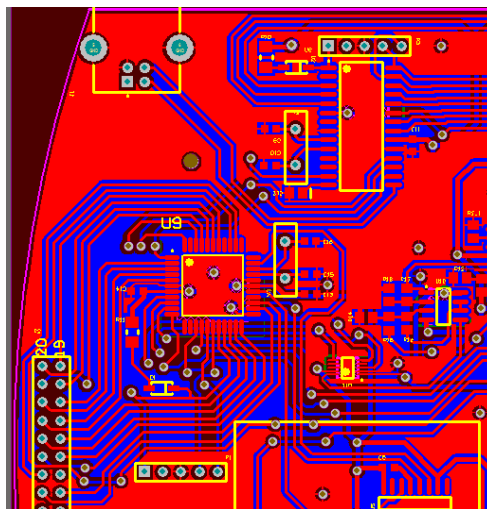


Figura 3.49. PCB resultante de la etapa de control

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Para el diseño de este circuito PCB, se implementaron algunas técnicas de integridad de señal y compatibilidad electromagnética, como por ejemplo, uso de condensadores de desacoplo en los pines de alimentación de los

microcontroladores, a fin de suplir la corriente necesaria para el arranque de dichos elementos, uso de una separación adecuada entre las pistas de entrada de datos de la SRAM, con el fin de evitar la diafonía que suele presentarse, implementación de un correcto posicionamiento de los elementos activos y pasivos.

Estas técnicas implementadas son esenciales ya que al no estar presentes, originan ruido y deterioro de la señal. A continuación se muestra la respuesta de una pista al aplicarle una señal cuadrada de 60ns de periodo (figura 3.50).

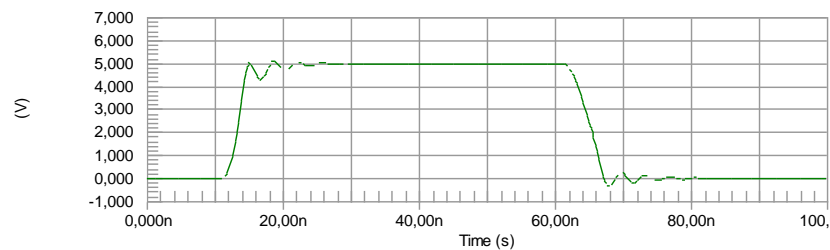


Figura 3.50. Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del PCB en estudio.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Claramente se aprecia que la respuesta tiene elevada distorsión. Al aplicarlas técnicas de diseño para alta frecuencia en esta pista, se aprecia el resultado obtenido en la figura 3.51.

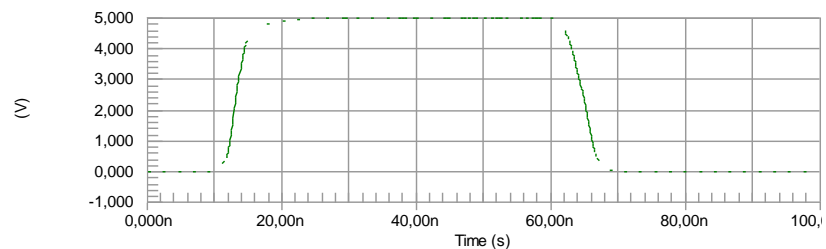


Figura 3.51. Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE DESPLAZAMIENTO VERTICAL

En esta etapa, el PCB resultante se muestra en la figura 3.52.

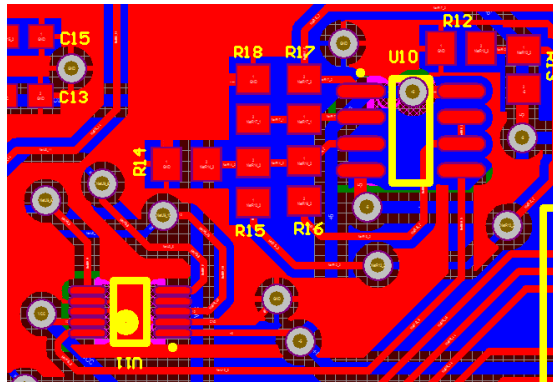


Figura 3.52. PCB resultante de la etapa de desplazamiento vertical

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Para el diseño de esta etapa fue necesario solamente el uso de una técnica de integridad de señal, la misma que consiste en agrupar lo más cercanamente posible los elementos pasivos como resistencias y capacitores a los activos como el operacional y el potenciómetro digital, al estar este circuito trabajando en bajas frecuencias no es necesario simulaciones que describan el comportamiento en alta frecuencia, ya que allí es en donde se presentan los problemas de distorsión de señal.

ETAPA DE SINCRONISMO POR TRIGGER

En esta etapa, el PCB resultante se muestra en la figura 3.53.

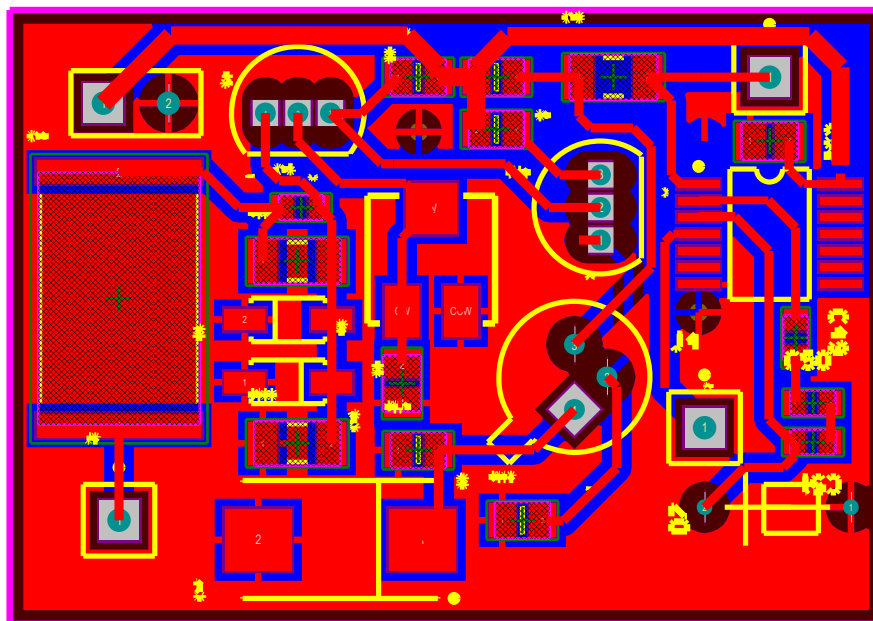


Figura 3.53. PCB resultante de la etapa de sincronismo por trigger

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Para el diseño del *PCB* en esta etapa, se consideró el uso de algunas normativas de integridad de señal y compatibilidad electromagnética, una de ellas es la separación correcta entre elementos activos y pasivos.

Las normativas aplicadas permiten evitar cualquier tipo de ruido en la señal con el fin de que la consecuente degradación de la señal, no origine fallas en el resto de etapas. En la figura 3.54 se aprecia la respuesta de una pista al aplicarle una señal cuadrada de 60ns de periodo.

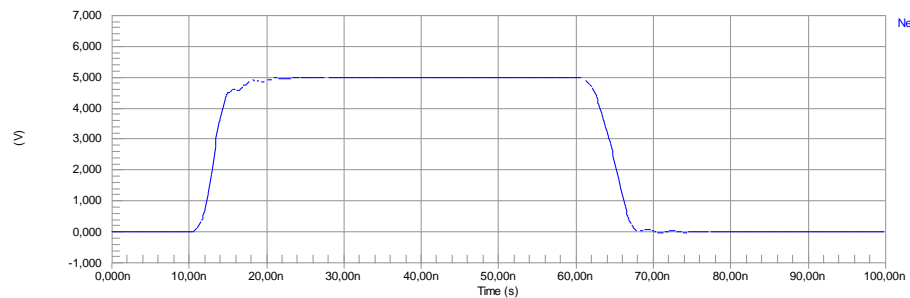


Figura 3.54. Simulación con una señal de alta frecuencia aplicada en diferentes puntos de una pista del *PCB* en estudio.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La respuesta tiene una leve distorsión, por lo que al implementar técnicas de diseño de *PCB*'s expuestas anteriormente, esta distorsión es controlada (figura 3.55).

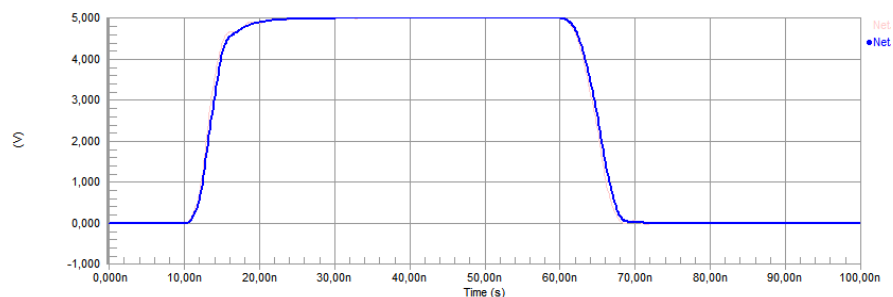


Figura 3.55. Simulación de una señal de alta frecuencia aplicada a la misma pista después del análisis respectivo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE ALIMENTACIÓN

En esta etapa, el *PCB* resultante se muestra en la figura 3.56.

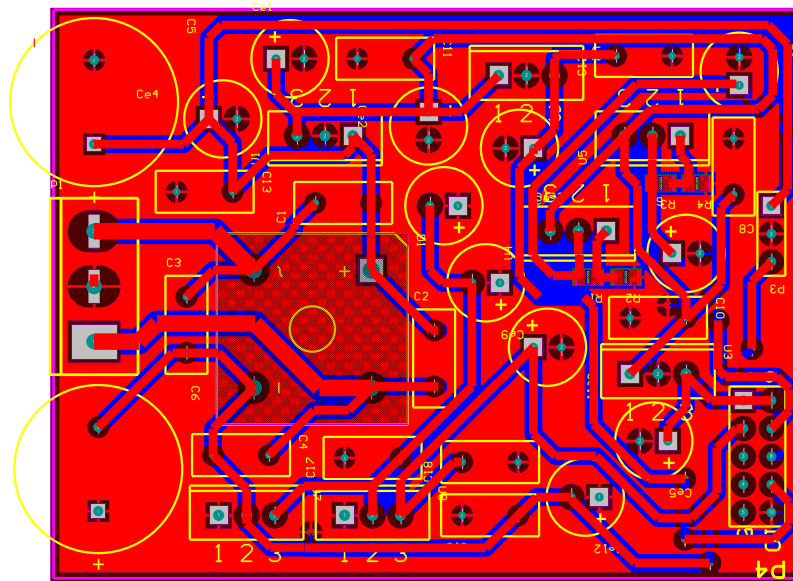


Figura 3.56. PCB resultante de la etapa de alimentación.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Debido a que esta etapa no es tratada como de alta frecuencia, las técnicas dictadas anteriormente no son directamente aplicables, sin embargo, para mantener la continuidad en el diseño de PCB, esta etapa también implementa las mejoras evidenciadas.

Las simulaciones para esta etapa están por demás, por lo que, su definición no se plasma en este documento.

Luego del análisis de los diseños esquemáticos y electrónicos de cada una de las etapas, la construcción y ensamblaje de la tarjeta integrada se evidencian como los procesos a seguir.

3.5. DISEÑO MECÁNICO Y PROCESO CONSTRUCTIVO DEL PROTOTIPO.

En este compendio, el diseño mecánico se centra en el análisis del modelo 3D del armazón o carcasa sobre el cual se monta el prototipo actual, mientras que el proceso constructivo engloba lo referente a la fabricación de la tarjeta integrada final y se lo explica más adelante.

El armazón en cuestión, debe presentar ciertas características de diseño que permitan la recepción y transferencia de la información recolectada desde una

fuente en particular hacia la PC; además debe contar con una estética propicia para un producto de esta envergadura.

Para ello, dicho armazón cuenta, en la parte delantera con un canal de ingreso, como se observa en la figura 3.57, cuya señal será recolectada desde una fuente analógica en particular.

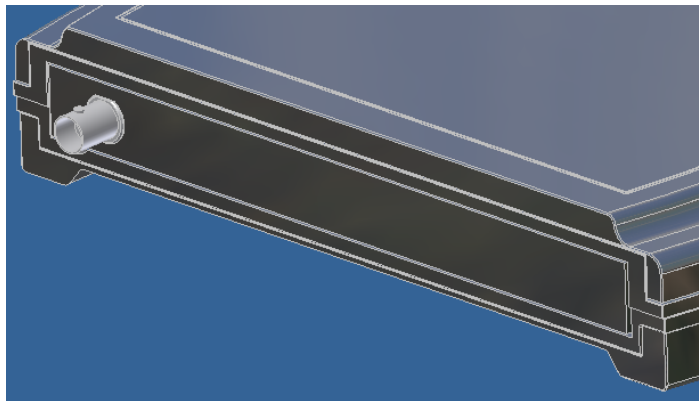


Figura 3.57. Parte delantera del armazón 3D.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En la parte posterior debe integrar el puerto de alimentación de la tarjeta de adquisición de datos, un interruptor de encendido y la interfaz USB. Así se observa en la figura 3.58.

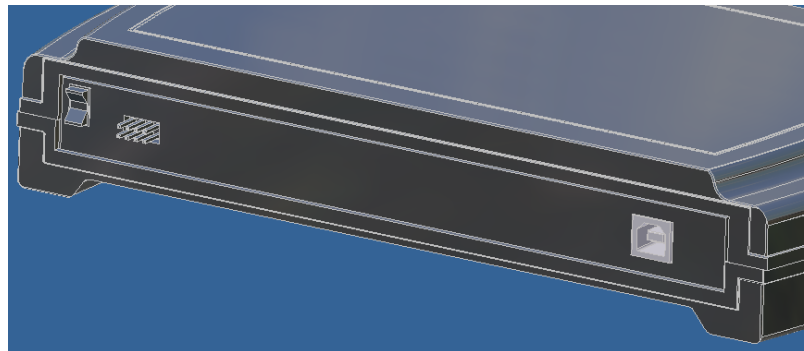


Figura 3.58. Parte trasera del armazón 3D.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

El puerto de alimentación va conectado, mediante un bus de datos a la fuente.

La interfaz consta de un conector USB hembra tipo B, el cual sirve para transmitir y recibir información entre la PC y la Tarjeta de Adquisición de datos.

El modelo completo de este armazón se puede observar en la figura 3.59

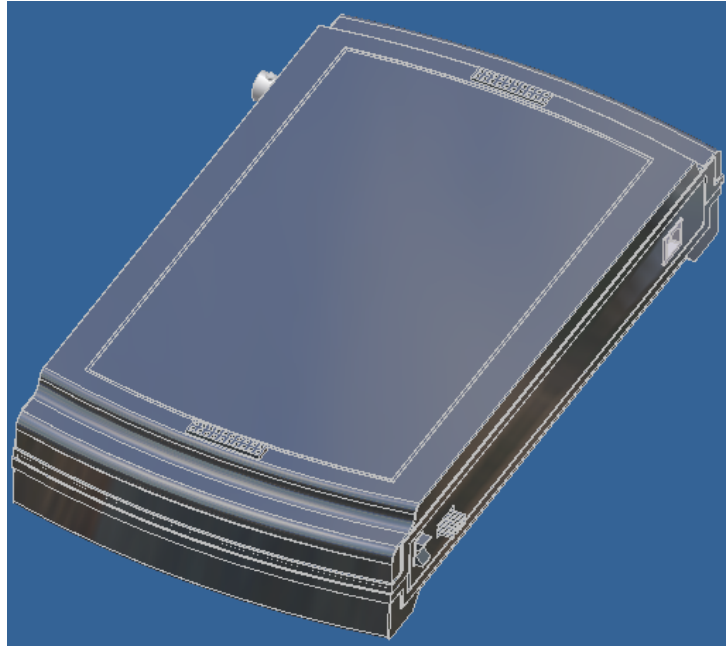


Figura 3.59. Armazón 3D completo.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Para la ejecución del proceso constructivo de la tarjeta PCB final, se cataloga como imperioso realizar un análisis extenso sobre las reglas de fabricación más comunes en el mercado actual.

3.5.1. RESTRICCIONES PARA LA FABRICACIÓN

Entre las principales restricciones de fabricación industrial, se presentan las siguientes:

- Las dimensiones de los diseños a implementar, y de sus herramientas constructivas.
- La tecnología de los componentes utilizados y su inherente complejidad de integración.
- El desgaste y disponibilidad de remplazo inmediato de las herramientas constructivas utilizadas.

Las dimensiones de las herramientas constructivas empleadas se traducen en un factor determinante en la consecución de un *PCB* de altas prestaciones, es por ello que se ha visto conveniente listar la disponibilidad de las diferentes herramientas existentes, siendo esta tabla la referencia en lo que a reglas de diseño electrónico se refiere.

<i>Herramientas constructivas</i>	<i>Características</i>
Fresadora Universal con distancia regulable 1/8" 36mm	0.2 – 0.5mm
Fresadora de Terminación 1/8" 36mm	1.00mm
	2.00mm
	0.40mm
Broca en espiral 1/8" 38mm	0.60mm
	0.70mm
	0.80mm
	0.90mm
	1.00mm
	1.10mm
	1.30mm
	1.50mm
Cortadora de Contorno 1/8" 38mm	1.00mm
	2.00mm

Tabla 3.3. Tabla de las características de las herramientas a cumplir en el diseño del PCB.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Teniendo esto en cuenta, se procede a elegir el material base para la construcción de la tarjeta en estudio. En este caso, varios materiales se ofrecen en el mercado como baquelita, fibra de vidrio, etc. Pero debido a la característica de alta frecuencia que se desea lograr, la opción que mayores prestaciones brinda es la fibra de vidrio, ya que posibilita que, una señal de alta frecuencia no posea componentes armónicos demasiado altos en comparación a otros materiales, esto asegura la robustez del prototipo.

Para el proceso de construcción, se precisa la generación de algunos archivos de formato industrial denominados *Gerber*.

Una vez obtenidos estos archivos, se pasa el trabajo hacia otros *softwares* gráficos como son CircuitCam, de exportación, y BoardMaster, para control LPKF. En el primero, el trabajo se centra en importar todos los archivos gerber útiles hasta obtener un modelo digital del mecanizado que se desea lograr, luego

en el segundo, se controla cada uno de los procesos de mecanizado del material base escogido, hasta obtener la tarjeta física, es decir, el modelo real del mecanizado, a través, de los equipos *LPKF Laser & Electronics*.

El proceso de construcción y soldado de elementos en una tarjeta electrónica se muestra a continuación y se constituye como uno de los pilares de desarrollo del prototipo en mención.

3.5.2. PROCESO DE CONSTRUCCIÓN.

Este fue posible gracias a la variedad de equipos con los que cuenta el Laboratorio de Diseño Electrónico de la Universidad Politécnica Salesiana sede Cuenca. Este laboratorio se encuentra equipado con tecnología alemana de punta proveniente de la casa *LPKF Laser & Electronics* entre los que se encuentran:

- ProtoMat S62, para mecanizado de las tarjetas electrónicas.
- ProtoPlace S, para posicionado de componentes de montaje superficial o SMD.
- ProtoFlow S, para soldado de componentes electrónicos sobre una tarjeta.
- Kits de desarrollo, para metalizado de agujeros pasantes, para protección anticorrosiva de placas, para posicionamiento de los nombres de los dispositivos que se ubican sobre las tarjetas, entre otros.

Todos ellos fueron útiles a lo largo del proceso constructivo y permitieron a los desarrolladores, obtener prototipos funcionales de las tarjetas electrónicas diseñadas.

Una vez obtenido el material base, se lo posiciona sobre el equipo ProtoMat S62 (figura 3.60) para mecanizado.



Figura 3.60. Equipo ProtoMat S62 para mecanizado.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Luego, a través del software BoardMaster, se realiza el control de cada una de las etapas de mecanizado:

- Marcar agujeros
- Taladrar los agujeros
- Mecanizar la capa inferior de la tarjeta
- Mecanizar la capa superior de la tarjeta
- Realizar el corte interno/externo de la tarjeta

El tiempo de ejecución de este proceso depende de la cantidad y calidad de mecanizado requerido en la tarjeta, de las dimensiones de la misma y de la cantidad de agujeros a realizar. En la figura 3.61 se aprecia el proceso de mecanizado.

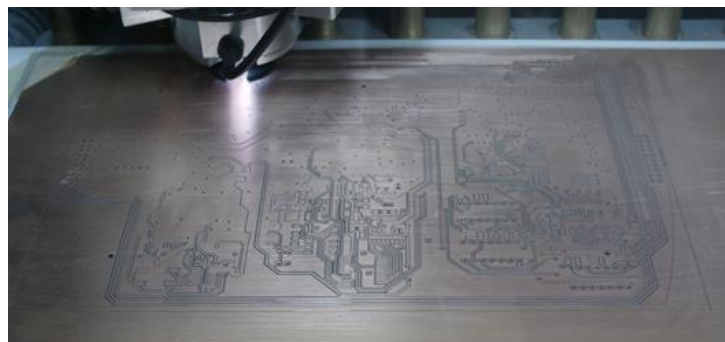


Figura 3.61. Proceso de mecanizado.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Al final de este proceso, se obtiene la placa o tarjeta electrónica integrada la cual se muestra en la figura 3.62.

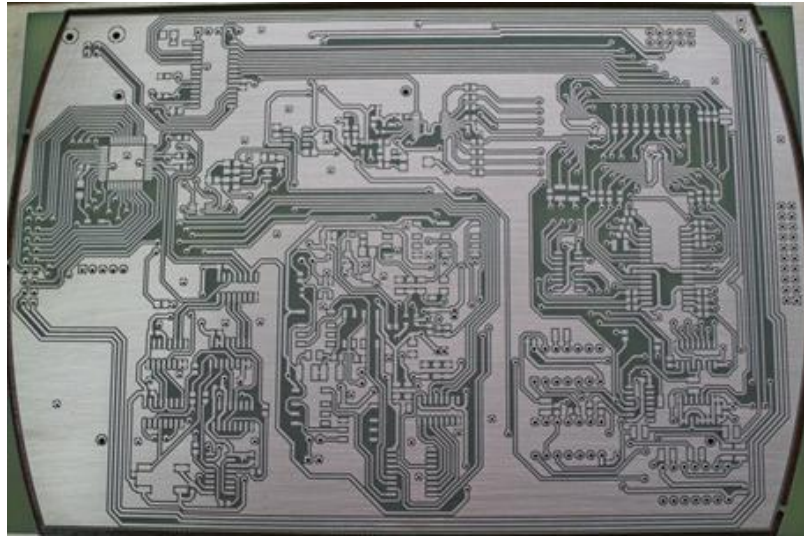


Figura 3.62. Tarjeta prototipo luego de ser mecanizada.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En el caso de mecanizar tarjetas de doble capa, es necesario ejecutar un proceso químico denominado *Metalizado*. El metalizado consiste en proveer continuidad entre capas por medio de vías (agujeros). En la figura 3.63 se evidencia su resultado.

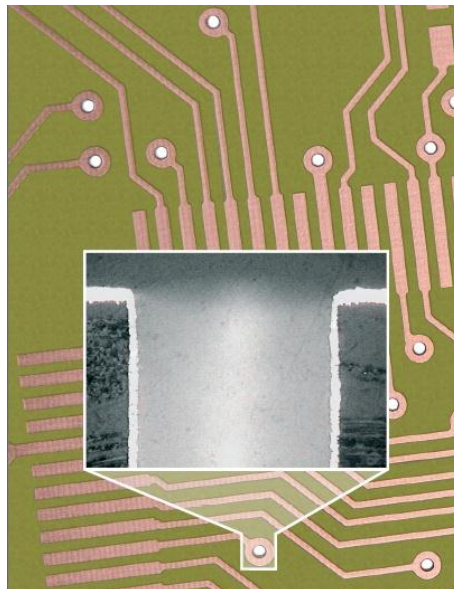


Figura 3.63. Tarjeta con agujeros pasantes metalizados.

Fuente: LPKF Laser & Electronics (2011). Manual LPKF ProConduct.

Finalmente, un segundo proceso químico es implementado en la tarjeta y se denomina *Antisolder*. El *antisolder* consiste en la aplicación de una solución química con el propósito de que esta tarjeta no sufra degradaciones corrosivas causadas por su excesiva manipulación. Los resultados de su implementación se evidencian en la figura 3.64

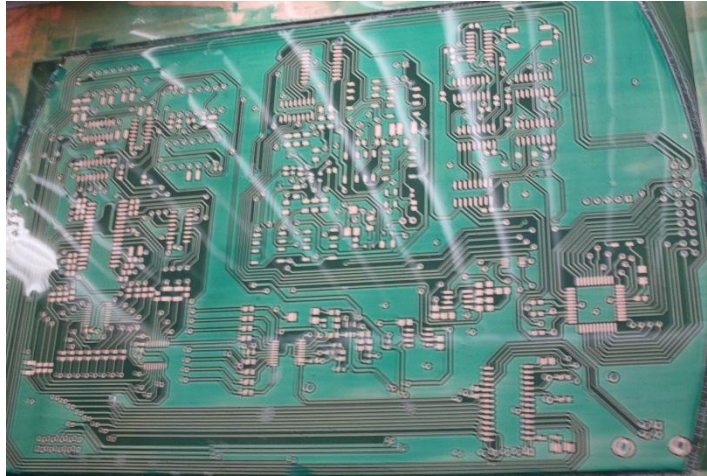


Figura 3.64. PCB final HS-DAQ

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.6. ENSAMBLAJE DE LA TARJETA.

Una vez terminado con el proceso de fabricación de la tarjeta de adquisición de datos de alta velocidad, se procede al posicionamiento de los componentes en el *PCB* en cuestión. Debido a la característica de alta frecuencia que se quiere lograr en el prototipo, los dispositivos empleados para tal fin, como se pudo constatar en el diseño esquemático, pertenecen a la familia CMOS, ya que es esta familia la que proporciona la característica de velocidad buscada. Además, debido a que en el mercado existen tarjetas altamente complejas y muy reducidas y, la filosofía de la nueva generación dicta obtener modelos funcionales cada vez más compactos, se ha visto la necesidad de emplear dispositivos de montaje superficial para este proyecto, debido a que estos permiten trabajar con prototipos reducidos y de gran fiabilidad

Debido a que existen elementos electrónicos de tamaño reducido, (Figura 3.65), se ha visto como necesaria la integración a este desarrollo de la máquina ProtoPlace S (figura 3.66), para posicionamiento SMD.



Figura 3.65. Capacitor SMD 10nF modelo 0603.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.



Figura 3.66. Equipo ProtoPlace S para posicionamiento de componentes SMD.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En esta máquina se realiza el proceso de ubicación de componentes de montaje superficial o SMD en las posiciones correspondientes. Debido a la dimensión de dichos componentes, se hace necesaria la integración de una cámara de video de alta resolución conjuntamente con un monitor de visualización. Además, este equipo brinda la colocación de estaño en pasta en cada uno de los pines de la tarjeta para que el proceso de soldado sea factible.

En la figura 3.67 se aprecia la inserción de la pasta de estaño en los diferentes terminales, permitiendo al manipulador obtener una fijación momentánea de los dispositivos que conforman la tarjeta.

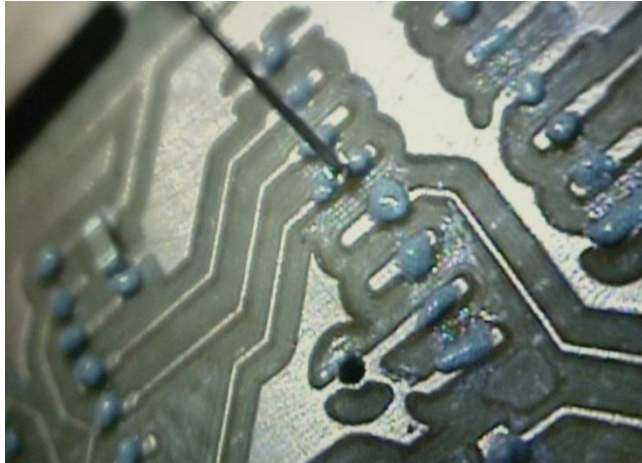


Figura 3.67. Aplicación de pasta de soldar en cada terminal de los componentes

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En la figura 3.68 se evidencia el posicionamiento de componentes SMD.

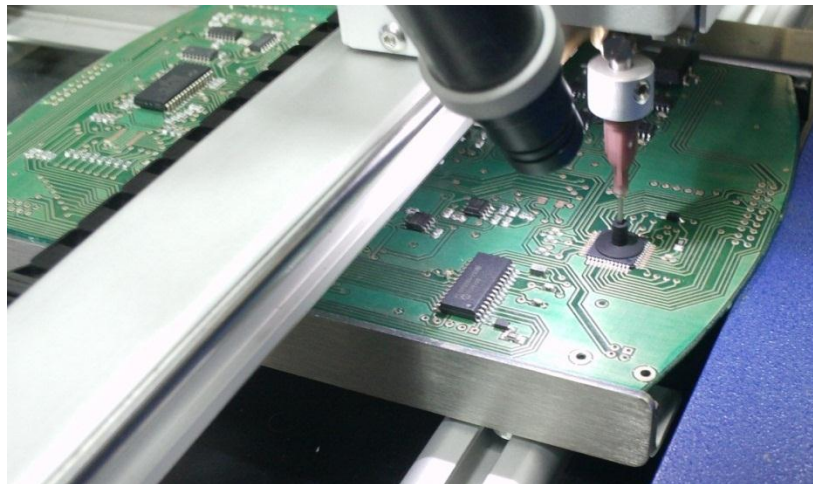


Figura 3.68. Posicionamiento de Componentes SMD utilizando el ProtoPlace

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

El proceso de soldado de los componentes en la tarjeta se realiza mediante la maquina ProtoFlow S (figura 3.69), la cual se encarga de adherir todos los dispositivos a la tarjeta.



Figura 3.69. Equipo ProtoFlow S para soldadura de componentes

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Este equipo cuenta con un perfil de soldadura (figura 3.70) que permite, entre otras cosas, regular los tiempos y temperaturas de reflujo y enfriamiento, así como definir un tamaño estándar de tarjeta a soldar.



Figura 3.70. Visualización del perfil de soldadura ProtoFlow S

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La ejecución de este proceso se expone en la figura 3.71:



Figura 3.71. Etapa de soldado de componentes en la máquina ProtoFlow S

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

El proceso de soldadura en algunos componentes debió ser realizado en forma manual para lograr una mejor fijación y evitar cualquier tipo de desplazamiento que originaría fallas en el funcionamiento de la tarjeta. La figura 3.72 demuestra este proceso.

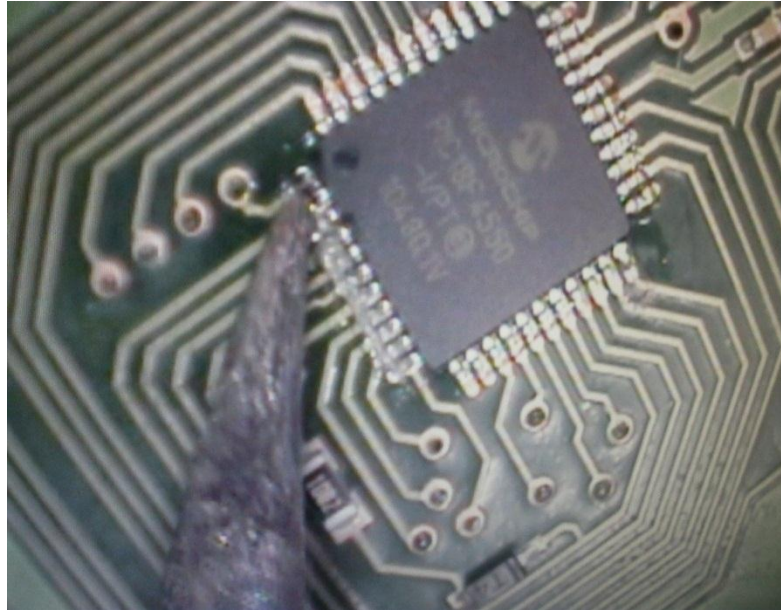


Figura 3.72. Soldado Manual de un Microcontrolador.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Finalmente se obtiene la tarjeta final ensamblada la cual se evidencia en la figura 3.73.

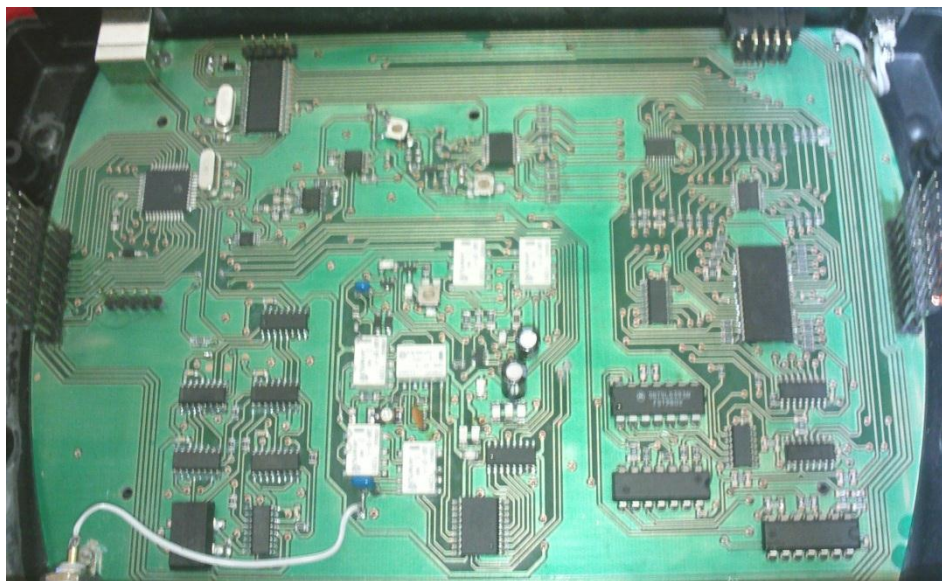


Figura 3.73. Ensamble final de todos los componentes en la tarjeta de adquisición de datos

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Se continúa con el ensamblaje de la tarjeta de prácticas, esta fue diseñada para ser acoplada a los terminales de un project board con el fin de ofrecer un módulo multifuncional de prácticas a través de sus terminales.

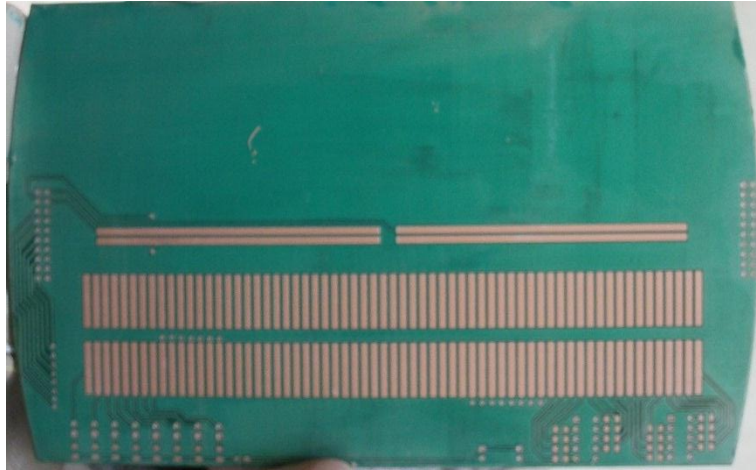


Figura 3.74. Tarjeta de prácticas construida.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La figura 3.75 muestra la tarjeta de prácticas completamente terminada y ensamblada con todos sus componentes, lista para ser acoplada a la tarjeta de adquisición de datos.

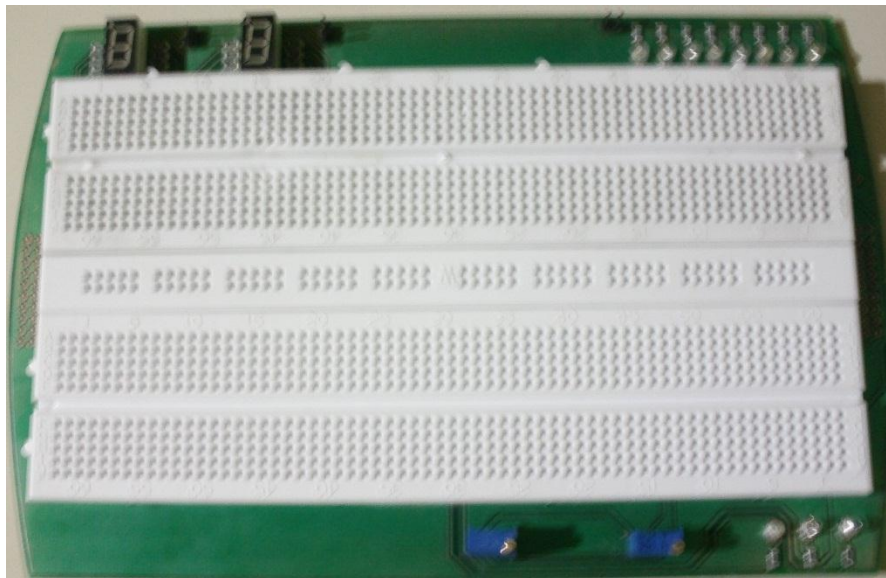


Figura 3.75. Ensamble final de la tarjeta de prácticas.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Por ultimo las dos tarjetas se ensamblan con el fin de realizar las pruebas necesarias para asegurar su correcto funcionamiento, el producto final se evidencia en la figura 3.76.



Figura 3.76. *Producto Final Laboratorio Integrado Básico (LIB).*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

3.7. SOFTWARE DE MANIPULACIÓN.

Para manipular la totalidad de las funciones implementadas en este L.I.B, es necesaria la acción de un software especializado. Este software se constituye como la interfaz gráfica necesaria a través de la cual se hace posible la integración del control de la tarjeta de adquisición de datos de alta velocidad y el módulo multifuncional de prácticas.

Como aplicación principal implementada en esta interfaz gráfica se evidencia un osciloscopio digital de un solo canal que permite controlar la tarjeta de alta velocidad y visualizar las señales provenientes de la misma. Además tiene implementada una interfaz de adquisición de datos para controlar el módulo multifuncional de prácticas, configurándose a la postre como un Laboratorio Integrado Básico (LIB).

Dicha interfaz gráfica se muestra en la figura 3.77

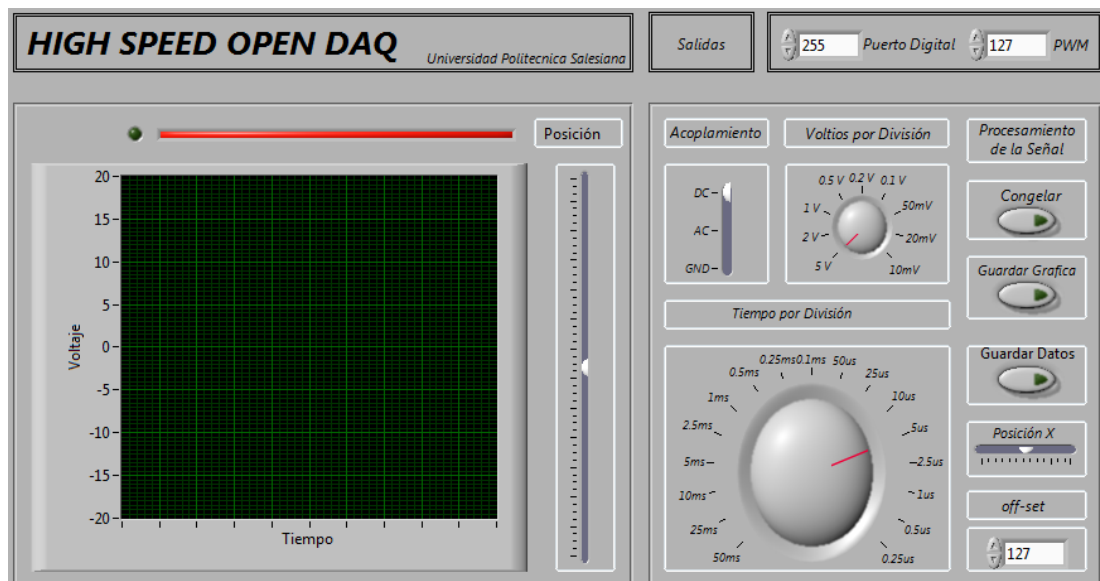


Figura 3.77. Panel Frontal del Osciloscopio Digital.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Este osciloscopio digital consta de nueve controles para su manipulación y de dos controles para comandar el módulo multifuncional de prácticas, los cuales se enumeran a continuación.

- *Grafica.*
- *Off-Set.*
- *Acoplamiento.*
- *Voltios por División.*
- *Tiempo por División.*
- *Congelar.*
- *Guardar Grafica.*
- *Guardar Datos.*
- *Posición X.*
- *Posición Y*
- *Puerto Digital*
- *PWM*

Para un entendimiento completo de esta interfaz se analiza cada control independientemente.

Grafica: Visualiza la información proveniente desde la tarjeta de adquisición de datos.

Off-Set: Permite desplazar verticalmente la señal de ingreso, mediante el control de un potenciómetro digital. Esto se realiza a través de hardware.

Acoplamiento: Permite controlar el tipo de acoplamiento de la señal de ingreso, este acoplamiento puede ser de tipo AC, DC o GND.

Voltios por División: Controla la atenuación de la señal de ingreso, con el fin de evitar que dicha señal se sature y de esta forma tener una correcta visualización de la misma.

Tiempo por División: Varía la frecuencia de muestreo del ADC, permitiendo así visualizar correctamente la señal de ingreso en el dominio del tiempo.

Congelar: Permite congelar la gráfica que se encuentra en la pantalla del osciloscopio, de esta forma el usuario puede analizar correctamente dicha señal.

Guardar Grafica: Guarda la gráfica que se visualiza, como imagen.

Guardar Datos: Almacena las coordenadas de los puntos de la gráfica en un archivo de texto.

Posición X: Desplaza la gráfica en el dominio del tiempo.

Posición Y: Desplaza la gráfica en el eje Y a través de software.

Puerto Digital: Manipula un puerto de 8 bits que se encuentra en el módulo multifuncional de prácticas.

PWM: Controla el *Duty Cycle* de una señal que se encuentra en el módulo multifuncional de prácticas.

La configuración y estructuras de cada uno de estos controles y su consecuente comunicación con la tarjeta de adquisición de datos se muestran en la figuras 3.78 y 3.79.

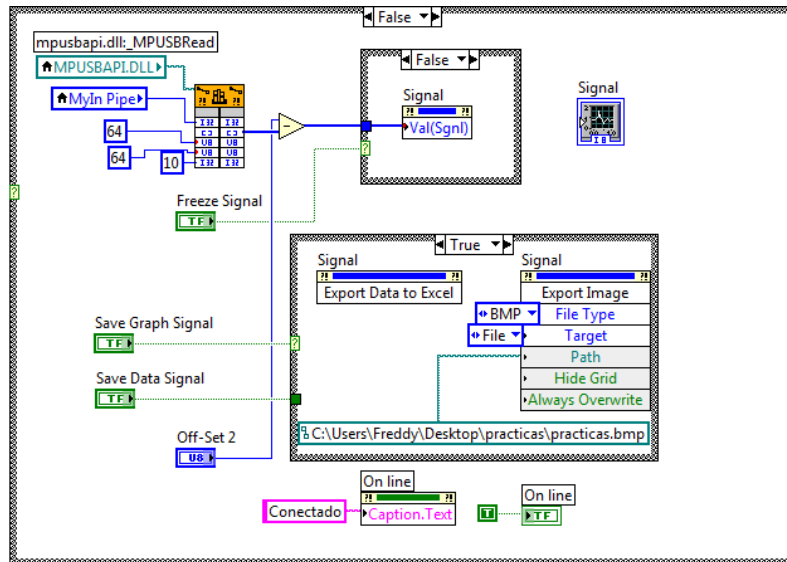


Figura 3.78. Diagrama de bloques de la recepción de los datos.
Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

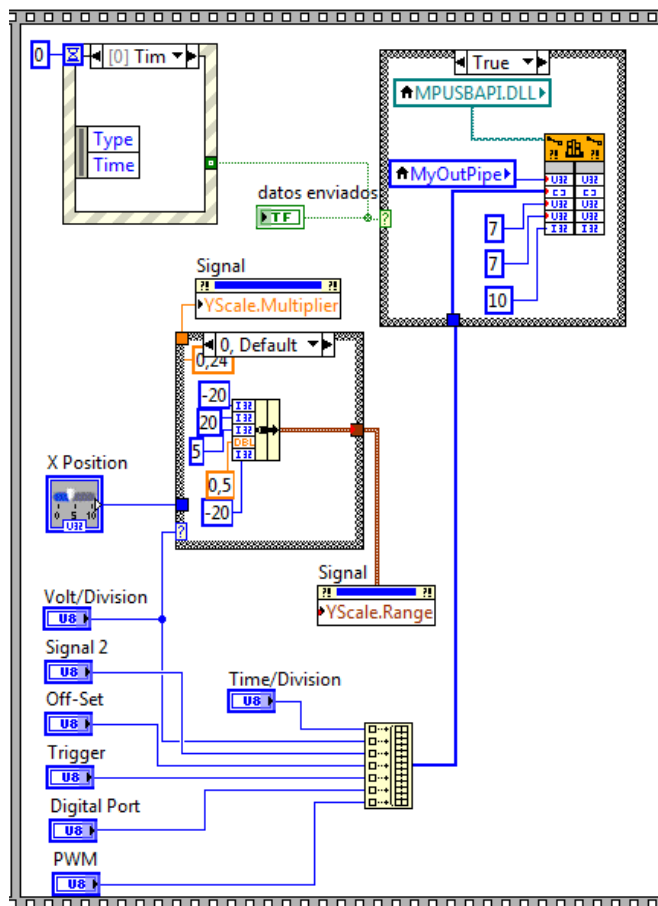


Figura 3.79. Diagrama de bloques del Envío de los Controles.
Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La aplicación ofrecida al potencial mercado asegura la existencia de desarrollo futuro dentro de la ciudad y país, por lo que el producto aquí plasmado se constituye como un referente de innovación y valida la investigación implementada a lo largo de este estudio.

CAPITULO IV.

PRUEBAS DE LA TARJETA

4.1. INTRODUCCIÓN

La aplicabilidad del prototipo desarrollado para los diferentes niveles del ámbito educativo universitario es uno de los retos de mayor trascendencia dentro del proyecto, por lo que su fiabilidad y robustez ofrecidas se catalogan como características de gran importancia.

En el presente capítulo se definen los principales métodos utilizados que garantizan el correcto funcionamiento del prototipo en estudio. Al ser un producto de altas prestaciones su validez se acredita mediante la implementación de pruebas técnicas, de funcionamiento y de campo.

4.2. PRUEBAS TÉCNICAS.

Diferentes pruebas técnicas, se llevaron a cabo, con el fin de garantizar la fiabilidad de la tarjeta de adquisición de datos. Estas pruebas se realizaron en cada una de las etapas, de la siguiente forma:

ETAPA DE INGRESO

Las pruebas de la etapa de ingreso fueron realizadas con el fin de comprobar el correcto funcionamiento en cuanto al procesamiento de las señales recibidas se refiere, para ello se introdujo en el prototipo señales AC o DC, de baja, media y alta frecuencia de tipo senoidal, triangular y cuadrada.



Figura 4.1. Pruebas en la Etapa de Ingreso.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Entre las pruebas que se realizaron a esta etapa están las pruebas de conmutación entre AC, DC y GND cuyas respuestas se observan en las figuras 4.2 a 4.2.

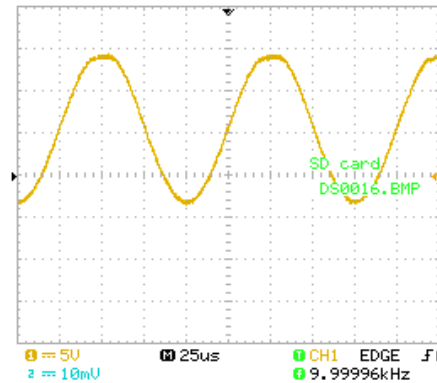


Figura 4.2 Entrada en modo DC

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

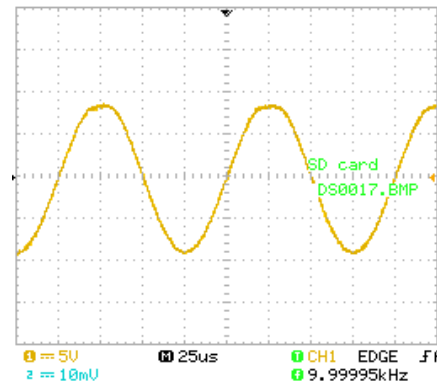


Figura 4.3 Entrada en modo AC

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

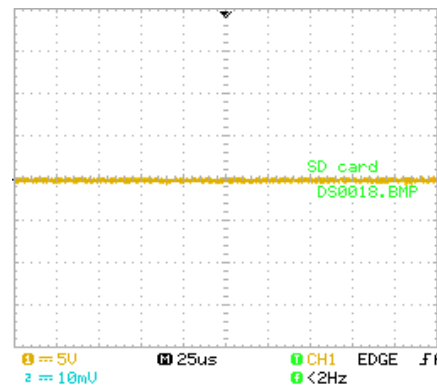


Figura 4.4 Entrada en modo GND

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Además se realizaron pruebas de atenuación y amplificación para la señal de ingreso, para ello se escogió una señal cuadrada de 1Khz y se la puso a prueba para los factores de atenuación de 1, 10, 100, y para los factores de amplificación de 3.5, 8 y 15 (figs. 4.5 a 4.10).

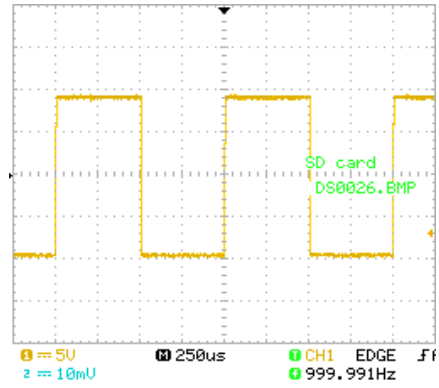


Figura 4.5 Respuesta de la entrada para un factor de atenuación de 1

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

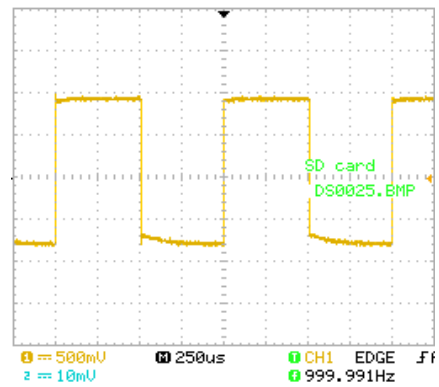


Figura 4.6. Respuesta de la entrada para un factor de atenuación de 10

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

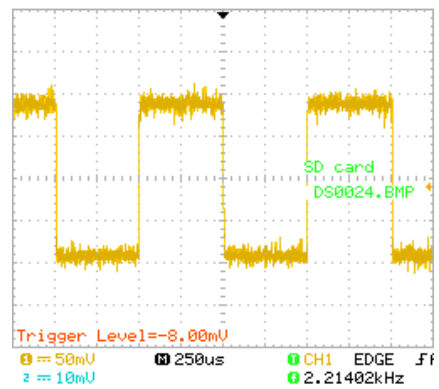


Figura 4.7. Respuesta de la entrada para un factor de atenuación de 100

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

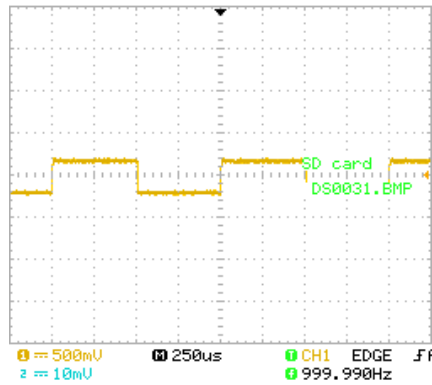


Figura 4.8. Respuesta de la entrada para un factor de amplificación de 3.5

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

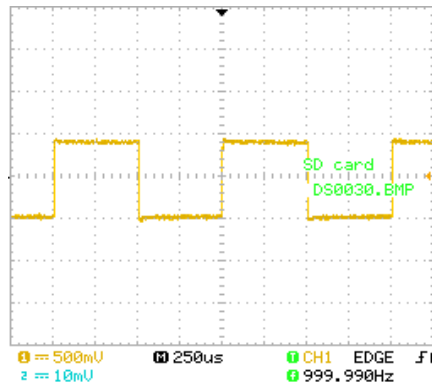


Figura 4.9. Respuesta de la entrada para un factor de amplificación de 8

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

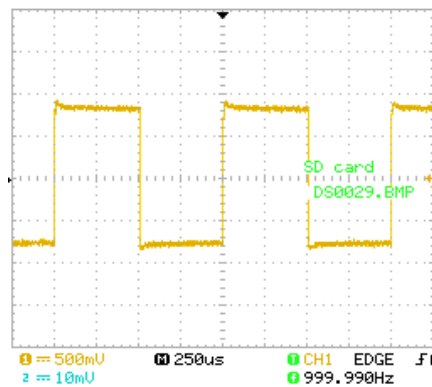


Figura 4.10. Respuesta de la entrada para un factor de amplificación de 15

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Finalmente se realizó una comprobación general de toda la etapa para verificar su comportamiento frente a señales de alta frecuencia, en la figura 4.11 se aprecia dicha comprobación siendo la onda de color azul la señal de salida, y la onda de color amarillo el ingreso de la etapa, se observa también la frecuencia y el voltaje utilizados.

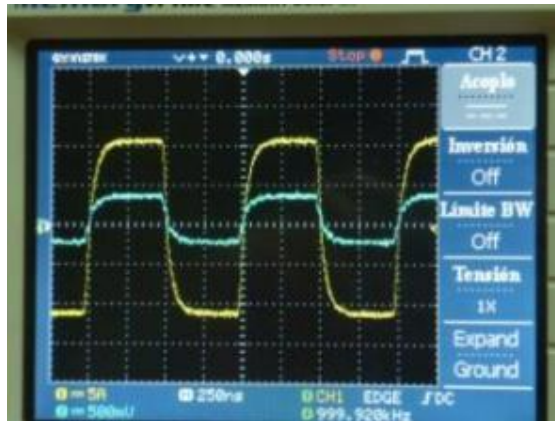


Figura 4.11. Ventana de Osciloscopio en pruebas de la Etapa de Ingreso.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE CONVERSIÓN ANALÓGICA/DIGITAL

En lo que concierne a las pruebas del ADC, se tomaron diferentes números de muestras de la señal de ingreso mediante la etapa de división de frecuencia, y se las reconstruyó mediante la PC a través de una tarjeta de adquisición de datos de la National Instrument (NI USB 6212) a la que se ingresaron los valores de salida del ADC (valores digitales).

El número de muestras por segundo del ADC fue comandado a través de un microcontrolador esclavo, que maneja la etapa de división de frecuencia y, esta a su vez, envía una señal de reloj específica. Con una señal de ingreso de baja frecuencia el ADC deberá tomar menos muestras por segundo, de esta forma se puede visualizar dicha señal en todo su periodo.

Para esta prueba se escogió como señal de ingreso una rectificación de media onda, en este caso se tomaron 10 muestras por cada periodo de señal, con el propósito de visualizar correctamente la entrada e implementar algún tipo de procesamiento con la misma (figura 4.12).

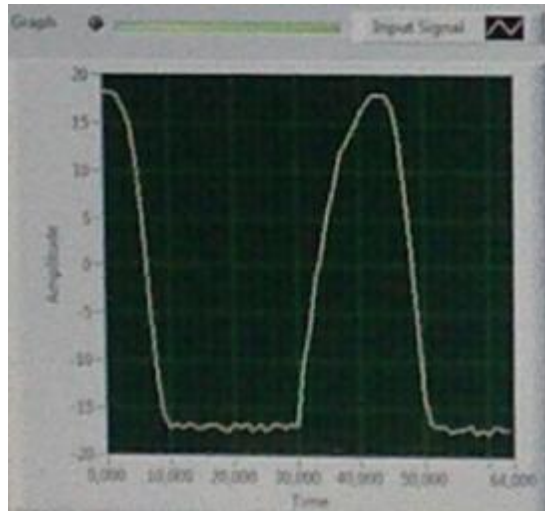


Figura 4.12. Rectificación de media onda reconstruida con una frecuencia de muestreo de 250Hz.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE DIVISIÓN DE FRECUENCIA

Para comprobar el correcto funcionamiento de esta etapa se utilizó el microcontrolador 18F4550, para este propósito dicho microcontrolador envía un dato de 1 *byte* al registro 74HC595 que controla a los mini relés mediante el *driver* ULN2803, de esta forma se selecciona una división específica de frecuencia obteniendo una salida de reloj, como se evidencia en la figura 4.13

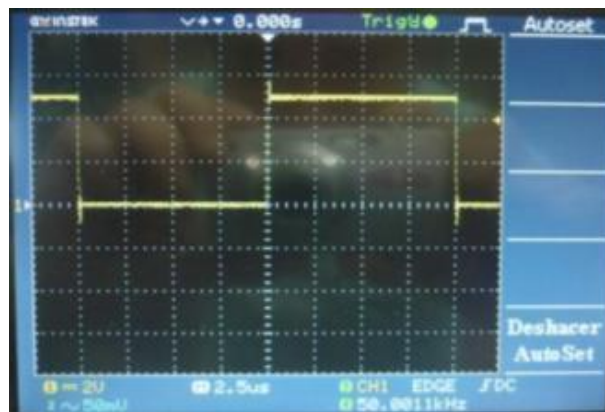


Figura 4.13. Prueba realizada a la etapa de división de frecuencia.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En esta figura se nota que existe un sobresalto de voltaje que puede ser perjudicial para el ADC, este fue eliminado con una terminación realizada a través de una resistencia en serie a la salida de 82ohm. En la figura se visualiza que la frecuencia de salida es de 50Khz.

ETAPA DE ALMACENAMIENTO

En la comprobación de esta etapa están inmersas la etapa de ingreso, etapa de división de frecuencia, etapa de conversión analógica digital, etapa de control y la interfaz grafica implementada, cada una cumpliendo un papel específico.

Para esta prueba se tomo una señal de 60Hz de la red eléctrica, dicha señal se vio reflejada en la interfaz grafica y en un osciloscopio comercial, resultando en imágenes exactamente iguales, las gráficas se muestran a continuación.

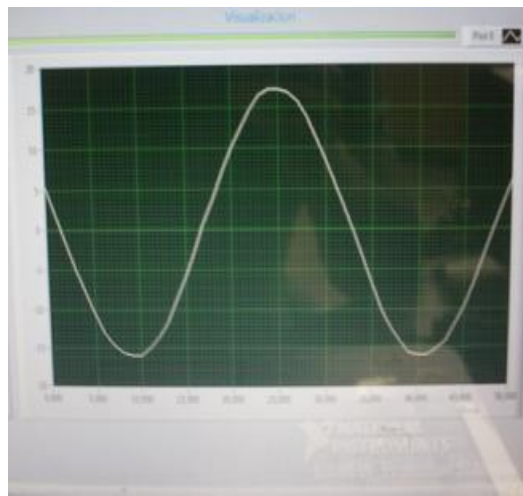


Figura 4.14. Señal de 60Hz DAQ.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

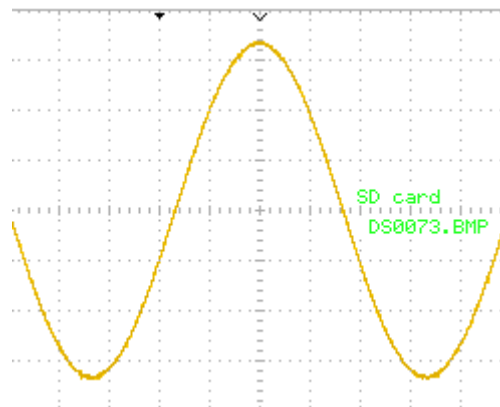


Figura 4.15. Señal de 60HZ Osciloscopio Comercial (GWINSTEK).

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

ETAPA DE CONTROL

Para las pruebas de la etapa de control se utilizó una interfaz con el computador mediante una comunicación USB bidireccional entre la PC y el microcontrolador maestro 18F2550, este microcontrolador es el encargado de

comandar a la etapa de almacenamiento, etapa de conversión analógica digital y al microcontrolador esclavo.

El microcontrolador esclavo se encarga de manejar la etapa de ingreso, etapa de división de frecuencia y etapa de desplazamiento vertical. A continuación se muestran únicamente las pruebas de la etapa de desplazamiento vertical, debido a que las verificaciones de las etapas restantes ya fueron previamente realizadas.

En la etapa de desplazamiento vertical su funcionamiento fue comprobado mediante la variación del *off-set* de una señal cuadrada a través del potenciómetro digital AD5161. A continuación se muestra esta señal para diferentes valores del potenciómetro.

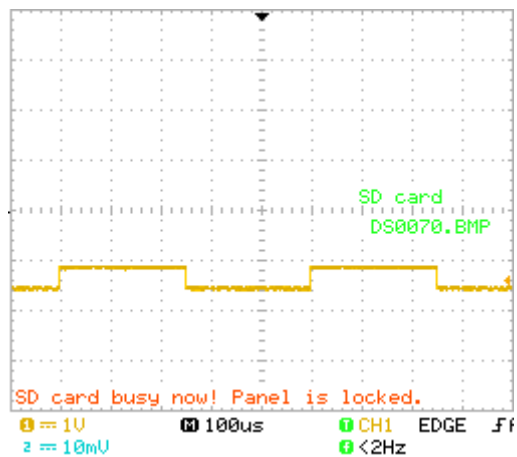


Figura 4.16. Señal Cuadrada con el Potenciómetro Digital a 0

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

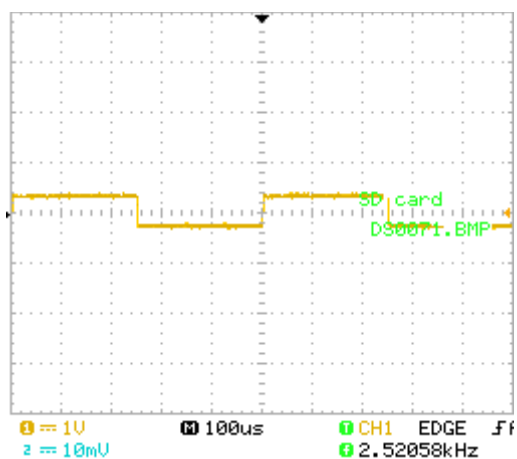


Figura 4.17. Señal Cuadrada con el Potenciómetro Digital a 127

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

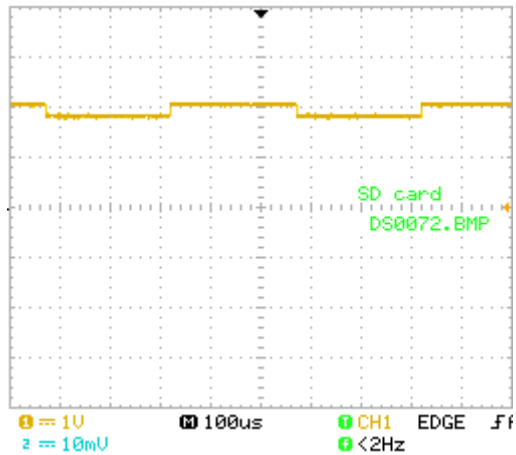


Figura 4.18. Señal Cuadrada con el Potenciómetro Digital a 255

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se observa en los resultados gráficos obtenidos, la fiabilidad y robustez del prototipo desarrollado, en cada una de sus etapas, es asegurada a través de estas pruebas.

4.3. PRUEBAS DE FUNCIONAMIENTO.

Para comprobar el correcto funcionamiento de la tarjeta de adquisición de datos a través de la interfaz de osciloscopio digital, se aplican diferentes tipos de señales en todo el rango frecuencial permisible a la tarjeta en cuestión y se contrastan las graficas mostradas en la interfaz de la PC con lo obtenido en un osciloscopio digital comercial (*GWINSTEK*) a través de un procesamiento de imágenes, con el propósito de conocer el porcentaje de similitud y el consecuente error de visualización existentes entre dichas graficas.

Para realizar las pruebas de funcionamiento, ambos osciloscopios se configuraron con acoplamiento DC y 5 voltios por división, el tiempo por división se configura dependiendo de la frecuencia de prueba.

A continuación se visualiza dicho contraste pudiendo apreciarse, a través de las tablas comparativas, la semejanza entre las graficas obtenidas.

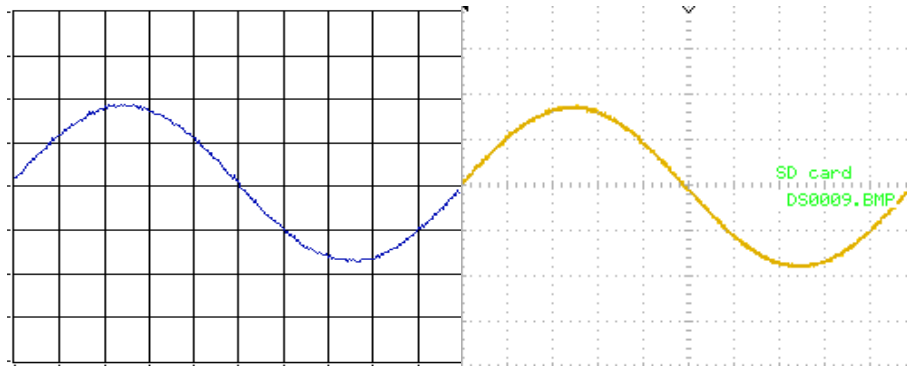


Figura 4.19. *Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo División Osc. PC	Tiempo División Osc. Comercial
100Hz	Senoidal	1ms	1ms

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
2.5MHz	256	99.45%	0.0055

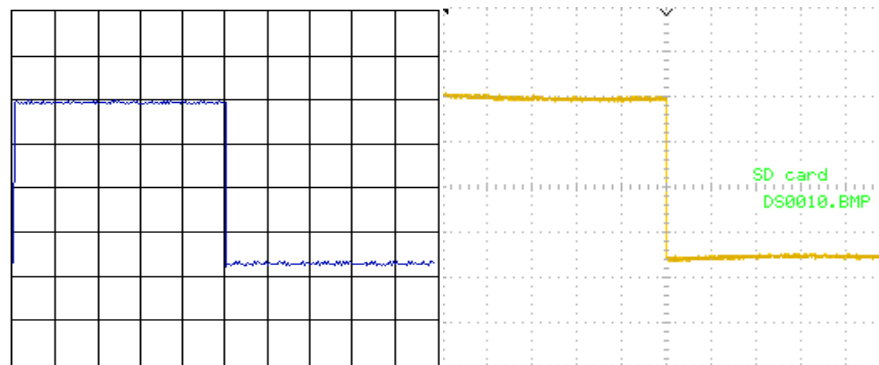


Figura 4.20. *Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
100Hz	Cuadrada	1ms	1ms

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
2.5MHz	256	99.67%	0.0033

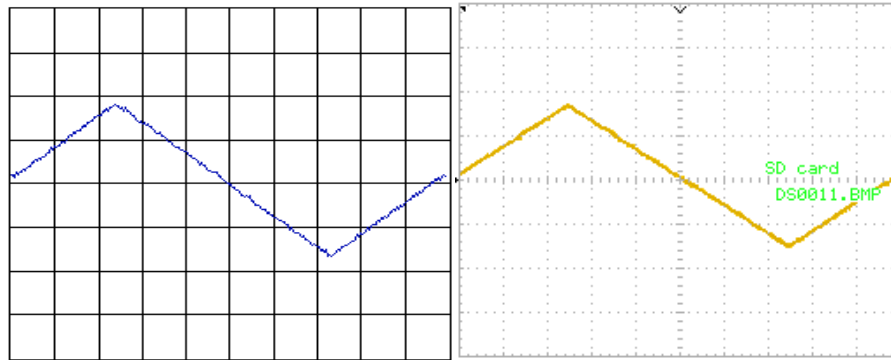


Figura 4.21. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
100Hz	Triangular	1ms	1ms

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
2.5MHz	256	99.23%	0.0077

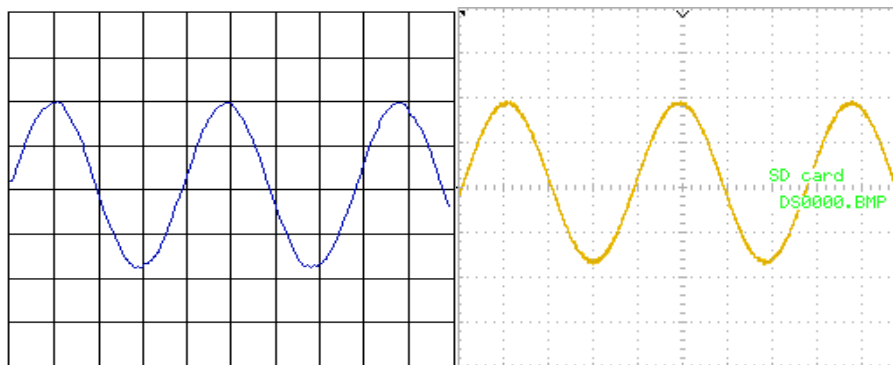


Figura 4.22. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
10KHz	Senoidal	0.25ms	0.25ms

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
1MHz	100	98.84%	0.0116

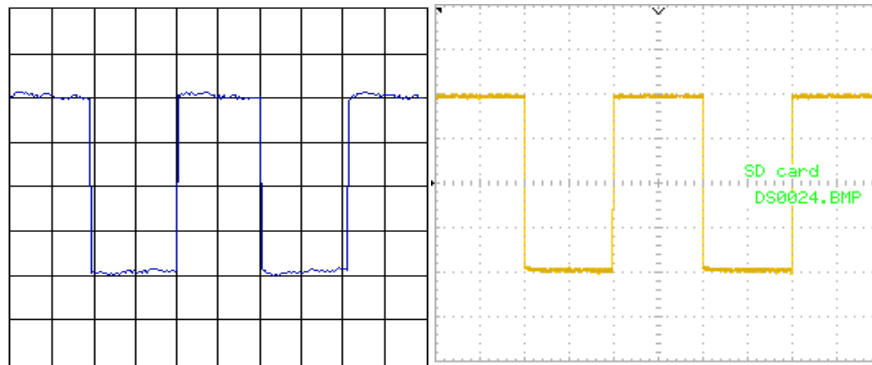


Figura 4.23. *Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
10KHz	Cuadrada	0.25ms	0.25ms

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
1MHz	100	97.36%	0.0264

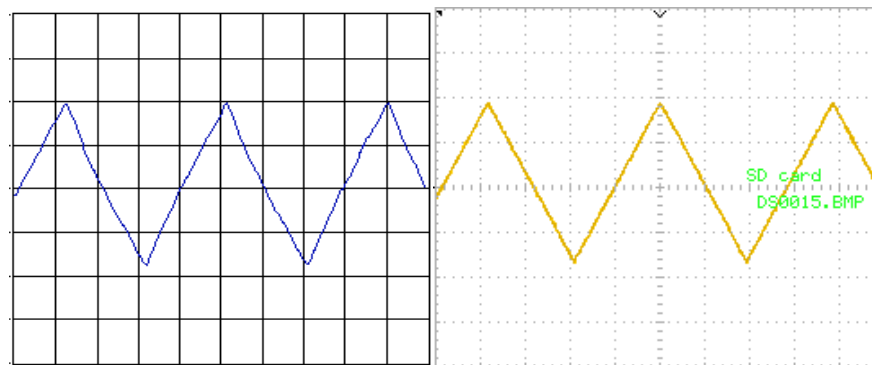


Figura 4.24. *Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
10KHz	Triangular	0.5ms	0.5ms

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
1MHz	100	97.8%	0.022

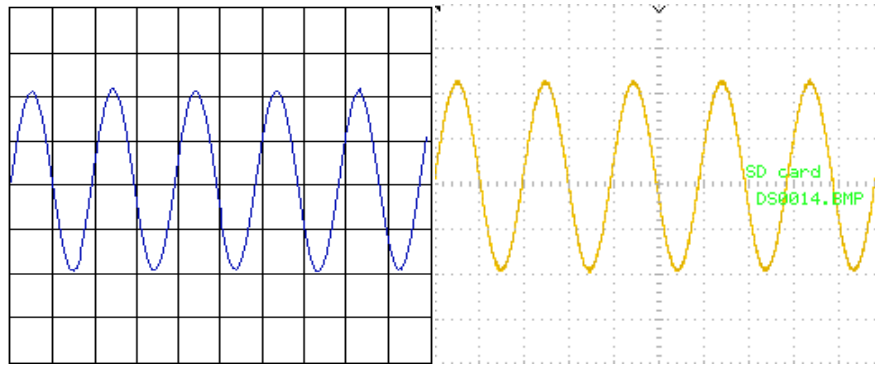


Figura 4.25. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
100KHz	Senoidal	5us	5us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
5MHz	50	98.7%	0.013

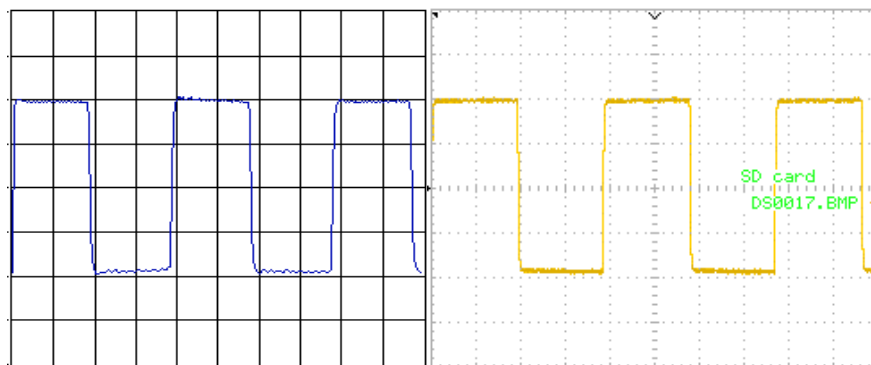


Figura 4.26. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
100KHz	Cuadrada	2.5us	2.5us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
10MHz	100	96.9%	0.031

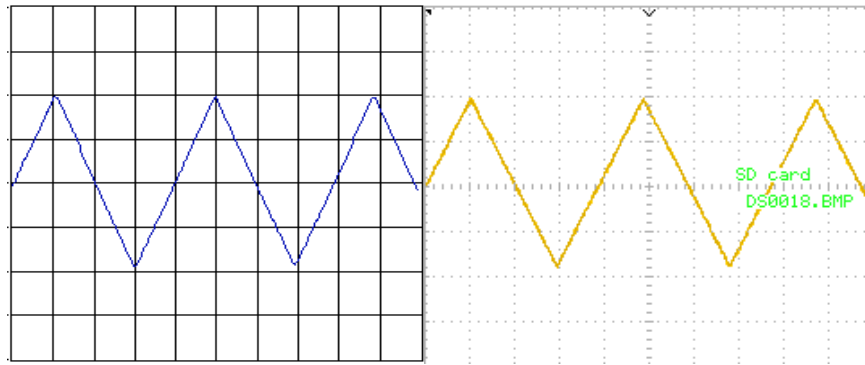


Figura 4.27. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
100KHz	Triangular	2.5us	2.5us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
10MHz	100	98.35%	0.0165

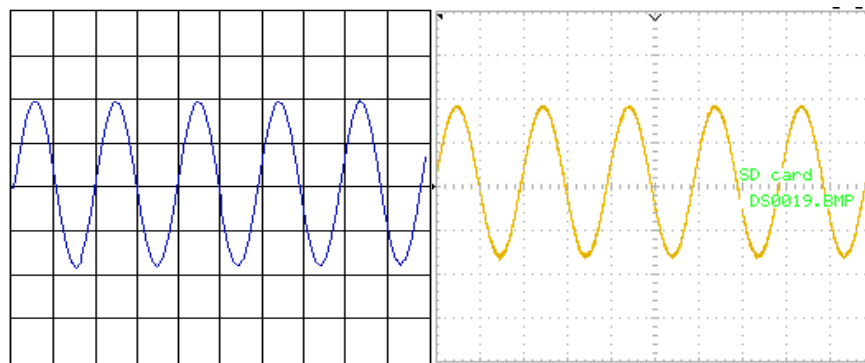


Figura 4.28. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
500KHz	Senoidal	1us	1us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
5MHz	50	98.7%	0.013

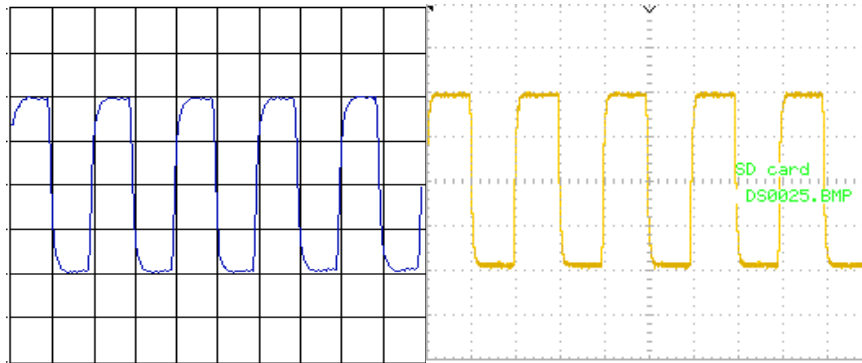


Figura 4.29. *Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
500KHz	Cuadrada	1us	21us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
5MHz	50	96.9%	0.031

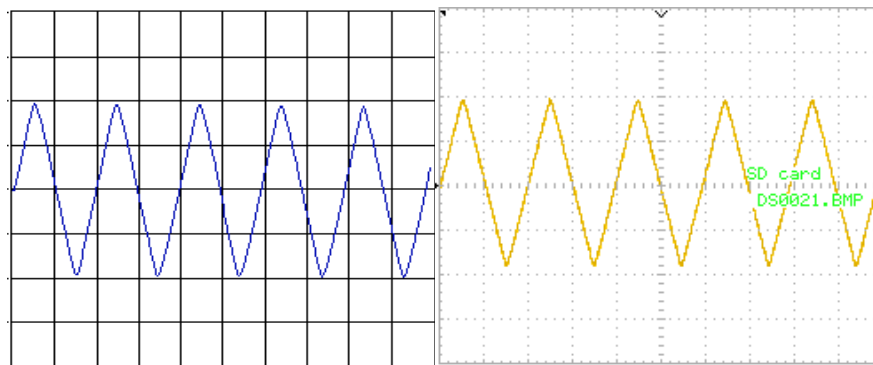


Figura 4.30. *Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.*

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
500KHz	Triangular	1us	1us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
5MHz	50	98.35%	0.0165

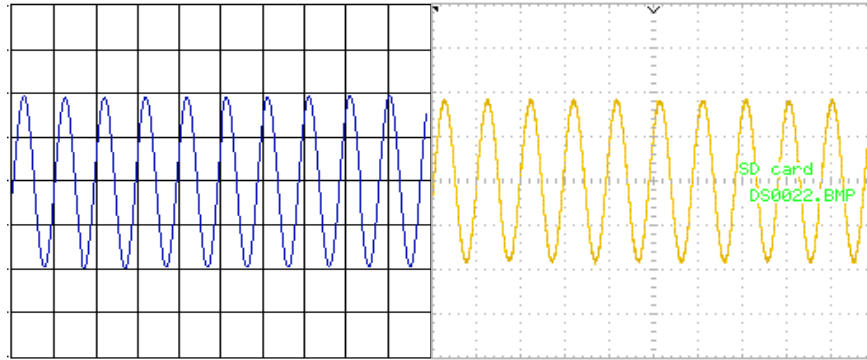


Figura 4.31. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
500KHz	Triangular	1us	1us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
5MHz	50	98.35%	0.0165

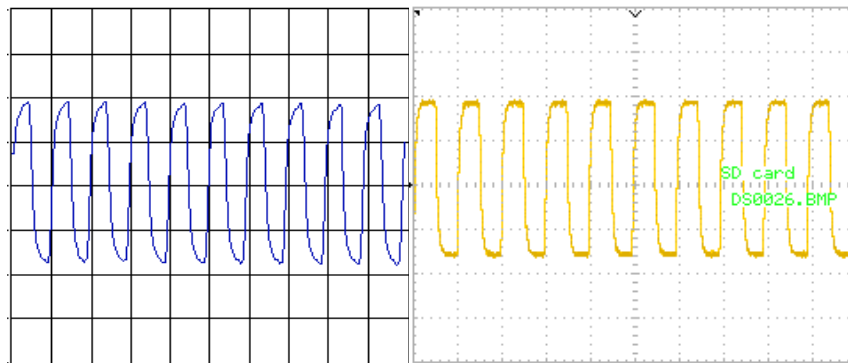


Figura 4.32. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
1MHz	Cuadrada	1us	1us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
10MHz	10	94.5%	0.055

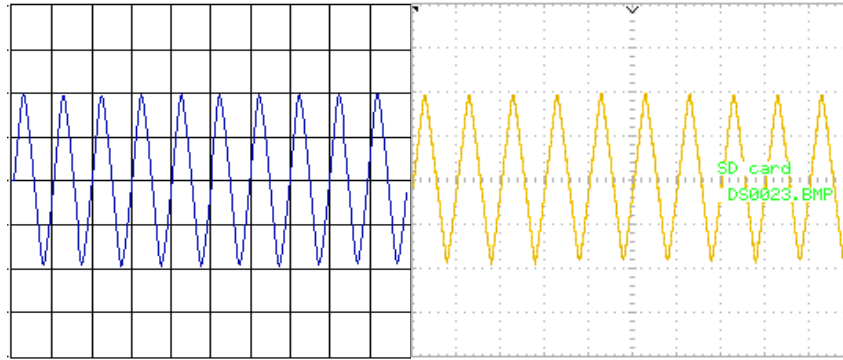


Figura 4.33. Izq. Grafica Osc. PC. Der. Grafica Osc. Comercial.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo división Osc. PC	Tiempo División Osc. Comercial
1MHz	Triangular	1us	1us

Frecuencia de muestreo	# de muestras tomadas	% de aproximación	Error de visualización
10MHz	10	96.3%	0.037

Como se aprecia en los resultados anteriores (figs. 4.19 – 4.33), existe un alto porcentaje de similitud entre las graficas obtenidas mediante el osciloscopio PC con las del osciloscopio comercial, por lo que se puede afirmar que la tarjeta de adquisición de datos de alta velocidad presenta una gran fiabilidad y una gran robustez en su diseño para la medición y testeo de todas aquellas aplicaciones de alta frecuencia.

4.3.1. CARACTERÍSTICAS TÉCNICAS DEL PROTOTIPO.

Para determinarlas es necesario conocer los parámetros de calidad que caracterizan a un osciloscopio digital, entre los principales están [61]:

- *Ancho de Banda Analógico*, el cual se define como el limite frecuencial máximo en una señal de entrada que puede manejar el osciloscopio, sin presentar errores significativos en su digitalización. Este parámetro viene determinado por las características frecuenciales de los elementos que conforman el sistema. Generalmente esta dado en el orden de los MHz

- *Frecuencia de Muestreo*, la cual viene determinada por la velocidad máxima de muestreo que alcanza el ADC para una digitalización de la señal de ingreso. Este parámetro está influenciado por la frecuencia de reloj máxima alcanzada por el sistema y por el ancho de banda propio del dispositivo. Generalmente está dado en el orden de los Msps.
- *Sensibilidad Vertical*, se define como el mínimo cambio de la señal de entrada que puede ser detectado por el osciloscopio, está determinado por la ganancia máxima del amplificador vertical y los niveles de voltaje manejados. Generalmente está dado en mV/div.

Para determinar el ancho de banda (*BW*) de la tarjeta de adquisición de datos fue necesario aplicarle señales cuadradas de alta frecuencia, empezando desde 1Mhz, con el objetivo de conocer desde qué frecuencia la señal comienza a deformarse en las diferentes etapas, esta deformación está estrechamente ligada al ancho de banda máximo de los dispositivos utilizados. Luego de varias pruebas se ha visto que los elementos usados en la etapa de ingreso son los que ofrecen el menor ancho de banda de todo el sistema, y dentro de esta etapa, los dispositivos MMBFJ309 (JFET) son los que presentan un *BW* máximo de 1.5MHz, verificado en su hoja de datos, es por esto que se concluye que el ancho de banda analógico del prototipo desarrollado es 1.5MHz.

Para aumentar este parámetro, es necesario el cambio de este elemento por uno similar de mayores características frecuenciales, con esto se puede asegurar una reconstrucción fiel de aquellas señales analógicas con una mayor frecuencia que 1.5MHz.

Las siguientes figuras muestran la señal de entrada vs la onda resultante a la salida de la etapa de ingreso.

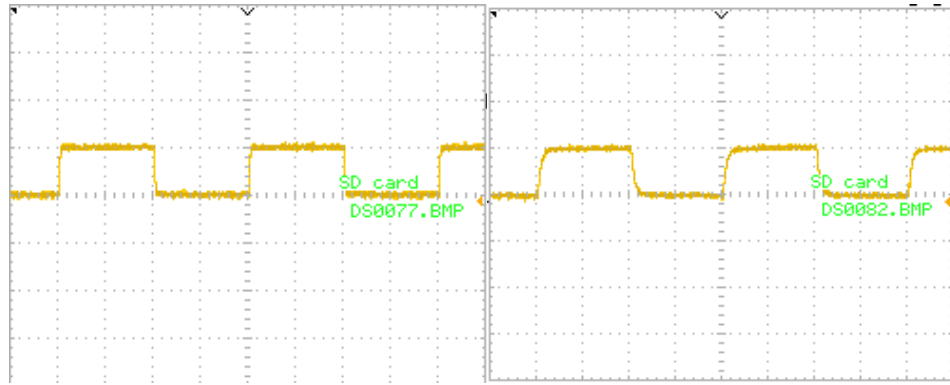


Figura 4.34. Izq. Señal de ingreso al sistema. Der. Onda resultante.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad

Frecuencia de prueba	Tipo de Señal	Tiempo por división	% de aproximación	Error de visualización
1MHz	Cuadrada	0.25us	99.1%	0.009

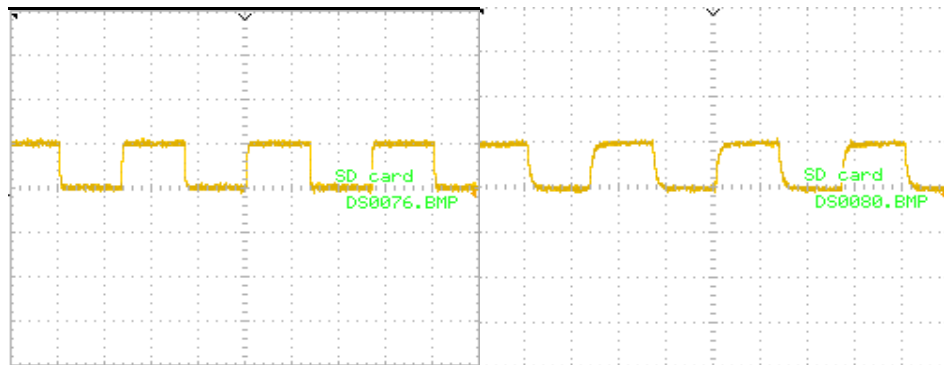


Figura 4.35. Izq. Señal de ingreso al sistema. Der. Onda resultante.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Frecuencia de prueba	Tipo de Señal	Tiempo por división	% de aproximación	Error de visualización
1.5MHz	Cuadrada	0.25us	98.93%	0.0107

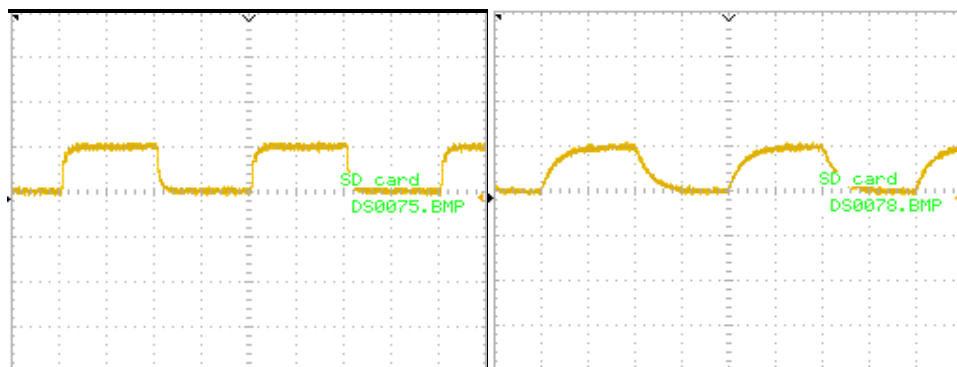


Figura 4.36. Izq. Señal de ingreso al sistema. Der. Onda resultante.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Frecuencia de prueba	Tipo de Señal	Tiempo por división	% de aproximación	Error de visualización
2.5MHz	Cuadrada	0.1us	82.9%	0.171

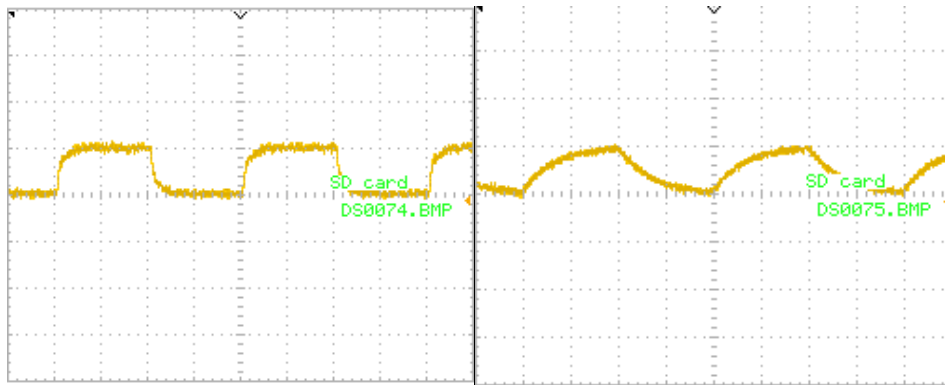


Figura 4.37. Izq. Señal de ingreso al sistema. Der. Onda resultante.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Frecuencia de prueba	Tipo de Señal	Tiempo por división	% de aproximación	Error de visualización
3MHz	Cuadrada	0.1us	62.56%	0.3744

El ancho de banda mencionado anteriormente se ratifica a través de estas figuras (figs. 4.34 a 4.37) ya que hasta 1.5MHz la señal medida mantiene su característica cuadrada y a partir de esta frecuencia de prueba comienza a perder dicha característica. Esto es corroborado a través de los errores de visualización calculados.

La frecuencia de muestreo del sistema, como se mencionó anteriormente, esta determinada por la máxima velocidad de conversión alcanzada en el prototipo, debido a que esta depende completamente de la señal de reloj máxima utilizada se ha determinado que la frecuencia de muestreo alcanzada es de 25MHz.

Para determinar la sensibilidad vertical del sistema (SV), la cual viene dada por las características del ADC utilizado, se debe recurrir a su hoja de datos [48], en ella se establece que las señales máximas de ingreso a este dispositivo deben tener un nivel de tensión entre $\pm 512mV_{pp}$, al conocer que el ADC tiene una resolución vertical de 8bits (256niveles) el cambio mas pequeño en voltaje que puede detectar dicho ADC se calcula de la siguiente forma:

$$SV = \frac{512mV * 2}{256 div}$$

$$SV = 4mV/div$$

Existen algunos parámetros adicionales como la Longitud de registro y la Resolución vertical los cuales fueron determinados mediante las características funcionales de los elementos que conforman el sistema, mostradas en sus hojas

de datos, mientras que la impedancia de entrada fue determinada en el capítulo 3, a través del diseño de la etapa de ingreso.

Finalmente se han realizado las mediciones de las características eléctricas máximas que alcanza el prototipo desarrollado, para ello se ha medido la corriente consumida por cada alimentación con el propósito de conocer el consumo generado. Los valores obtenidos son:

<i>Voltaje medido</i>	<i>Valores obtenidos</i>
5Vcc	13mA – 65mW
3.3V	59mA – 195mW
3.3V	165mA – 495mW
5V	50mA – 250mW
-5V	31mA – 103mW

Tabla 4.1. Consumo generado en cada alimentación.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

A continuación se detallan los parámetros de calidad resultantes (tabla 4.2) de los análisis anteriormente realizados en el prototipo, estos parámetros permiten definir la fiabilidad del producto desarrollado. En la siguiente tabla estos son contrastados con los parámetros del osciloscopio digital elegido como patrón (*GWINSTEK*) para observar las características ofrecidas por cada uno de ellos.

<i>Parámetros</i>	<i>Valores máximos Osc. PC.</i>	<i>Valores máximos Osc. Comercial.</i>
Corriente total	318mA	1A
Potencia total	1.108W	18W
Frecuencia de muestreo	25MHz	1GHz
Ancho de banda analógico	1.5MHz	100MHz
Sensibilidad vertical	4mV/div	2mV/div
Resolución vertical	8bits	8bits
Longitud del registro	1Mbit (128Kceldas x 8bits)	1Mbit x canal
Impedancia de entrada	1MΩ	1MΩ
Voltaje de ingreso	22Vpp	300Vpp
Numero de canales	1	2

Precio de venta	\$200	\$1107,68
-----------------	-------	-----------

Tabla 4.2. Comparación entre los parámetros de calidad de los osciloscopios.

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Como se aprecia en la tabla comparativa, el producto ofrecido presenta parámetros aceptables en cuanto a sensibilidad vertical, resolución vertical, longitud de registro e impedancia de entrada, al contrastarlo con el osciloscopio comercial [62]. La frecuencia de muestreo y el ancho de banda analógico del mismo son mucho menores que los del osciloscopio comercial, sin embargo estas falencias se ven compensadas en su bajo precio de venta al público.

4.4. PRUEBAS DE CAMPO

20 estudiantes manipularon el prototipo desarrollado, utilizándolo como osciloscopio digital y como módulo multifuncional para el desarrollo de diversas prácticas tanto digitales como analógicas, con el fin de comprobar el funcionamiento del mismo. Una vez realizadas las pruebas respectivas se aplicó una encuesta de Aceptabilidad y Satisfacción del producto presentado con lo cual se determinó el nivel de acogida que tiene el prototipo en cuestión, y se pudo conocer las sugerencias por parte de los usuarios en cuanto a posibles mejoras sobre él.

La encuesta consta de 8 preguntas con un rango de respuesta de 1 a 5 siendo 1 la de menor valor.

Las tablas que se exponen a continuación reflejan el resultado de cada pregunta.

1. El producto es práctico y funcional.

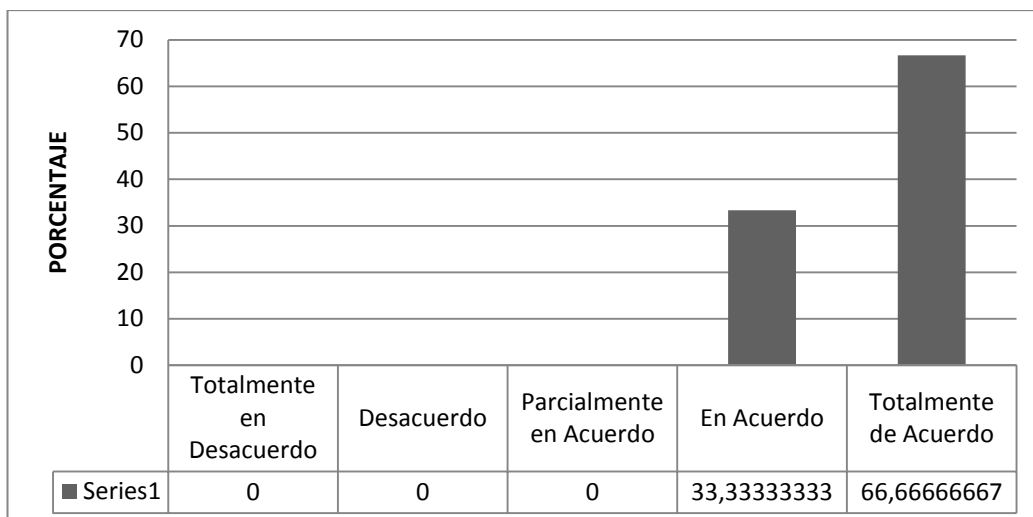


Tabla 4.3. Resultados Pregunta 1

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Los valores expuestos en la tabla anterior muestran una gran aceptabilidad del producto, considerándolo como útil para el desarrollo de las prácticas que los encuestados requieren.

2. El producto es de mejor calidad que las tarjetas de adquisición de datos u osciloscopios, generalmente ofertados en el mercado.

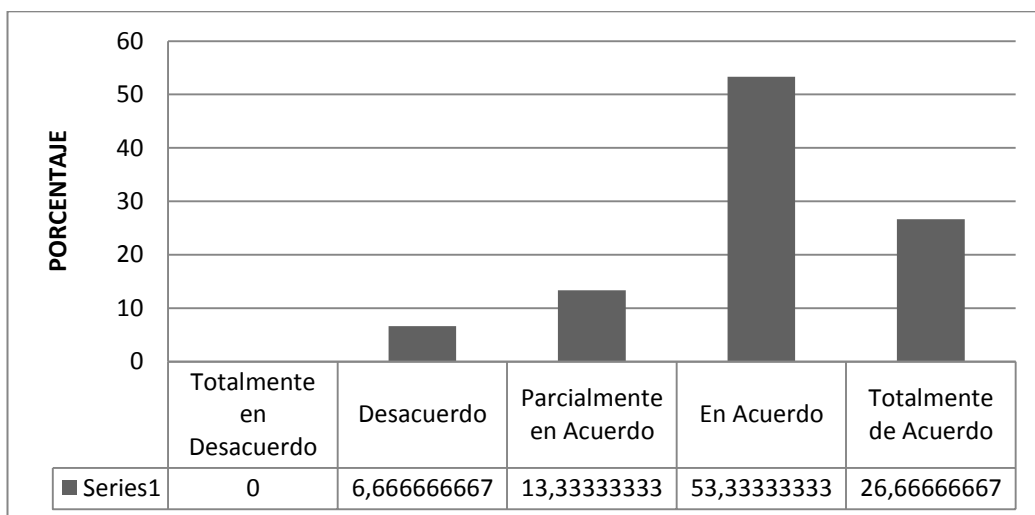


Tabla 4.4. Resultados Pregunta 2

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La tabla 4.4 muestra un acuerdo casi total cuando se compara el prototipo con un producto similar ya existente, estos resultados se deben a que el producto desarrollado no es catalogado todavía como competitivo y por ello se hacen

presentes algunas sugerencias por parte de los usuarios en cuanto a funcionalidad se refiere.

3. El producto presenta comodidad en el uso para las diferentes prácticas realizadas.

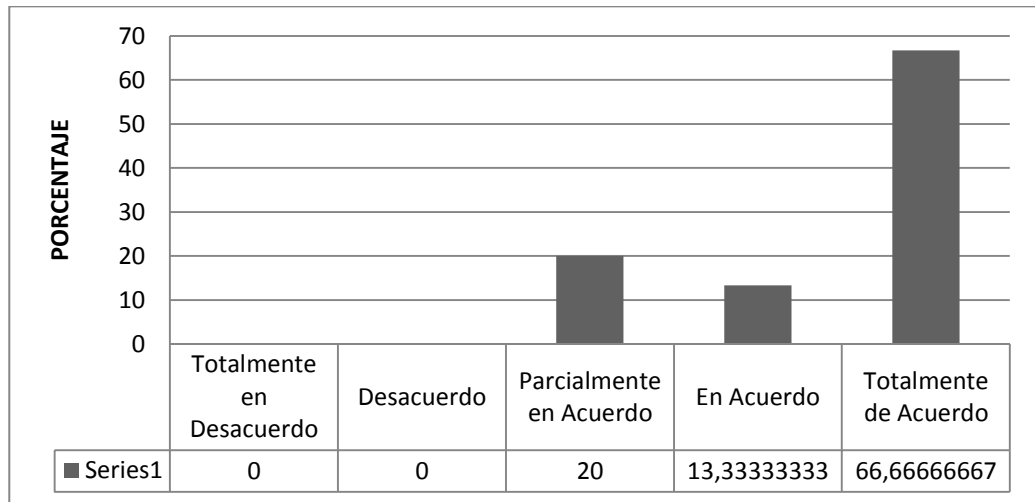


Tabla 4.5. Resultados Pregunta 3

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La tabla anterior expone el porcentaje de comodidad ofrecido por el producto, obteniendo respuestas bastante satisfactorias por parte de los usuarios encuestados.

4. El producto satisface sus necesidades.

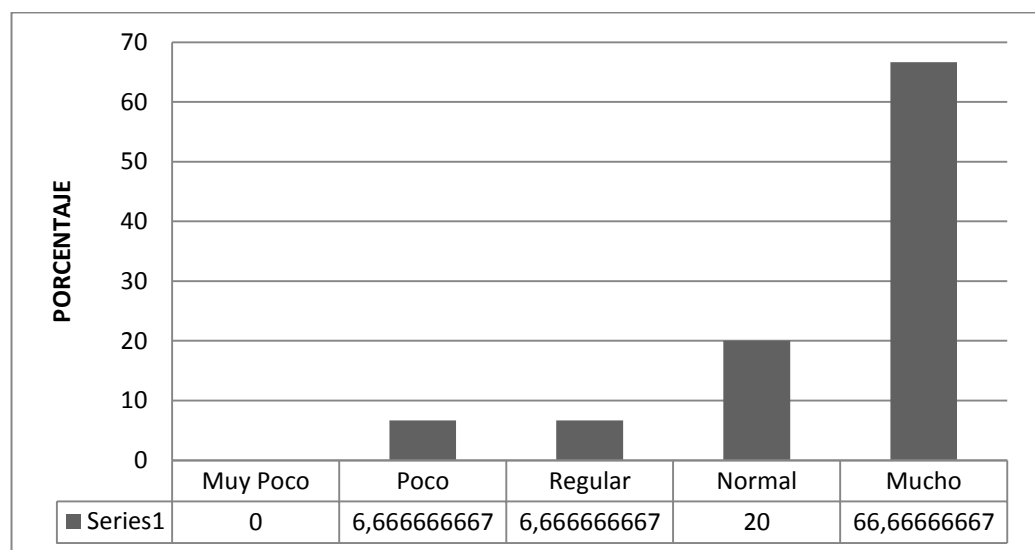


Tabla 4.6. Resultados Pregunta 4

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

En la tabla anterior se aprecia que el producto es muy satisfactorio en cuanto al desarrollo de prácticas se refiere por las diversas funciones con las que cuenta.

5. Es fácil su manipulación.

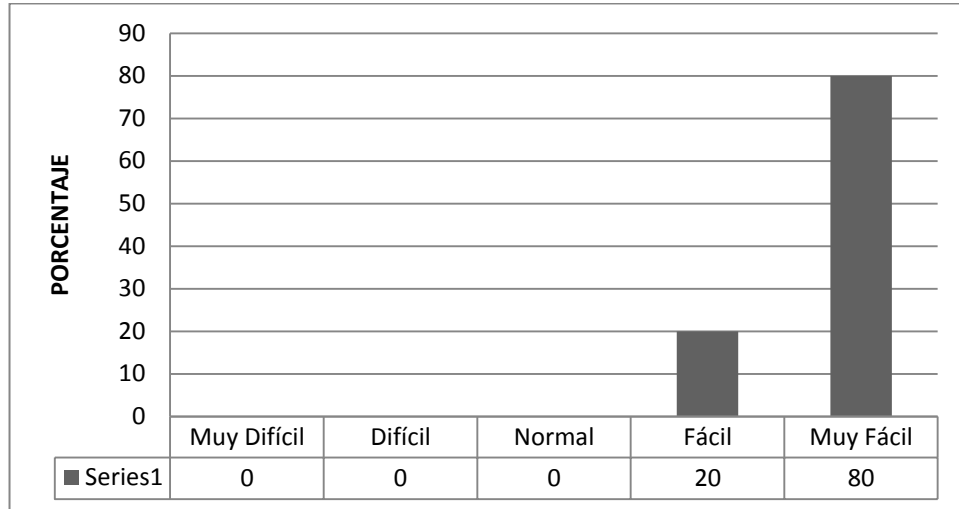


Tabla 4.7. Resultados Pregunta 5

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Los resultados de la tabla 4.7 permiten verificar la facilidad en la manipulación del producto por parte de los usuarios, esto se debe a que cuenta con controles y funciones similares a las de los osciloscopios digitales comúnmente utilizados en la universidad.

6. La interfaz grafica de Osciloscopio Digital brindada es amigable con usted.

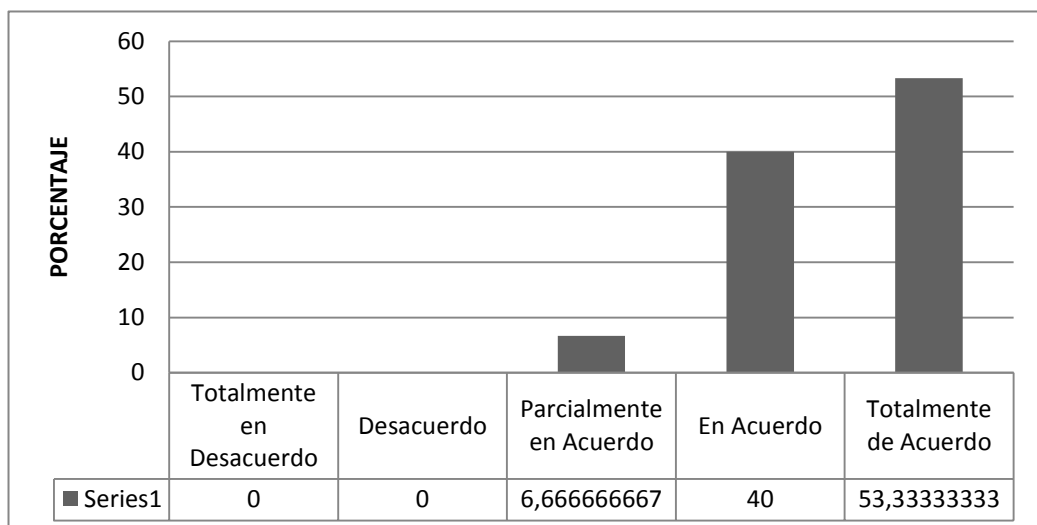


Tabla 4.8. Resultados Pregunta 6

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

La tabla 4.8 refleja la aceptación con la que cuenta la interfaz gráfica implementada en el producto. La característica de amigable que presenta permite una familiarización inmediata con el mismo sin necesidad de cursos introductorios, brindándole al usuario una experiencia real de laboratorio integrado.

- 7. Que precio estaría dispuesto a pagar por este producto, dado que ofrece una tarjeta de adquisición de datos de alta velocidad y un módulo de prácticas incorporado (Las cantidades mostradas están en dólares americanos).**

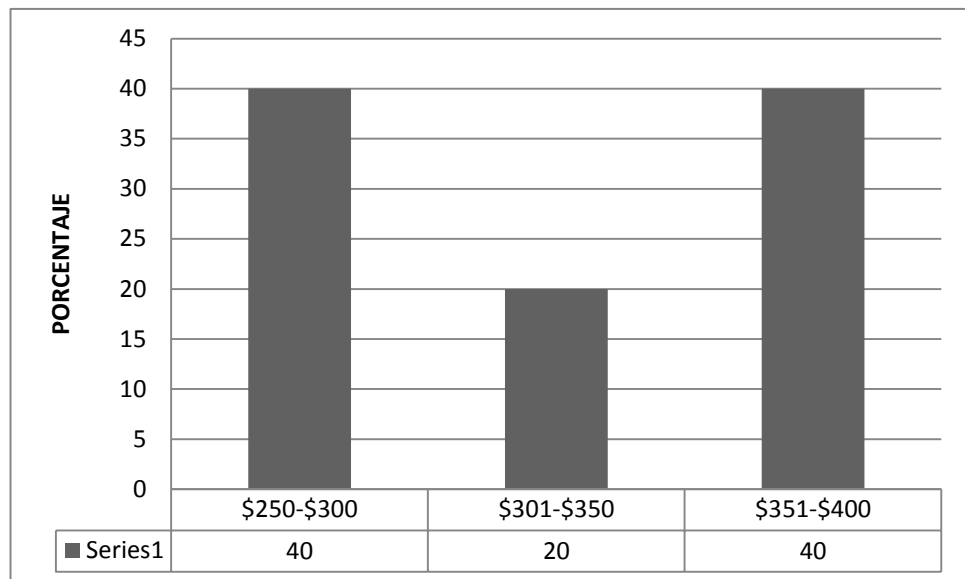


Tabla 4.9. Resultados Pregunta 7

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Debido a que existe una gran aceptación para un precio a pagar entre \$301 y \$400 se puede definir que el precio de venta al público del producto sea entre \$275 y \$325 con el propósito de abarcar un mayor número de compradores.

- 8. Indique su aceptación al producto presentado teniendo en cuenta que es un prototipo de arquitectura abierta (Permite el conocimiento de su estructura interna para reproducción o fines similares, a diferencia de los productos ofrecidos por otras empresas existentes y desarrolladoras de proyectos similares.)**

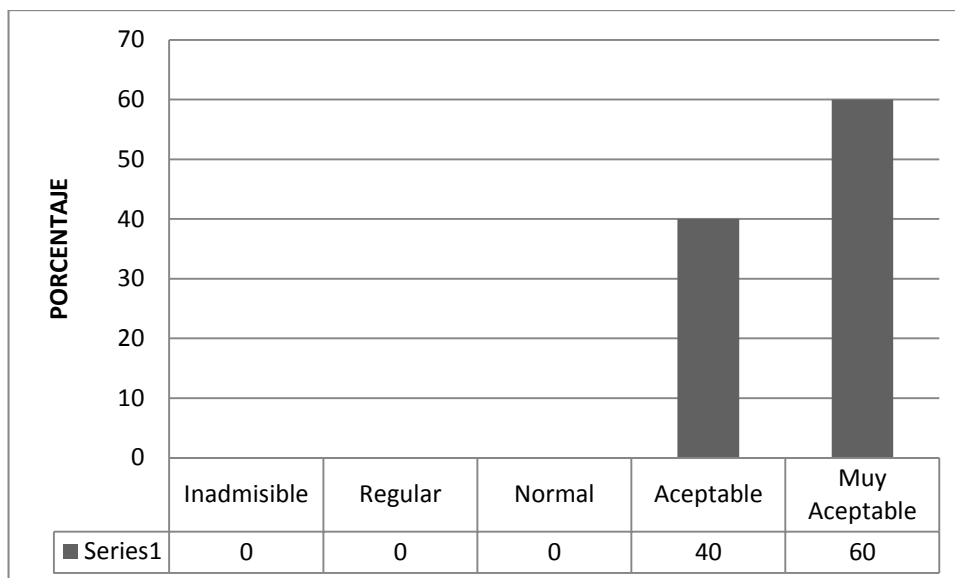


Tabla 4.10. Resultados Pregunta 8

Fuente: Propia (2011). Tarjeta DAQ de alta velocidad.

Los resultados de la tabla 4.10 determinaron que el prototipo presenta una gran aceptación al estar desarrollado sobre una arquitectura libre.

Al ser catalogado como un producto no competitivo en el mercado actual, los usuarios expresaron las siguientes sugerencias:

- Añadir un canal al prototipo.
- Añadir un generador de funciones.
- Añadir periféricos al módulo multifuncional.

Sin embargo, la cantidad de funcionalidades ofrecidas por este prototipo es muy significativa, es por ello que los usuarios han catalogado al producto como:

- Asequible.
- Fácil de usar.
- Útil para la mayoría de las necesidades requeridas.
- Cómodo en su manipulación.

Todas estas características validan la tarjeta de adquisición de datos como un sistema funcional y práctico de alto impacto educativo a mediano y largo plazo.

CAPITULO V.

RESUMEN, CONCLUSIONES Y RECOMENDACIONES

En el capítulo I se estudiaron las tecnologías de adquisición de datos de alta velocidad en las que se trataron sobre los elementos que conforman un sistema de adquisición de datos (S.A.D.) y los esquemas utilizados. Se revisaron los sistemas de procesamiento digital de señales (D.S.P.), analizando el hardware y software necesario y las estructuras integradas sobre las cuales se efectúan este tipo de procesamientos. Se finaliza este capítulo con un compendio sobre las arquitecturas libres y propietarias de adquisición y procesamiento de datos, en el cual se exponen las normativas para que un sistema se considere como de arquitectura libre, así como una breve revisión sobre las arquitecturas libres y propietarias existentes en el mercado.

Se concluye que los sistemas de adquisición de datos de alta velocidad son muy útiles en el campo educativo para diversas aplicaciones de medición y testeo cuyas características superen los límites frecuenciales comunes y alcancen un funcionamiento en radiofrecuencia.

Para que dichos sistemas tengan un correcto funcionamiento y una estructura robusta, deben valerse de arquitecturas de procesamiento de señales, como los microcontroladores, microprocesadores y CPLD's, mediante los cuales se posibiliten mediciones en tiempo real.

Las diferentes empresas proveedoras de este tipo de sistemas buscan satisfacer cada vez un mayor número de necesidades, sin embargo éstos ofrecen una reducida compatibilidad de software, en este escenario se posibilita la aparición de los sistemas de arquitectura libre que permiten a los usuarios el conocimiento de su estructura interna y una compatibilidad total con los productos de software de medición y procesamiento desarrollados, con el fin de que dichos usuarios puedan reproducirlos, mejorarlos y evolucionarlos como un producto deseable en el mercado actual.

En el capítulo II se estudian los Laboratorios Integrados. En éste se analiza una encuesta realizada dentro de la Universidad Politécnica Salesiana sede Cuenca acerca de la necesidad y utilidad que presenta el proyecto en cuestión. Se muestra además una investigación sobre los modelos de laboratorios existentes en ingeniería, y se complementa este capítulo con la exposición de la propuesta de un laboratorio integrado.

Debido al creciente número de estudiantes que hacen uso de los laboratorios de prácticas de la universidad se reduce cada vez el espacio físico disponible para realizarlas con comodidad, es por ello que el producto desarrollado se cataloga como de gran importancia para satisfacer esta creciente necesidad.

El proyecto en cuestión brinda un producto portátil que integra a la vez una tarjeta de adquisición de datos de alta velocidad y un módulo multifuncional con el fin de ofrecer una experiencia de laboratorio integrado.

En el capítulo III se muestra el Diseño y Análisis de la Tarjeta de Adquisición de Datos de Alta Velocidad. Se define el diseño funcional del sistema y de cada una de sus etapas. Seguidamente se estudia la implementación de la alta velocidad sobre los sistemas comunes (de baja frecuencia). Se verifica su ejecución sobre el diseño funcional, a través del diseño electrónico de los módulos y se realizan simulaciones sobre escenarios de alta frecuencia. Luego se trata sobre el diseño mecánico y la construcción del prototipo, y finalmente se muestra el software de manipulación implementado en lenguaje gráfico.

Se concluye que una tarjeta de adquisición de datos de alta velocidad requiere un diseño funcional robusto ya que solo así se puede asegurar la fiabilidad característica de este tipo de sistemas, estos diseños se deben implementar a través de elementos de altas propiedades frecuenciales que permitan un rango de velocidad aceptable para la aplicación a la cual va encaminada el prototipo.

Las normas de diseño en altas frecuencias de funcionamiento, aplicadas sobre el PCB, permiten prevenir cualquier anomalía que se pueda presentar en la puesta en marcha de un diseño en particular. Al saber que estas anomalías se hacen presentes desde los 8MHz una de las técnicas empleadas consiste en mantener, en todos los diseños alcanzados, un trayecto de corriente de retorno definido con el fin de evitar

los acoplamientos parásitos entre elementos activos de alta frecuencia, esta técnica empleada en conjunto con un plano de masa continuo sobre la cara inferior del PCB, aseguran la prevención en un 90% de los efectos producidos por interferencia electromagnética.

Se debe asegurar que el software de diseño electrónico posea diferentes escenarios de análisis en alta frecuencia con el propósito de poder observar las respuestas que presentan los circuitos conformantes. Estos escenarios de análisis son importantes en este tipo de diseños ya que permiten asegurar una transferencia transparente, de los datos de alta frecuencia, entre los dispositivos involucrados.

La construcción de los prototipos iniciales logrados resulto en un proceso de gran aprendizaje, ya que permitió verificar falencias en diseño, en lo que respecta a dimensiones de trayectos y agujeros de acuerdo a las características de las maquinas de fresado de placas, posibilitando de esta forma evitar este tipo de errores sobre el prototipo final.

La interfaz de Osciloscopio Digital, integrada en el proyecto, es el medio de verificación de la fiabilidad del producto ofrecido, para ello se debe asegurar que dicha interfaz sea amigable para el usuario, en términos de estética y de facilidad de manipulación, con el fin de asegurar la aceptación del prototipo por parte del usuario final.

En el capítulo IV se presentan las Pruebas de la Tarjeta para comprobar su fiabilidad y robustez, entre las que están las pruebas técnicas, de funcionamiento y de campo. En las pruebas técnicas se verifica la integridad de la señal medida en cada una de las etapas. En las pruebas de funcionamiento se comprueba que el sistema cumpla con el fin propuesto. Además se calcula el ancho de banda, frecuencia de muestreo y los errores de visualización contrastados con un osciloscopio comercial. Finalmente se realizan pruebas de campo y encuestas, presentando el producto a varios estudiantes, para conocer la aceptación general del mismo.

Se concluye que para asegurar un producto de altas prestaciones, como es el caso, se lo debe someter a pruebas técnicas, de funcionamiento y de campo con el fin de obtener resultados reales en cuanto a robustez, fiabilidad y aceptabilidad de uso.

A través de las pruebas técnicas se verificó la funcionalidad parcial de cada etapa conformante con el propósito de aislar cualquier anomalía que se pueda presentar y evitar su influencia en el funcionamiento general del producto.

Mediante las pruebas de funcionamiento se verificó que el producto presenta una operación acorde con los osciloscopios comerciales. En estas pruebas se comprobaron los diferentes parámetros de calidad que debe presentar el hardware de este tipo de productos como son ancho de banda, frecuencia de muestreo, longitud de registro, sensibilidad vertical y resolución vertical, con el fin de asegurar un sistema competitivo en el mercado actual.

Para una correcta reconstrucción de la señal de ingreso, en el software de manipulación implementado, es necesario que la frecuencia de muestreo sea mayor o igual a 10 veces la frecuencia de la señal de ingreso, sin embargo existen técnicas de muestreo que permiten reconstruir señales cuya frecuencia supera la frecuencia de muestreo, entre las cuales la decimación es la más utilizada por los osciloscopios comerciales.

Y mediante las pruebas de campo se verificó la aceptabilidad, con la que cuenta el producto desarrollado, por parte de los estudiantes de ingeniería eléctrica y electrónica para la realización de sus diferentes prácticas. Además se obtuvieron sugerencias útiles para desarrollos y evoluciones futuras sobre dicho producto visto desde un ámbito comercial.

Se recomienda utilizar elementos electrónicos que tengan un tiempo de transición menor a 20 ns. con el propósito de aumentar el ancho de banda analógico del sistema lo que conlleva a poder realizar medidas de señales de mayor frecuencia a las que actualmente se pueden medir.

Para mejorar la forma de onda de la señal de reloj que ingresa al ADC y la RAM se recomienda usar otra técnica de división de frecuencia, esta puede ser la utilización de un divisor de frecuencia programable con lo que se reduciría en gran medida el espacio físico usado por la etapa de división de frecuencia actual.

Además, se recomienda el uso de terminaciones resistivas a la salida de la etapa de división de frecuencia para eliminar el sobresalto de voltaje presente en las señales de alta frecuencia que superan los 500KHz.

Para mejorar la reconstrucción de la señal de ingreso, se recomienda el uso de un conversor A/D con resolución superior a los 8 bits. Este cambio precisa el uso de una RAM con un número de E/S iguales a la resolución del ADC escogido.

Se recomienda el uso de convertidores DC - DC para las alimentaciones de la tarjeta ya que estos ofrecen mejor protección contra transitorios de corriente que las fuentes lineales comúnmente usadas.

Igualmente se recomienda el desarrollo de un software de comprobación que posea un amplio estudio de implementación sobre el prototipo logrado para evitar la visualización de datos erróneos en el momento de la reconstrucción de la señal de ingreso.

Finalmente, se recomienda a los usuarios y desarrolladores potenciales que, antes del uso del producto, se instruyan sobre el mismo cuyo manual y esquemas de funcionamiento están disponibles en la pagina web www.hsopendaq.org. Solo así se puede asegurar, por parte de los autores del presente trabajo, un correcto funcionamiento del mismo.

REFERENCIA BIBLIOGRÁFICA:

- [1] SIMTH W., Steven; “The Scientist and Engineer's Guide to Digital Signal Processing”; Segunda edición; 1997. *Documento recuperado 2011.*
<http://www.dspguide.com/pdfbook.htm>
- [2] ESCUDERO, J.; PARADA, M.; SIMÓN F.; “Instrumentación Electrónica”; Universidad de Sevilla, España; 2006. *Documento recuperado 2011.*
http://www.dte.us.es/ing_inf/ins_elec/
- [3] TAROT GÁLVEZ, Mario Edgar Luis; “Planteamiento del uso de instrumentación virtual para adquisición de datos”; Universidad de San Carlos, Guatemala; Octubre de 2004. *Documento recuperado 2011.*
http://biblioteca.usac.edu.gt/tesis/08/08_0119_EO.pdf
- [4] ALARCÓN, Rodrigo; “Protocolo USB y USB Flash Drive”; Universidad de Chile; 2008. *Documento recuperado 2011.*
<http://es.scribd.com/doc/56668671/Presentacion-USB>
- [5] “UN PASEO POR USB 2.0”; Soporte Técnico OEM; FUJITSU ESPAÑA; Marzo de 2003. *Documento recuperado 2011.*
<http://www.fujitsu.com/downloads/EU/es/soporte/discosduros/UnpaseoporUSB-2.pdf>
- [6] “Data Acquisition Fundamentals”; National Instruments; Mayo de 2006. *Documento recuperado 2011.*
<http://cires.colorado.edu/jimenez-group/QAMSResources/Docs/DAQbasics.pdf>
- [7] RAMOS LÓPEZ, José; “Conversión de Señales”; Instrumentación Electrónica; Universidad de El Salvador; 2009. *Documento recuperado 2011.*
http://www.oocities.org/iel_115/archivos/capitulo2.pdf
- [8] RUIZ MERINO, Ramón; “Sistemas de adquisición de datos: Convertidores D/A y A/D”; Universidad Politécnica de Cartagena, Colombia; Octubre de 2009. *Documento recuperado 2011.*
http://wsdetcp.upct.es/Personal/R_Ruiz/Docencia/Tecnicas de Analisis y Diseño /Tema4 ADC v0.pdf
- [9] REMIRO DOMÍNGUEZ, Fernando; “Circuitos de adquisición de datos”; IES Juan de la Cierva, Madrid; Octubre de 2001. *Documento recuperado 2011.*
http://www.terra.es/personal3/rtamayo/Archivos/Tema10_1.PDF
- [10] KOEN, Mike; “High Speed Data Conversion”; Burr Brown, Application Bulletin; Junio de 1991. *Documento recuperado 2011.*
<http://focus.ti.com/lit/an/sbaa045/sbaa045.pdf>

- [11] Tracnova S.A.; “La Instrumentación Virtual”; National Instrumentos Corp; Octubre de 2003. *Documento recuperado 2011*.
<http://www.tracnova.com/tracnova-pub/La%20Instrumentaci%20F3n%20Virtual.pdf>
- [12] MENDIBURU DÍAZ, Henry Antonio; “Instrumentación virtual industrial”; Julio de 2006. *Documento recuperado 2011*.
http://www.lulu.com/items/volume_25/410000/410720/1/print/InstrumentacionVirtualIndustrial.pdf
- [13] VELÁZQUEZ, Iván; “Instrumentación Virtual”; Universidad de la Frontera, Chile. *Documento recuperado 2011*.
http://www.inele.ufro.cl/apuntes/Instrumentacion_y_Control/Ivan_Velazquez/Catedra/Capitulo%207.%20Instrumentacion%20Virtual.pdf
- [14] NAIR, Chandran; “Adelantos y Tendencias en Adquisición de Datos Portátil”; National Instruments; Mayo de 2005. *Documento recuperado 2011*.
<http://www.tracnova.com/tracnova-pub/Adelantos%20y%20Tendencias%20en%20Adquisici%20F3n%20de%20Datos%20Port%20E1til.pdf>
- [15] LEONIDAS, Wilson; “Sistemas basados en el procesamiento digital de señales”; Universidad Nacional de Altiplano, Puno – Perú. *Documento recuperado 2011*.
<http://www.slideshare.net/wilsonlnds/sistemas-basados-en-el-procesamiento-digital-de-seales-compatibility-mode>
- [16] PROAKIS, J.G., MANOLAKIS, D.G.; *Digital Signal Processing: Principles, algorithms and applications*; Tercera Edicion; Edit. Prentice-Hall, Inc.; USA; 1996.
- [17] HERNÁNDEZ, Ivette; “Procesamiento Digital de Señales”; Laboratorio de Procesamiento Digital de Señales, 2004. *Documento recuperado 2011*.
<http://www.monografias.com/trabajos17/procesamiento-digital/procesamiento-digital.shtml>
- [18] CÁRDENAS ESPINOZA, Rubén Darío; “CURSO FPGA (PROGRAMACIÓN DE ARREGLOS DE COMPUERTAS)”; Universidad de Manizales, Caldas, Colombia; Agosto de 2009. *Documento recuperado 2011*.
<http://www.monografias.com/trabajos-pdf3/curso-fpga-programacion-arreglos-compuertas/curso-fpga-programacion-arreglos-compuertas.pdf>
- [19] BROWN, Stephen, ROSE, Jonathan; “Architecture of FPGAs and CPLDs: A Tutorial”; Universidad de Toronto, Canada. *Documento recuperado 2011*.
<http://www.eecg.toronto.edu/~jayar/pubs/brown/survey.pdf>

- [20] LÓPEZ VALLEJO, M.; AYALA RODRIGO, J.; “FPGA: Nociones básicas e implementación”; Universidad Politécnica de Madrid; Abril 2010. *Documento recuperado 2011.*
http://www.miky.com.ar/fpga_2004.pdf ,
- [21] “XILINX, FPGAS plataformas educativas, comerciales en Ecuador”. *Página electrónica 2011.*
http://aliatron.com/loja/catalog/products_new.php?page=5&osCsid=gtb3
- [22] “Microcontroladores de 32 bits”; Electrocomponentes S.A.. *Documento recuperado 2011.*
http://www.electrocomponentes.com/novedades/junio2010/presentacion_microcontroladores_32bits.pps
- [23] SÁNCHEZ – ELEZ, Marcos, MOLINA, Ma. Carmen; “Introducción a la programación en VHDL”; Universidad Complutense de Madrid. *Documento recuperado 2011.*
<http://es.scribd.com/doc/51136679/intvhdl-pdf-VHDL>
- [24] VERA, Mario, VEJARANO, Gustavo, VELASCO, Jaime; “Diseño de Funciones DSP Usando VHDL y CPLDs – FPGAs”; Universidad del Valle, Cali-Colombia. *Documento recuperado 2011.*
<http://www.iberchip.net/IX/Articles/POST-082.pdf>
- [25] R. C., Javier; “Software libre vs código abierto”; Enero del 2010. *Documento recuperado 2011.*
<http://ideaschile.wordpress.com/2010/01/21/software-libre-vs-codigo-abierto/>
- [26] Archivo:MapaConceptualFLOSS.png; Agosto de 2011. *Imagen recuperada 2011.*
<http://es.wikipedia.org/wiki/Archivo:MapaConceptualFLOSS.png>
- [27] “Software libre”; Agosto de 2011. *Documento recuperado 2011.*
http://es.wikipedia.org/wiki/Software_libre
- [28] “Hardware libre”; Agosto de 2011. *Documento recuperado 2011.*
http://es.wikipedia.org/wiki/Hardware_libre
- [29] “National Instruments; NI ELVIS: Plataforma Educativa para Diseño y Generación de Prototipos”. *Información recuperada 2011.*
<http://www.ni.com/nivelvis/esa/>
- [30] Pace Scientific: Data Loggers and Sensors; XR440 Pocket Data Logger; Agosto de 2009. *Imagen recuperada 2011.*
<http://www.pace-sci.com/data-logger-xr440.htm>

- [31] SACCO, Mario; “Datalogger: Adquisición de datos con 18F2550”; NEOTEO; Julio de 2010. *Documento recuperado 2011*.
<http://www.neoteo.com/-20069-datalogger-adquisicion-de-datos-con-18f2550.neo>
- [32] National Instruments; “Tarjetas de Adquisición de datos”; Mayo de 2010. *Documento recuperado 2011*.
<http://zone.ni.com/devzone/cda/tut/p/id/9071>
- [33] Industrial process control, data acquisition and supervision; Suecia. *Página electrónica 2011*.
<http://www.freescada.com/>
- [34] “Diagrama Conversor Analógico Digital”; Agosto 2010. *Documento recuperado 2011*.
http://alvaretetecnologia.blogspot.com/2011_02_01_archive.html?zx=28eab5dde183a88
- [35] CALVO, Isidro, ZULUETA, Ekaitz, GANGOITI, Unai, LOPEZ, José Manuel; “Laboratorios remotos y virtuales en enseñanzas técnicas y científicas”; Universidad Politécnica de Valencia. *Documento recuperado 2011*.
http://www.ehu.es/ikastorratza/3_alea/laboratorios.pdf
- [36] DORMIDO S.; “Control Learning: Present and Future”; 15vo Trienal Congreso Mundial, Barcelona, España; 2002. *Documento recuperado 2011*.
<http://www.nt.ntnu.no/users/skoge/prost/proceedings/ifac2002/data/content/05007/5007.pdf>
- [37] JIMENEZ VIVANCO, Wilmer, OCHOA CORONEL, Darío; *Estudio y diseño de factibilidad para la implementación de un laboratorio de procesamiento de señales y simulación para la Universidad Politécnica Salesiana Sede Cuenca*; Tesis U.P.S. Facultad de Ingenierías; Cuenca, 2010
- [38] PALLAS ARENY, Ramón; *Instrumentos Electrónicos Básicos*; Primera edición; Edit. Marcombo; España; 1999
- [39] PONTES, Alfonso, MARTINEZ, Pilar, VILLATORO, Francisco, LUQUE, David; “Diseño de un laboratorio virtual para el estudio práctico de circuitos con semiconductores y sus aplicaciones en la formación de estudiantes de ingeniería”; Escuela Politécnica Superior de la Universidad de Córdoba, 2004. *Documento recuperado 2011*.
<http://www.upc.edu/euetib/xiicuiet/comunicaciones/din/comunicacions/257.pdf>
- [40] SANCRISTOBAL, E, LOPEZ-ALDEA, E, DÍAZ G, MARTIN, S, CASTRO M, PEIRE J; “Desarrollo e integración de laboratorios virtuales remotos con los sistemas de gestión de aprendizaje abiertos”; Universidad Nacional de Educación a distancia, España; 2008. *Documento recuperado 2011*.

<http://taee.euitt.upm.es/Congresosv2/2008/papers/2008S2E03.pdf>

[41] RUGELES CHACON, Rafael; “La instrumentación virtual en la enseñanza de la Ingeniería Electrónica”; Universidad del Táchira, Venezuela; 2002. *Documento recuperado 2011.*

http://www.saber.ula.ve/bitstream/123456789/17071/1/art8_v11n1.pdf

[42] SÁNCHEZ MORENO, Bethsabé; “Mediciones automatizadas de Alta Frecuencia vía LAN/GPIB”; Universidad de las Américas, México, 2006. *Documento recuperado 2011.*

http://catarina.udlap.mx/u_dl_a/tales/documentos/lem/sanchez_m_b/capitulo1.pdf

[43] SANCRISTOBAL RUIZ, Elio; “Metodología, estructura y desarrollo de interfaces intermedias para la conexión de laboratorios remotos y virtuales a plataformas educativas”; Universidad Nacional de Educación a Distancia, España; 2010. *Documento recuperado 2011.*

[http://meteo.ieec.uned.es/www_Usumeteo7/tesis%20elio%20san%20cristobal%20ruiz%20\(uned\).pdf](http://meteo.ieec.uned.es/www_Usumeteo7/tesis%20elio%20san%20cristobal%20ruiz%20(uned).pdf)

[44] CALVO, I., MARCOS, M., ORIVE D., SARACHAGA I.; “Building Complex Remote Learning Laboratories”; Universidad del País Vasco, Bilbao, España. *Documento recuperado 2011.*

http://onlinelibrary.wiley.com/store/10.1002/cae.20239/asset/20239_ftf.pdf

[45] GROSCLAUDE E., SZENK, J., BERTOGNA, L., LOPEZ LURO, F., ZANELLATO, C., SÁNCHEZ, L.; “Laboratorios remotos sobre espacios virtuales”; Universidad Nacional del Comahue, Buenos Aires, Argentina; 2007. *Documento recuperado 2011.*

<http://www.ing.unp.edu.ar/wicc2007/trabajos/PDP/126.pdf>

[46] RAMIREZ ANGON, Jorge; “Tecnología Grid”; Laboratorio de supercómputo y visualización en paralelo, Universidad Autónoma Metropolitana, Mexico; 2008. *Documento recuperado 2011.*

<http://supercomputo.izt.uam.mx/>

[47] CALLE O., EDUARDO; “Laboratorios, Sub área de Automatización y Control”; Universidad Politécnica Salesiana, Ecuador.

[48] “Catalogo característico AD9283”; Analog Devices; 2001. *Documento recuperado 2011.*

http://www.analog.com/static/imported-files/Data_Sheets/AD9283.pdf

[49] “Catalogo característico LMH6702”; National Semiconductor; 2004. *Documento recuperado 2011.*

<http://www.datasheetcatalog.org/datasheet2/a/0a5wtidw4ol86yx4ljta4hrs4jpy.pdf>

- [50] “Catalogo característico 74HC390”; Philips Semiconductors; 1990. *Documento recuperado 2011*.
http://www.datasheetcatalog.org/datasheet/philips/74HC_HCT390_CNV_2.pdf
- [51] “Catalogo característico 74HC151”; Philips Semiconductors; 1990. *Documento recuperado 2011*.
http://www.datasheetcatalog.org/datasheet/philips/74HC_HCT151_CNV_2.pdf
- [52] Catalogo característico 74HC595; ST Microelectronics; 1993. *Documento recuperado 2011*.
http://www.datasheetcatalog.org/datasheets/320/387709_DS.pdf
- [53] “La memoria RAM”; Rincón informático; *Documento recuperado 2011*.
<http://ortihuela.galeon.com/ram.htm>
- [54] WILLIAMS, Tim; *EMC for Product designers*; Cuarta edición; Edit. Elsevier; USA; 2007.
- [55] ARCHAMBEAULT, Bruce R.; *PCB Design for Real-World EMI Control*; Primera edición; Edit. Kluwer Academic Publishers Group; USA; 2002.
- [56] MONTROSE, Mark I.; *EMC & the Printed Circuit Board: Design, Theory & layout Made Simple*; Primera edición; Edit. Wiley Interscience IEEE; USA; 1999.
- [57] THIERAUF, Stephen C.; *High Speed Circuit Board Signal Integrity*; Primera edición; Edit. Artech House Inc; USA; 2004.
- [58] MONTROSE, Mark I.; *Printed Circuit Board Design Techniques for EMC Compliance: A Handbook for Designers*; Segunda edición; Edit. Wiley Interscience IEEE; USA; 2000.
- [59] LÓPEZ VERAGUAS, Joan Pere; *Compatibilidad Electromagnética*; Primera edición; Edit. Marcombo; España; 2006.
- [60] ROLDAN ARANDA, Andrés; “Curso de diseño de PCB”; Seven Solutions; Universidad de Granada; 2008. *Documento recuperado 2011*.
http://electronica.ugr.es/~amroldan/pcb/2007/modulos/temas/PCB_2008_7Solutions.pdf
- [61] MUNGUÍA, Horacio; “El Osciloscopio Digital”; Universidad de Sonora, México, 2009. *Documento recuperado 2011*.
http://paginas.fisica.uson.mx/horacio.munguia/aula_virtual/Cursos/Electronica/Documentos/Osciloscopio/CAP5.pdf
- [62] GWINSTEK; “Digital Storage Oscilloscope User Manual GDS-1000A Series”, 2011. *Documento recuperado 2011*.
<http://www.testequity.com/documents/pdf/GDS-1000A-manual.pdf>

ANEXO 1

HOJAS DE DATOS

CARACTERÍSTICOS.

AD9283 (ADC 50MSPs)



8-Bit, 50 MSPS/80 MSPS/100 MSPS
3 V A/D Converter

AD9283

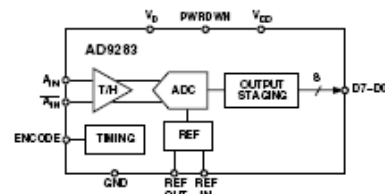
FEATURES

8-Bit, 50, 80, and 100 MSPS ADC
Low Power: 90 mW at 100 MSPS
On-Chip Reference and Track/Hold
475 MHz Analog Bandwidth
SNR = 46.5 dB @ 41 MHz at 100 MSPS
1 V p-p Analog Input Range
Single 3.0 V Supply Operation (2.7 V–3.6 V)
Power-Down Mode: 4.2 mW

APPLICATIONS

Battery Powered Instruments
Hand-Held Scopemeters
Low Cost Digital Oscilloscopes

FUNCTIONAL BLOCK DIAGRAM



GENERAL DESCRIPTION

The AD9283 is an 8-bit monolithic sampling analog-to-digital converter with an on-chip track-and-hold circuit and is optimized for low cost, low power, small size and ease of use. The product operates at a 100 MSPS conversion rate, with outstanding dynamic performance over its full operating range.

The ADC requires only a single 3.0 V (2.7 V to 3.6 V) power supply and an encode clock for full performance operation. No external reference or driver components are required for many applications. The digital outputs are TTL/CMOS compatible and a separate output power supply pin supports interfacing with 3.3 V or 2.5 V logic.

The encode input is TTL/CMOS compatible. A power-down function may be exercised to bring total consumption to 4.2 mW. In power-down mode, the digital outputs are driven to a high impedance state.

Fabricated on an advanced CMOS process, the AD9283 is available in a 20-lead surface mount plastic package (SSOP) specified over the industrial temperature range (–40°C to +85°C).

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700 www.analog.com
Fax: 781/326-8703 © Analog Devices, Inc., 2001

CY7C1019DV33 (SRAM 100MHz)



CY7C1019DV33

1-Mbit (128K x 8) Static RAM

Features

- Pin- and function-compatible with CY7C1019CV33
- High speed
 - $t_{AA} = 10 \text{ ns}$
- Low Active Power
 - $I_{CC} = 60 \text{ mA @ } 10 \text{ ns}$
- Low CMOS Standby Power
 - $I_{SB2} = 3 \text{ mA}$
- 2.0V Data retention
- Automatic power-down when deselected
- CMOS for optimum speed/power
- Center power/ground pinout
- Easy memory expansion with \overline{CE} and \overline{OE} options
- Available in Pb-free 32-pin 400-Mil wide Molded SQJ, 32-pin TSOP II and 48-ball VFBGA packages

Functional Description^[1]

The CY7C1019DV33 is a high-performance CMOS static RAM organized as 131,072 words by 8 bits. Easy memory expansion is provided by an active LOW Chip Enable (CE), an active LOW Output Enable (\overline{OE}), and three-state drivers. This device has an automatic power-down feature that significantly reduces power consumption when deselected.

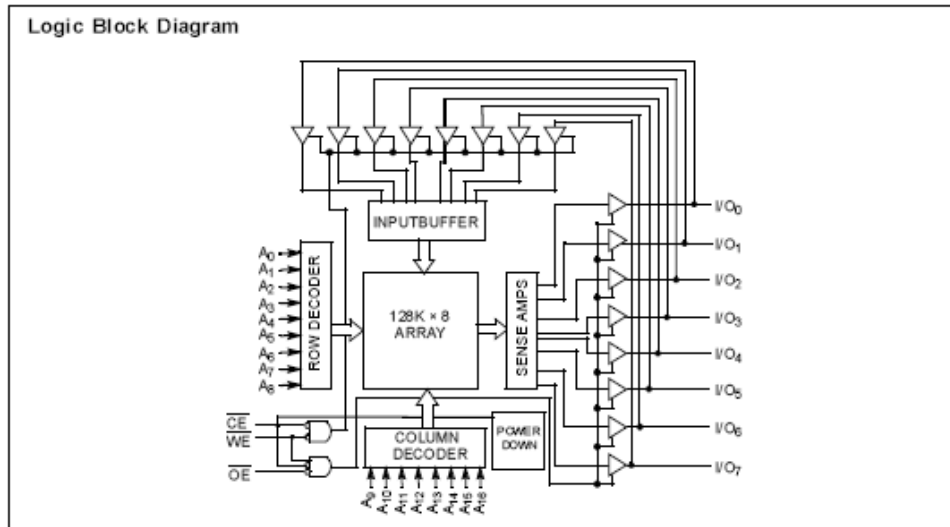
Writing to the device is accomplished by taking Chip Enable (CE) and Write Enable (WE) inputs LOW. Data on the eight I/O pins (I/O_0 through I/O_7) is then written into the location specified on the address pins (A_0 through A_{16}).

Reading from the device is accomplished by taking Chip Enable (CE) and Output Enable (\overline{OE}) LOW while forcing Write Enable (WE) HIGH. Under these conditions, the contents of the memory location specified by the address pins will appear on the I/O pins.

The eight input/output pins (I/O_0 through I/O_7) are placed in a high-impedance state when the device is deselected (CE HIGH), the outputs are disabled (\overline{OE} HIGH), or during a write operation (CE LOW, and WE LOW).

The CY7C1019DV33 is available in Pb-free 32-pin 400-Mil wide Molded SQJ, 32-pin TSOP II and 48-ball VFBGA packages.

Logic Block Diagram



Note

1. For guidelines on SRAM system design, please refer to the 'System Design Guidelines' Cypress application note, available on the internet at www.cypress.com

LMH6702 (OPAMP 1.7GHz)



May 2005

LMH6702 1.7 GHz, Ultra Low Distortion, Wideband Op Amp

General Description

The LMH6702 is a very wideband, DC coupled monolithic operational amplifier designed specifically for wide dynamic range systems requiring exceptional signal fidelity. Benefiting from National's current feedback architecture, the LMH6702 offers unity gain stability at exceptional speed without need for external compensation.

With its 720MHz bandwidth ($A_V = 2V/V$, $V_O = 2V_{PP}$), 10-bit distortion levels through 60MHz ($R_L = 100\Omega$), $1.83nV/\sqrt{Hz}$ input referred noise and 12.5mA supply current, the LMH6702 is the ideal driver or buffer for high-speed flash A/D and D/A converters.

Wide dynamic range systems such as radar and communication receivers, requiring a wideband amplifier offering exceptional signal purity, will find the LMH6702's low input referred noise and low harmonic and intermodulation distortion make it an attractive high speed solution.

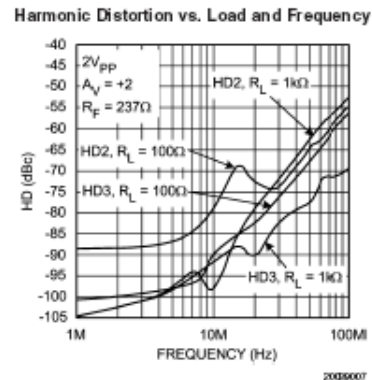
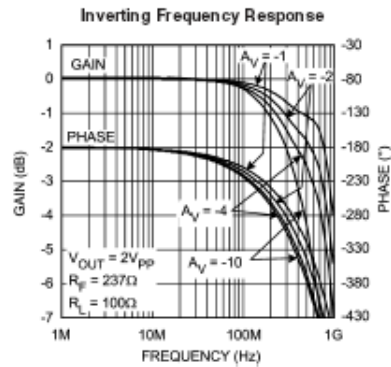
The LMH6702 is constructed using National's VIP10™ complementary bipolar process and National's proven current feedback architecture. The LMH6702 is available in SOIC and SOT23-5 packages.

Features

- $V_S = \pm 5V$, $T_A = 25^\circ C$, $A_V = +2V/V$, $R_L = 100\Omega$, $V_{OUT} = 2V_{PP}$, Typical unless Noted:
- 2nd/3rd Harmonics (5MHz, SOT23-5) -100/-96dBc
 - -3dB Bandwidth ($V_{OUT} = 0.5 V_{PP}$) 1.7 GHz
 - Low noise $1.83nV/\sqrt{Hz}$
 - Fast settling to 0.1% 13.4ns
 - Fast slew rate 3100V/ μs
 - Supply current 12.5mA
 - Output current 80mA
 - Low Intermodulation Distortion (75MHz) -67dBc
 - Improved Replacement for CLC409 and CLC449

Applications

- Flash A/D driver
- D/A transimpedance buffer
- Wide dynamic range IF amp
- Radar/communication receivers
- Line driver
- High resolution video



AD5161 (Potenciómetro Digital 10Kohm).



256-Position SPI/I²C Selectable Digital Potentiometer

AD5161

FEATURES

- 256-position
- End-to-end resistance 5 kΩ, 10 kΩ, 50 kΩ, 100 kΩ
- Compact MSOP-10 (3 mm × 4.9 mm) package
- Pin selectable SPI/I²C compatible interface
- Extra package address decode pin AD0
- Full read/write of wiper register
- Power-on preset to midscale
- Single supply 2.7 V to 5.5 V
- Low temperature coefficient 45 ppm/°C
- Low power, I_{DD} = 8 μA
- Wide operating temperature -40°C to +125°C
- SDO output allows multiple device daisy-chaining
- Evaluation board available

APPLICATIONS

- Mechanical potentiometer replacement in new designs
- Transducer adjustment of pressure, temperature, position, chemical, and optical sensors
- RF amplifier biasing
- Automotive electronics adjustment
- Gain control and offset adjustment

GENERAL DESCRIPTION

The AD5161 provides a compact 3 mm × 4.9 mm packaged solution for 256-position adjustment applications. These devices perform the same electronic adjustment function as mechanical potentiometers or variable resistors, with enhanced resolution, solid-state reliability, and superior low temperature coefficient performance.

The wiper settings are controllable through a pin selectable SPI or I²C compatible digital interface, which can also be used to read back the wiper register content. When the SPI mode is used, the device can be daisy-chained (SDO to SDI), allowing several parts to share the same control lines. In the I²C mode, address pin AD0 can be used to place up to two devices on the same bus. In this same mode, command bits are available to reset the wiper position to midscale or to shut down the device into a state of zero power consumption.

Operating from a 2.7 V to 5.5 V power supply and consuming less than 5 μA allows for usage in portable battery-operated applications.

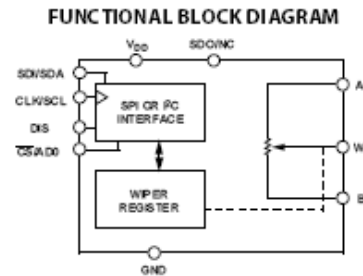


Figure 1.

PIN CONFIGURATION



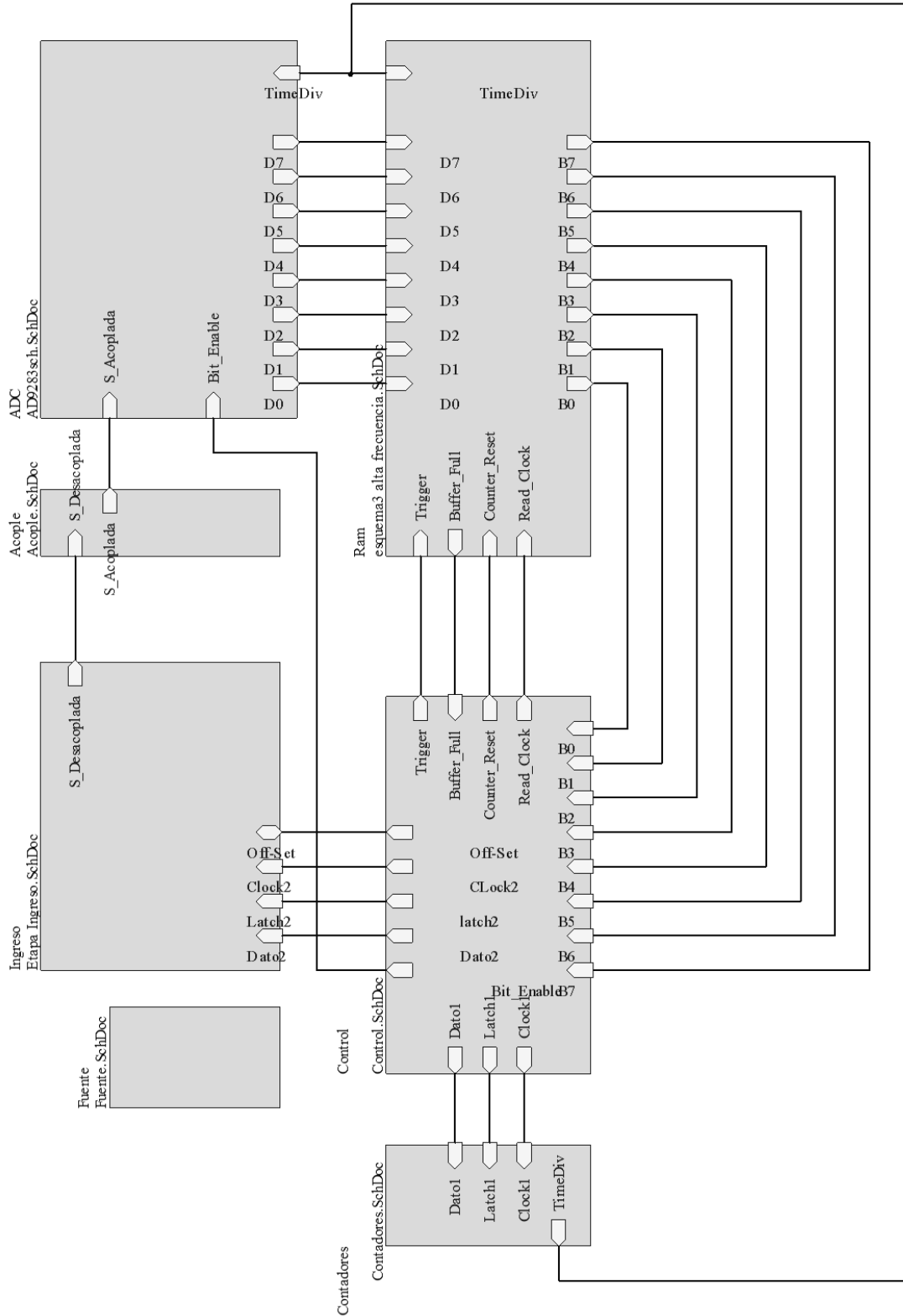
Figure 2.

Rev. A
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2003–2009 Analog Devices, Inc. All rights reserved.

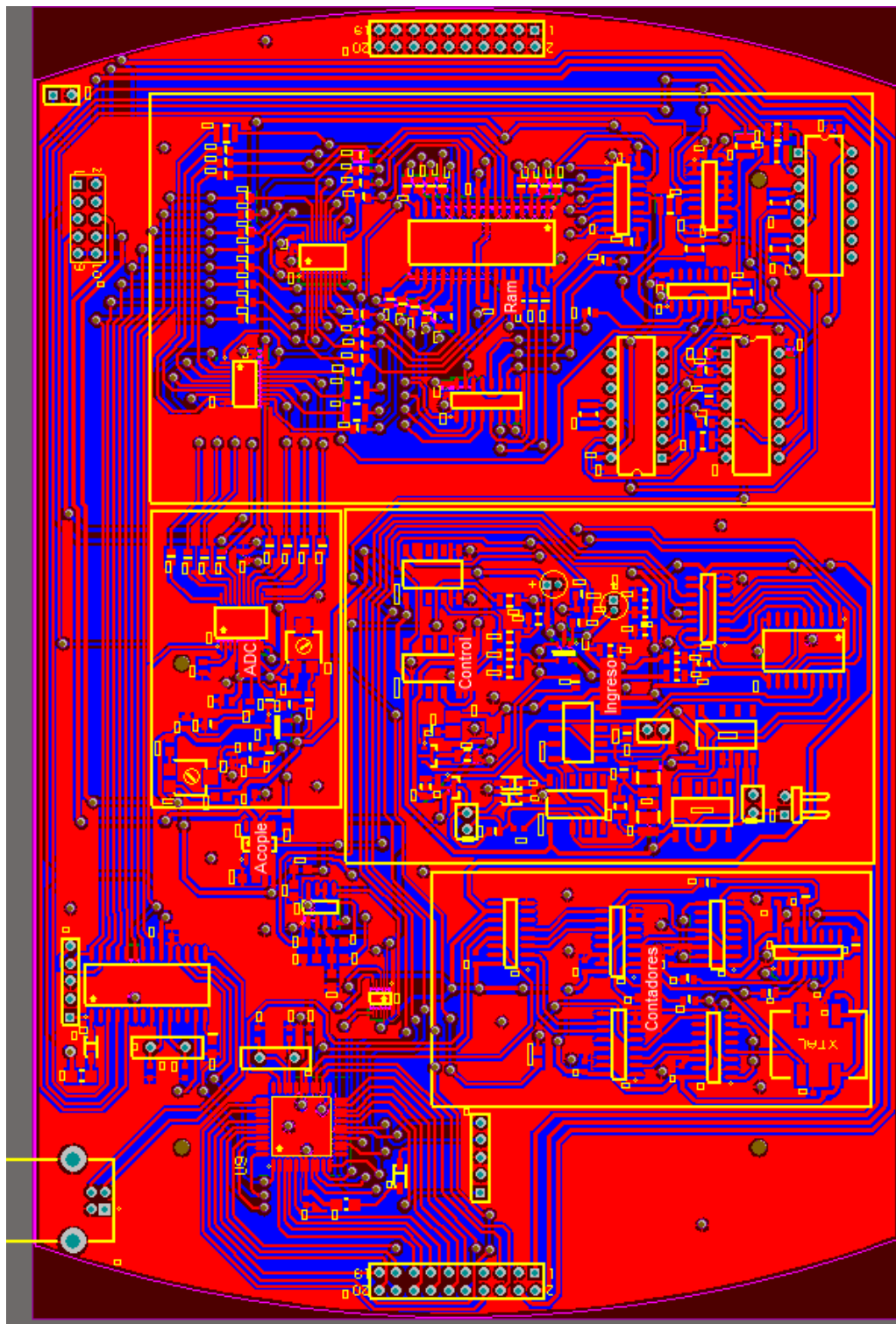
ANEXO 2

DISEÑO FUNCIONAL DEL SISTEMA



ANEXO 3

DISEÑO PCB DE LA TARJETA FINAL.



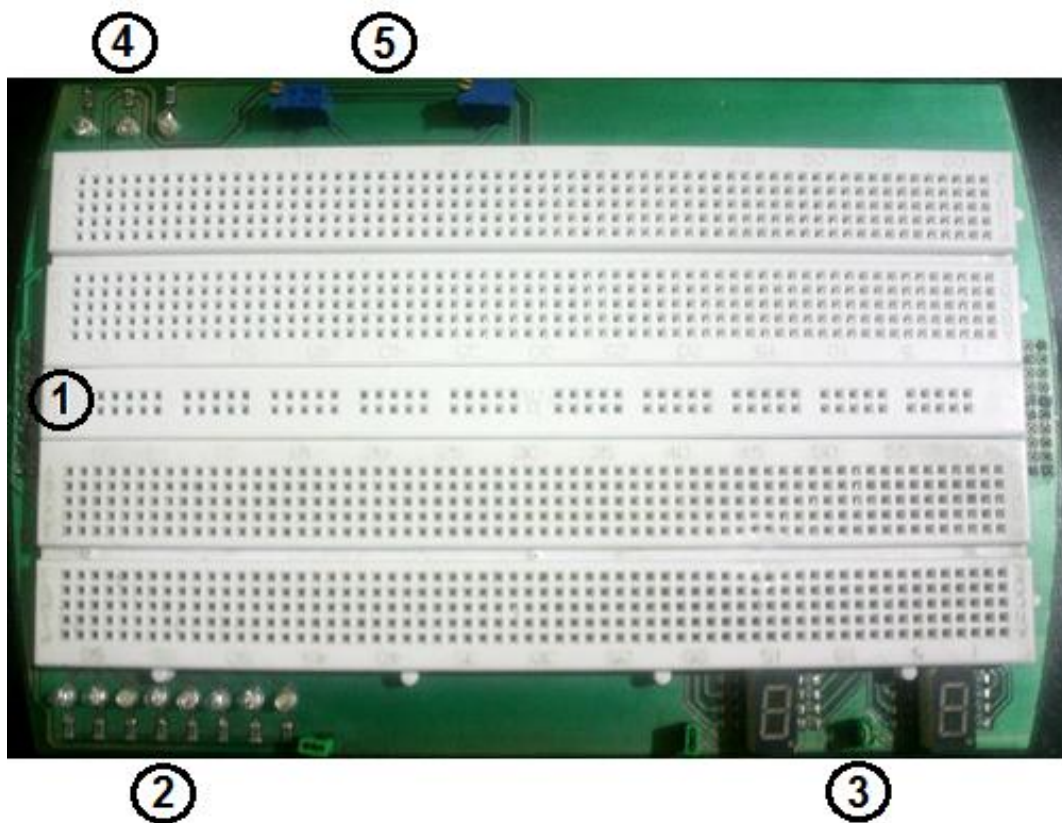
ANEXO 4

MANUAL DE USO DEL LABORATORIO INTEGRADO BÁSICO (LIB).

1. HARDWARE

a) Descripción General

Se expone los controles y funciones integradas dentro de la tarjeta de prácticas.



1: Alimentación

Voltaje utilizado para funcionamiento de la tarjeta de prácticas y para desarrollo de prácticas.

2: Indicadores visuales LEDs

8 leds indicadores de funcionamiento en las prácticas desarrolladas.

3: Indicadores visuales DISPLAYS

2 displays de cátodo común 7segmentos, utilizados como visualizadores de números, caracteres, etc.

4: Indicadores de alimentación

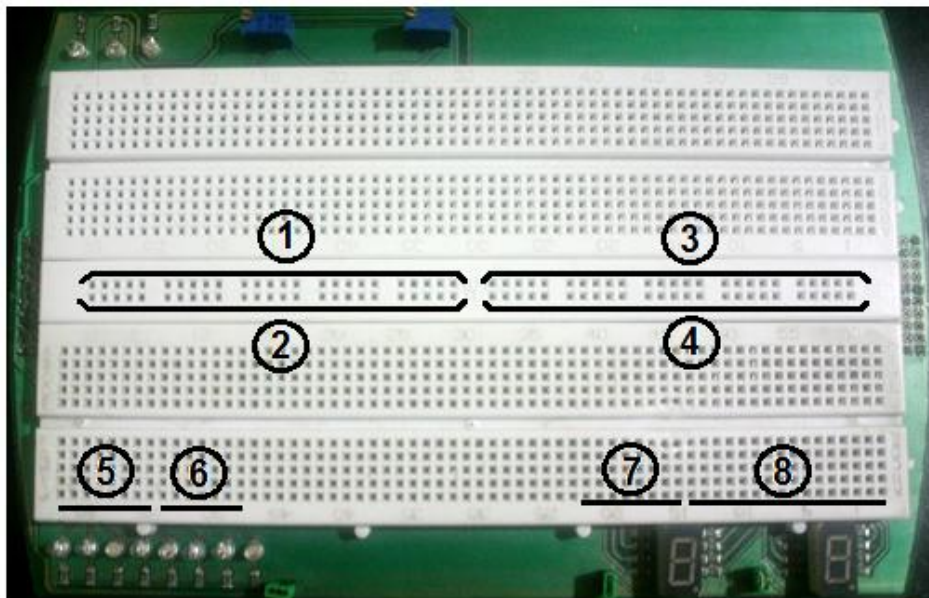
Muestran si la tarjeta cuenta con los voltajes necesarios para su correcto funcionamiento estos son (+) 12v, (+) 5v, (-) 12v.

5: Potenciómetros

2 potenciómetros conectados directamente en la tarjeta de prácticas.

b) Descripción de conexiones

Se muestra la disposición de las conexiones internas que posee la tarjeta de prácticas con las regletas del protoboard y los diferentes tipos de control que esta tiene.



1: GND, conexión a tierra del modulo.

2: Alimentación +5 voltios.

3: Alimentación +12 voltios.

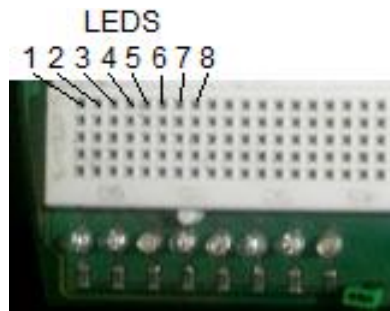
4: Alimentación -12 voltios.

5: 8 terminales conectadas a los 8 leds indicadores

6: Control de PWM y salidas analógicas/digitales

7: 8 puertos direccionales digitales

8: 16 terminales para control de los displays de 7 segmentos



Los pines de conexión y la disposición de los terminales en el protoboard para el control de los leds, dependiendo del uso que a estos se les de.



Se muestra la distribución de los pines de configuración de los displays y la ubicación de los pines de control en la regleta del protoboard.

La configuración de los controles integrados en la regleta del protoboard dependerán de las necesidades al momento de realizar la practica y estas serán configuradas desde el ordenador.

c) Recepción señal de ingreso, alimentación y conexión con el Computador.



La señal a ser analizada se conecta mediante el BNC ubicado en la parte frontal de la carcasa de protección de la tarjeta de adquisición de datos de alta velocidad. La DAQ posee solo un canal.

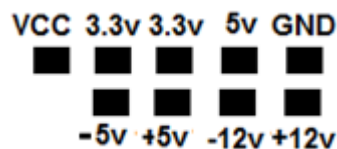
Los voltajes necesarios para el funcionamiento de la DAQ son suministrados por una fuente de computadora de tipo Switching que además posee protecciones contra cortocircuitos que se puedan dar. Posee 9 alimentaciones separadas para reducir los excesos de corriente que puede consumir cada etapa de la tarjeta y de igual manera para suministra voltajes a la regleta del protoboard ubicada en la tarjeta de prácticas. El conector de alimentación se encuentra en la parte posterior de la carcasa de protección donde también está el conector USB tipo B para la comunicación con el ordenador.



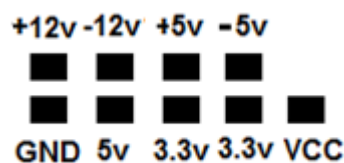
1: Conectores de alimentación de la Tarjeta y de la fuente Switching

2: Conector USB tipo B, para comunicación con el Ordenador.

En la siguiente imagen se detalla la manera en la cual se encuentran ubicados en el conector de la fuente de alimentación como de la tarjeta de adquisición de datos, los voltajes requeridos para el funcionamiento.



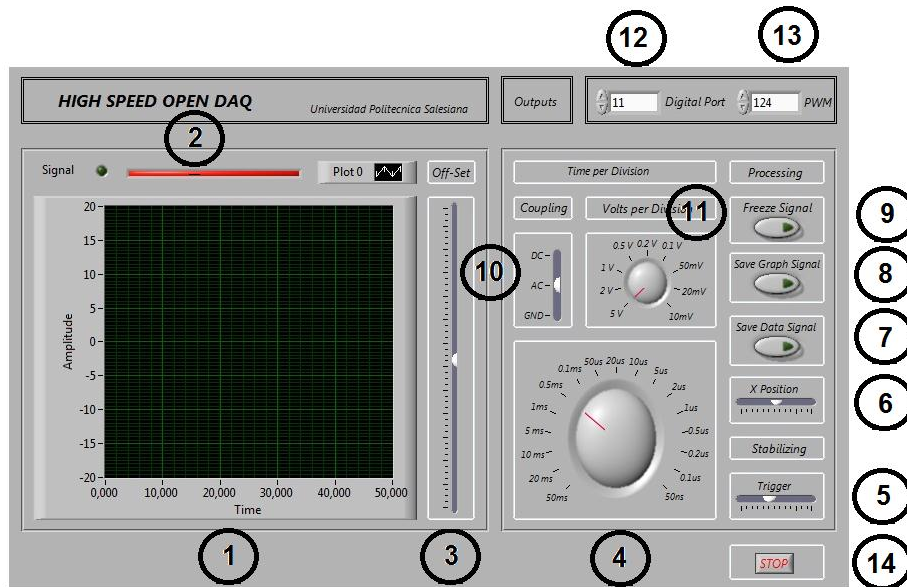
Esquema de distribución del conector de alimentación de la fuente switching



Esquema de distribución del conector de alimentación de la tarjeta de adquisición de datos

2. SOFTWARE

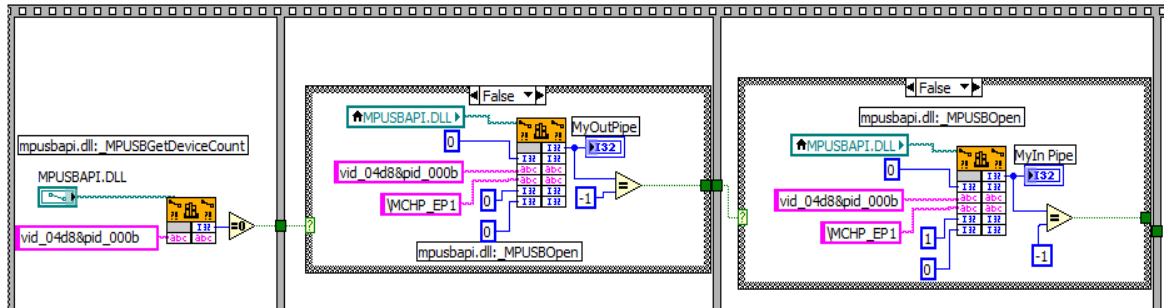
Las funciones en la parte de control se lo hace mediante el ordenador, para ello se a diseñado un software amigable con el usuario y con funciones iguales a la de un osciloscopio para que no exista conflictos al momento de su manipulación.



- 1: Pantalla Visualización de cualquier tipo de señal.
- 2: Indicador de conectividad con el ordenador, Rojo sin conexión, Verde con conexión
- 3: Función de Desplazamiento vertical de la señal.
- 4: Control del tiempo por división, dependerá de la frecuencia de la señal.
- 5: Trigger, control de disparo para sincronismo
- 6: Función de Desplazamiento horizontal de la señal.
- 7: Exporta la señal en forma de datos numéricos a una hoja de Excel para un análisis mas detallado de la misma.
- 8: Almacena la grafica muestreada en el instante que se acciona este control y lo exporta como una imagen con extensión .jpg
- 9: Detiene la grafica muestreada en el instante que se acciona este control
- 10: Selecciona el tipo de señal, ya sea de tipo AC o DC, cuando este esta en GND se manipula la referencia.
- 11: Controla la escala de voltaje de la señal, la atenuación seleccionada se controla mediante la etapa de ingreso.
- 12: Controla las salidas digitales en la tarjeta de practicas

13: Controla la frecuencia de salida de PWM dependiendo del uso que se le de en la tarjeta de practicas.

14: Botón de paro del programa



Al momento de inicializar el programa asegurarse que la ruta del driver del microcontrolador sea la correcta.

El nombre del controlador es **mpusbapi.dll** y se puede descargar de la página www.hsopendaq.org.

ANEXO 5

ANÁLISIS DE RENTABILIDAD TIR Y VAN

El VAN y el TIR permiten evaluar la rentabilidad de un proyecto de inversión, catalogado como la creación de un nuevo negocio, o cualquier inversión hecha sobre un negocio en marcha.

Valor actual neto (VAN)

El VAN es un indicador financiero que mide los flujos de los futuros ingresos y egresos que tendrá un proyecto, para determinar, si luego de descontar la inversión inicial, quedaría alguna ganancia. Si el resultado es positivo, el proyecto se cataloga como viable.

$VAN > 0 \rightarrow$ el proyecto es rentable.

$VAN = 0 \rightarrow$ el proyecto es rentable también, porque ya está incorporado ganancia de la TD.

$VAN < 0 \rightarrow$ el proyecto no es rentable.

La formula para calcular el VAN es la siguiente:

$$VAN = \sum_{t=1}^n \frac{Vt}{(1+k)^t} - I_0$$

Donde:

- t representa el número de período.
- Vt representa el flujo de caja de cada período.
- I_0 representa la inversión inicial total.
- n representa el número de períodos.
- k es el tipo de interés o coste de oportunidad que para nuestro caso hemos escogido un 10% y que representa el valor de la mejor opción no realizada.

Tasa interna de retorno (TIR)

La TIR es la tasa de descuento (TD) de un proyecto de inversión, que permite que el beneficio neto actualizado (BNA) sea igual a la inversión (VAN igual a 0). La TIR es la máxima TD que puede tener un proyecto para que sea rentable, pues una mayor tasa ocasionaría que el BNA sea menor que la inversión (VAN menor que 0).

El análisis de rentabilidad para la fabricación de una DAQ, se detalla en la siguiente tabla.

Análisis TIR VAN Inicial

MES	CAPITAL (\$)	GASTO (\$)	Porcentaje	VAN	TIR
1	(+) 4500	0	0	0	0
2	(+) 4500	0	0	0	0
3	(+) 4500	0	0	0	0
4	(+) 4500	0	0	0	0
5	(+) 4500	0	0	0	0
6	(-) 4500	2500	55.55555556	-0.10997963	-0.10997963
7	(+) 2000	0	0	0	0
8	(-) 2000	2000	44.44444444	-0.18414322	-0.18414322
9	0	0	0	0	0
	TOTAL	4500	100	-0.29412286	-0.29412286

Se aprecia que los valores resultantes de TIR y VAN son negativos, esto es debido a que en un inicio el costo de inversión total se aplica para la fabricación de una sola tarjeta, considerando todo el periodo de estudio, diseño y construcción en una DAQ.

A partir de este momento si se desea producir mas tarjetas de adquisición se podrá conocer la ganancia que se tendría si se fabricase mas de una DAQ, antes que nada considerando el tiempo en el cual se recuperará la inversión total y los beneficios económicos que se tendrá a partir de cubrir este gasto inicial.

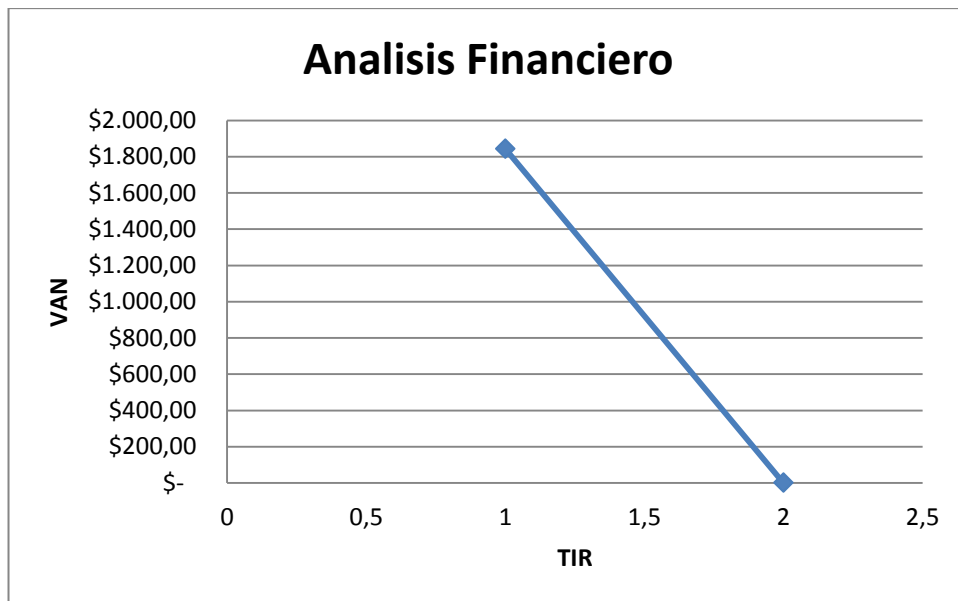
Se propone construir 7 DAQ por mes en un periodo de 6 meses durante 4 años, este tiempo es debido a que para cualquier producto en proceso de comercialización debe transcurrir al menos 2 años para obtener ganancias. Las proyecciones para los análisis de rentabilidad están entre los 3 a 5 años, para el ejemplo se a tomado 4 años.

	Valor	Unidades/Mes	Meses	total
PVP	250	7	6	10500
costo de fabricación	180	7	6	7560
ganancia unitaria	70	7	6	2940

FLUJO	0	1	2	3	4
VENTAS		10,500	10,500	10,500	10,500
COSTO DE VENTAS		7,560	7,560	7,560	7,560
UTILIDAD BRUTA		2,940	2,940	2,940	2,940
OTROS INGRESOS					
GASTO OPERATIVO		300	300	300	300
UTILIDAD OPERATIVA		2,640	2,640	2,640	2,640
UTILIDAD A.I.		2,640	2,640	2,640	2,640
UTILIDAD NETA		2,640	2,640	2,640	2,640
VALOR FUTURO					22,049
					2,640
FLUJO NETO	(4,500.00)	2,640	2,640	2,640	24,689

VAN	\$1,843.74
TIR	88%

Los resultados de la tabla anterior muestran que el producto es rentable a tal punto que por cada dólar invertido en el proyecto se retorna una ganancia del 88% que es lo que indica el TIR, de igual manera el VAN es de \$1,843.74, lo que hace al producto muy beneficioso.



Algunos factores importantes para el análisis del VAN están dados por la siguiente fórmula:

$$re = rf + \beta *(rm - rf) + rp$$

Donde:

re	11.97%	COSTO DEL DINERO
rf	4.53%	TASA PASIVA DEL BCO CENTRAL
β	1.49	RIESGO DE LA INDUSTRIA
rm	1.70%	RENTABILIDAD MEDIA DEL MERCADO DE ESTOS PRODUCTOS
RP	12%	RIESGO PAÍS

Costo del dinero es la diferencia que se obtiene entre el tipo de interés que se paga por tener dinero, que puede ser cero, y el que se paga por el activo más parecido, como un depósito a plazo fijo o caja de ahorro.

Tasa pasiva es el porcentaje al que está invertido un capital en una unidad de tiempo, determinando.

Riesgo de la Industria (beta) es un índice que determina el riesgo de mercado cuando el producto es comercializado.

Rentabilidad de Mercado es considerada como el índice de beneficios que puede traer un producto cuando es comercializado.

Riesgo País es el riesgo de una inversión económica debido sólo a factores específicos y comunes a un cierto país. Puede entenderse como un riesgo promedio de las inversiones realizadas en cierto país.

Los valores asignados a cada termino anterior, son escogidos a partir de las tablas financieras actuales, estos valores pueden llegar a variar dependiendo de la economía actual del país, estos son otorgados en su mayoría por el banco central del Ecuador, a diferencia del rm el cual se compara con respecto a EEUU debido a que se maneja la misma unidad monetaria.

La grafica de TIR vs VAN valida al producto como muy rentable y beneficioso en el mercado actual.

Punto de Equilibrio

Es el punto en donde los ingresos totales recibidos se igualan a los costos asociados con la venta de un producto ($IT = CT$). Un punto de equilibrio es usado comúnmente en las empresas u organizaciones para determinar la posible rentabilidad de vender determinado producto. Para calcular el punto de equilibrio es necesario tener bien identificado el comportamiento de los costos; de otra manera es sumamente difícil determinar la ubicación de este punto.

Para el cálculo del punto de equilibrio se omite la depreciación y gastos de operación debido a que para la producción de las tarjetas electrónicas se lo realizara en casas comerciales de fabricación en serie, entonces no se considera las herramientas y equipos utilizados que posee la universidad.

Tarjeta de Adquisición de Datos de Alta Velocidad	
ESTADOS DE RESULTADOS	
VENTAS NETAS	10500
COSTO DE VENTAS	7560
Materia Prima	6300
Mano de Obra	630
Gastos de Fabricación	630
DEPRECIACION	
UTILIDAD BRUTA	2940
GASTOS DE OPERACIÓN	
Movilización varios	300
UTILIDAD DE OPERACIÓN	2640

COSTOS FIJOS	300
DEPRECIACIÓN	0
GASTOS DE OPERACIÓN	300
COSTOS VARIABLES	7560
Materia Prima	6300
Mano de Obra	630
Gastos de Fabricación	630

PUNTO DE EQUILIBRIO

PE =	$\frac{CF}{1-CV/V}$
PE =	1071.43

Si el producto puede ser vendido a mayores costos de los que proyecta el punto de equilibrio, entonces la empresa percibirá beneficios económicos. Si por el contrario, se encuentra por debajo del punto de equilibrio, tendrá pérdidas.