

**UNIVERSIDAD POLITÉCNICA SALESIANA  
SEDE QUITO**

**CARRERA: INGENIERÍA ELECTRÓNICA**

**Tesis previa a la obtención del título de: INGENIERO ELECTRÓNICO**

**TEMA:  
DISEÑO E IMPLEMENTACIÓN DE UN MODULADOR Y DEMODULADOR  
OOK PARA COMUNICACIÓN POR LUZ VISIBLE (VLC) UTILIZANDO LA  
TARJETA FPGA CYCLONE III DE ALTERA**

**AUTORES:  
SANTIAGO ALBERTO MALDONADO PUENTE  
BYRON ALEXANDER MORALES CUEVA**

**DIRECTOR:  
MILTON NAPOLEÓN TIPÁN SIMBAÑA**

**Quito, noviembre del 2013**

**DECLARATORIA DE RESPONSABILIDAD Y AUTORIZACIÓN DE USO  
DEL TRABAJO DE GRADO**

Nosotros Santiago Alberto Maldonado Puente y Byron Alexander Morales Cueva autorizamos a la Universidad Politécnica Salesiana la publicación total o parcial de este trabajo de grado y su reproducción sin fines de lucro.

Además declaramos que los conceptos, análisis desarrollados y las conclusiones del presente trabajo son de exclusiva responsabilidad de los autores.

---

Santiago Alberto Maldonado Puente

C.I 1719237305

---

Byron Alexander Morales Cueva

C.I 1717189672

## **DEDICATORIA**

Dedicamos el presente trabajo a Dios por habernos dado la salud y permitirnos llegar a cumplir con un objetivo más en nuestras vidas.

Al esfuerzo y sacrificio de nuestros padres quienes han sido los pilares fundamentales en nuestro crecimiento personal y académico y han servido de inspiración para culminar con éxito esta etapa, también a nuestras hermanas por ser incondicionales y brindarnos siempre sus consejos y palabras de aliento.

A nuestras novias por su constante apoyo y estar siempre a nuestro lado en todo momento y a nuestro amigo Christian Morales Nieto por brindarnos sus conocimientos y apoyo cuando lo necesitamos.

Santiago Alberto Maldonado Puente

&

Byron Alexander Morales Cueva

## **AGRADECIMIENTOS**

Agradecemos a la Universidad Politécnica Salesiana y al Director de carrera Ing. Germán Arévalo por apoyar este trabajo de investigación, proporcionando los equipos y materiales necesarios para la realización del mismo.

A los docentes de la Universidad Politécnica Salesiana por los conocimientos impartidos en nuestra formación académica y de una manera especial al Ph.D. Daniel Cárdenas por ayudarnos en la realización de este proyecto de Titulación, al Ing. Milton Tipán por apoyarnos y brindarnos sus conocimientos y al Ing. Luis Oñate por guiarnos en el desarrollo del mismo.

Santiago Alberto Maldonado Puente

&

Byron Alexander Morales Cueva

## ÍNDICE

INTRODUCCIÓN .....	1
CAPÍTULO 1 .....	2
ANÁLISIS DEL PROBLEMA .....	2
1.1    Objetivos .....	2
1.1.1    Objetivo general .....	2
1.1.2    Objetivos específicos.....	2
1.2    Justificación.....	2
1.3    Alcances .....	3
1.4    Metodología de investigación .....	4
1.4.1    Método Analítico.....	4
1.4.2    Investigación bibliográfica .....	4
1.4.3    Desarrollo de hardware y software.....	4
1.4.4    Pruebas a realizar.....	5
1.4.5    Documentación.....	5
CAPÍTULO 2 .....	6
ESTADO DEL ARTE Y MARCO TEÓRICO .....	6
2.1    Estado del arte .....	6
2.2    Marco teórico .....	13
2.2.1    Modulación de Intensidad y detección directa IM/DD .....	13
2.2.2    Modulación OOK para comunicaciones ópticas .....	14
2.2.3    BER .....	15
2.2.4    Comunicación serial .....	16
2.2.4.1    Interfaz USB (Universal Serial Bus) .....	18
2.2.5    Tarjeta de desarrollo FPGA Cyclone III de Altera - EP3C120F780C7 .....	19
2.2.6    LED .....	20
2.2.7    Fotodetectores.....	21
2.2.8    Filtro azul.....	23
2.2.9    Ley Cuadrática Inversa.....	23
2.2.10    Principales factores de degradación en comunicaciones ópticas.....	24
2.2.11    Relación Señal a Ruido (S/N).....	25
2.2.12    Ancho de banda .....	26
2.2.13    Tiempo de respuesta .....	27
2.2.14    Tasa de bits de Nyquist.....	28
2.2.15    Límite de Shannon-Hartley .....	28

CAPÍTULO 3 .....	29
DISEÑO E IMPLEMENTACIÓN .....	29
3.1    Diseño y desarrollo de hardware .....	29
3.1.1    Diagrama de bloques .....	29
3.1.2    Descripción de los bloques de hardware .....	29
3.2    Desarrollo de software .....	32
3.2.1    Diagrama de flujo general .....	33
3.2.2    Diagrama de flujo de la configuración de la FPGA .....	34
3.2.3    Diagrama de flujo del modulador.....	35
3.2.4    Diagrama de flujo del demodulador.....	36
3.2.5    Diagrama de flujo del programa de sincronización.....	37
3.2.6    Diagrama de flujo del BER .....	38
3.3    Simulación de la Ley Cuadrática Inversa.....	39
3.4    Análisis de resultados.....	44
3.4.1    Escenario de trabajo .....	44
3.4.2    Análisis Potencia vs Distancia.....	46
3.4.3    Análisis Tasa de bits vs Distancia .....	47
3.4.4    Análisis SNR vs Distancia.....	48
3.4.5    Análisis Voltaje vs Distancia.....	49
3.4.6    Resultados obtenidos de la simulación de la ley cuadrática inversa .....	50
3.4.7    Análisis del BER vs Distancia.....	55
3.4.8    Análisis comparativo de tasa de bits, distancia y BER entre medio guiado y VLC .....	57
3.4.9    Error relativo de los datos tomados respecto a la capacidad del canal.....	57
CAPÍTULO 4 .....	59
ANÁLISIS DE COSTOS .....	59
4.1    Costo de hardware.....	59
4.2    Costo de desarrollo de software .....	59
4.3    Costo total del proyecto.....	60
CONCLUSIONES.....	61
RECOMENDACIONES .....	63
LISTA DE REFERENCIAS.....	64
GLOSARIO.....	69

## ÍNDICE DE FIGURAS

Figura 1 Espectro de Luz Visible .....	6
Figura 2 Primera comunicación telefónica inalámbrica .....	7
Figura 3 Aplicaciones de tecnología VLC.....	8
Figura 4 One-chip type white LED (Fluorescence type).....	9
Figura 5 Multi-chip type white LED (Three primary colors type).....	9
Figura 6 Arreglo experimental con Tx-Rx distancia y la iluminación en Rx.....	10
Figura 7 Bit error rate de acuerdo a la velocidad de transmisión .....	11
Figura 8 Montaje experimental para mediciones de error de bit y medición del canal...	11
Figura 9 Medida de la relación de error de bit para dos estructuras Rx en función de la velocidad de bits .....	12
Figura 10 Medida de relación de errores de bit para los Rx, dependiendo del nivel de iluminancia .....	13
Figura 11 Modelo básico de comunicaciones ópticas .....	13
Figura 12 Modulación OOK.....	14
Figura 13 Comunicación serial.....	16
Figura 14 Transmisión síncrona .....	17
Figura 15 Transmisión asíncrona .....	17
Figura 16 Tipos de conectores USB .....	18
Figura 17 Tarjeta de desarrollo FPGA Cyclone III de Altera (EP3C120F780C7).....	19
Figura 18 Fotodiodo PIN .....	22
Figura 19 Fotodiodo Avalancha .....	22
Figura 20 Características típicas de Transmisión .....	23
Figura 21 Propagación de luz mediante la Ley Cuadrática Inversa .....	24
Figura 22 Banda de Paso .....	26
Figura 23 El tiempo de respuesta del LED.....	27
Figura 24 Diagrama de bloques de hardware .....	29
Figura 25 HSMC Port B (J9) – (Debug Header Shown).....	29
Figura 26 Conversor eléctrico - óptico y comparador .....	30
Figura 27 Intensidad espectral del LED .....	30
Figura 28 LED.....	31
Figura 29 Filtro azul, lente y fotodiodo .....	32
Figura 30 Diagrama de flujo general.....	33
Figura 31 Diagrama de flujo de la configuración de la FPGA .....	34
Figura 32 Diagrama de flujo del modulador .....	35
Figura 33 Diagrama de flujo del demodulador.....	36
Figura 34 Diagrama de flujo del programa de sincronización .....	37
Figura 35 Diagrama de flujo del BER.....	38
Figura 36 Simulación de la ley cuadrática inversa – programación en bloques.....	40
Figura 37 Simulación de la ley cuadrática inversa – programación en consola.....	42
Figura 38 Configuración de Parámetros e Inicialización .....	43
Figura 39 Ingreso de la variable distancia .....	43
Figura 40 Escenario de trabajo (Laboratorio Universidad Politécnica Salesiana) .....	44
Figura 41 Espacio de trabajo .....	45
Figura 42 Potencia recibida vs Distancia .....	47
Figura 43 Tasa de bits vs Distancia .....	48

Figura 44 SNR vs Distancia .....	49
Figura 45 Voltaje recibido vs Distancia .....	50
Figura 46 Señal del fotodiodo ( $d = 0.12$ m) y curva de la Ley Cuadrática Inversa.....	51
Figura 47 Señal del fotodiodo ( $d = 0.2$ m) y curva de la Ley Cuadrática Inversa.....	51
Figura 48 Señal del fotodiodo ( $d = 0.3$ m) y curva de la Ley Cuadrática Inversa.....	52
Figura 49 Señal del fotodiodo ( $d = 0.4$ m) y curva de la Ley Cuadrática Inversa.....	53
Figura 50 Señal del fotodiodo ( $d = 0.5$ m) y curva de la Ley Cuadrática Inversa.....	53
Figura 51 Señal del fotodiodo ( $d = 0.6$ m) y curva de la Ley Cuadrática Inversa.....	54
Figura 52 Señal del fotodiodo ( $d = 0.7$ m) y curva de la Ley Cuadrática Inversa.....	55
Figura 53 BER vs Distancia .....	56



## ÍNDICE DE TABLAS

Tabla 1 Notación Científica del BER .....	16
Tabla 2 Líneas de transmisión interfaz USB .....	18
Tabla 3 Longitudes de onda producidas con materiales semiconductores .....	21
Tabla 4 Datos de distancia y voltaje .....	41
Tabla 5 Sumatorios de distancia y voltaje .....	41
Tabla 6 Iluminancias en el área asignada .....	45
Tabla 7 Datos tomados de potencia y distancia.....	46
Tabla 8 Datos tomados de distancia y tasa de bits.....	47
Tabla 9 Datos tomados de distancia y señal a ruido.....	48
Tabla 10 Datos tomados de distancia y voltaje .....	49
Tabla 11 Datos tomados de BER y distancia.....	56
Tabla 12 Comparación de tasa de bits en medios de transmisión con OOK.....	57
Tabla 13 Capacidad del canal teórica y experimental .....	58
Tabla 14 Costos de hardware.....	59
Tabla 15 Costo de desarrollo de software .....	59
Tabla 16 Costos total del proyecto .....	60

## ÍNDICE DE ANEXOS

Anexo 1 Características de la FPGA .....	70
Anexo 2 Características del LED .....	80
Anexo 3 Características de los lentes .....	83
Anexo 4 Características de filtro azul.....	85
Anexo 5 Características del fotodiodo.....	88
Anexo 6 Programación y simulación en bloques del diseño en Matlab (Simulink).....	91
Anexo 7 Artículo en formato IEEE .....	108
Anexo 8 Artículo en formato de la revista INGENIUS.....	114

## RESUMEN

La finalidad del presente trabajo es transmitir datos a través de luz visible por medio de un diodo emisor de luz blanca (Light Emitting Diode, LED), de baja potencia, empleando modulación por encendido y apagado (On - Off Keying, OOK) punto a punto, utilizando la tarjeta para arreglos de compuertas programables en campo (Field Programmable Gate Array, FPGA) Cyclone III de Altera; además, realizar la respectiva simulación en el software Matlab (Simulink). Se realizó el estado del arte de la comunicación por luz visible (Visible Light Communication, VLC), lo cual contribuyó en el desarrollo tanto del diseño como la implementación del proyecto.

Finalmente, en los resultados experimentales obtenidos se analizó el desempeño de la comunicación óptica inalámbrica, tomando en cuenta parámetros como: tasa de bits, potencia, señal a ruido y tasa de bits erróneos (Bit Error Rate, BER), a través de curvas, con las cuales se puede comparar ventajas y limitaciones del tipo de modulación utilizada.

## **ABSTRACT**

The purpose of this work is to transmit data via visible light through a white light emitting diode (LED) and low power, using On - Off Keying (OOK) point to point, using the Altera Cyclone III FPGA board, also perform the respective simulation in Matlab software (Simulink). It was performed the state of the art of Visible Light Communication (VLC), which helped in the development of both the design and the implementation of the project.

Finally, experimental results obtained are analyzed the performance of wireless optical communication, taking into account parameters such as bit rate, power, signal to noise ratio and Bit Error Rate (BER), through curves, with which you can compare advantages and limitations on the type of modulation used.

## INTRODUCCIÓN

El trabajo consta de cuatro capítulos que describen el diseño e implementación de un modulador - demodulador OOK para VLC utilizando una tarjeta FPGA.

En el capítulo uno se desarrolla los objetivos, alcances, metodología de investigación y justificación.

En el capítulo dos se presenta el estado del arte y marco teórico correspondiente, el cual proporciona una breve descripción de los conceptos involucrados con el tema planteado.

El capítulo tres presenta el diseño en Matlab (Simulink) de un modulador - demodulador OOK, un contador de errores y la simulación del canal de transmisión. También presenta su respectiva implementación en la tarjeta FPGA y se muestran los resultados obtenidos.

En el capítulo cuatro se presenta el análisis de costos que involucra este proyecto de investigación.

Finalmente se presenta las conclusiones, recomendaciones y lista de referencia.

# **CAPÍTULO 1**

## **ANÁLISIS DEL PROBLEMA**

### **1.1 Objetivos**

#### **1.1.1 Objetivo general**

Diseñar e Implementar un modulador y demodulador OOK para Comunicación por Luz Visible (VLC) utilizando la tarjeta FPGA Cyclone III de Altera.

#### **1.1.2 Objetivos específicos**

- Investigar artículos relacionados con comunicación VLC, modulación y demodulación OOK.
- Simular en Matlab la transmisión síncrona con modulación y demodulación OOK.
- Simular la ley cuadrática inversa para fuentes de luz en el canal de transmisión.
- Implementar la modulación y demodulación OOK en la tarjeta FPGA Cyclone III.
- Implementar un contador de errores para su visualización en una PC mediante comunicación serial.
- Escribir un artículo relacionado con la modulación y demodulación OOK y su aporte al proyecto VLC en formato IEEE y de la revista INGENIUS.

### **1.2 Justificación**

Al utilizar el espectro de luz visible para transmitir, se tienen varias ventajas sobre otros sistemas de comunicaciones inalámbricas tales como: la resistencia a la interferencia del ruido electromagnético externo, bajo costo, seguridad de la información (porque las ondas de luz sólo se obstruyen debido a obstáculos físicos, tales como, paredes o puertas) y eficiencia (debido a que los datos son transmitidos por iluminación); de esta manera se puede aprovechar el espectro de luz visible (Hass, 2011). No obstante VLC requiere modulación de tipo digital, ya que los símbolos digitales se transforman en señales compatibles con el canal de comunicación. (Osorio, 2008 - 2009)

Se ha elegido utilizar luz blanca a través de LED's, ya que, son considerados como la próxima generación de iluminación, tienen una gran potencia de salida, alta eficiencia energética y larga vida útil. (Tanaka, 2003, pág. 1)

Este tipo de comunicación tiene su gran aporte científico al aprovechar el recurso del espectro electromagnético como una nueva alternativa de transmisión de datos y una mejor explotación del mismo.

Se ha elegido modulación OOK punto a punto, debido a su facilidad de diseño e implementación, tanto del transmisor como del receptor, así como también la fácil sincronización de la señal ya que solo ocupa dos estados lógicos es decir 1's y 0's, permitiendo así utilizar al máximo el ancho de banda del LED de luz blanca y a partir de esto establecer la máxima velocidad de transmisión para VLC. Sin embargo, aunque sea un ambiente cerrado, pueden producirse errores en la información transmitida, y será necesario implementar un contador de errores para medir la tasa de error que se tiene en el canal dependiendo de la distancia. Además, en la simulación e implementación no se necesita recuperación de reloj, debido a que se utilizará el reloj de la FPGA tanto para la transmisión y recepción.

En Simulink se representará un canal de transmisión ideal, es decir no se tomarán en cuenta ruidos externos tales como: atmosférico, solar, y ruidos creados por el hombre e interno como el térmico, pero si se tomará en cuenta la atenuación de la intensidad de la fuente luminosa.

### **1.3 Alcances**

En este proyecto de investigación se diseñará e implementará un modulador - demodulador OOK punto a punto, el cual permita conocer la tasa de error que se tiene en la transmisión al atravesar un canal inalámbrico óptico y se lo visualizará en una PC.

En la simulación se modelará el canal de transmisión de manera que permita una aproximación lo más real posible, en la implementación se tomará en consideración las limitantes del fotodiodo, el LED y la conversión eléctrica - óptica, con el objetivo de conseguir la mayor velocidad de transmisión posible.

#### **1.4 Metodología de investigación**

En este apartado se detallarán los pasos que se han planteado para la realización del presente proyecto comenzando por el método analítico, investigación bibliográfica, desarrollo de hardware y software y la documentación del proyecto.

##### **1.4.1 Método Analítico**

El método que se utiliza en este proyecto es el Analítico, ya que el mismo se trabajará por partes, las cuales posteriormente serán unificadas, alcanzando así el objetivo deseado.

##### **1.4.2 Investigación bibliográfica**

La primera etapa del proyecto consiste en la investigación teórica, por lo tanto, aquí se obtendrán los antecedentes, la información y la documentación necesaria presentada en el capítulo 2, referente al tema planteado, además, se investigarán las características y utilización de la tarjeta FPGA.

##### **1.4.3 Desarrollo de hardware y software**

La construcción del modulador - demodulador se realizará mediante programación gráfica en Simulink, utilizando bloques de altera, la cual al ser compilada proporcionará un código VHDL (Very High speed integrated circuits Hardware Description Language), que será cargado en la FPGA posteriormente.

Como en todo proyecto se realizará un diseño adecuado antes de implementarlo; sin embargo, un buen diseño no garantiza en su totalidad el correcto funcionamiento.



Además, se implementarán todas las etapas que componen el tema planteado y se pondrán a funcionar en conjunto para comprobar su correcto funcionamiento.

#### **1.4.4 Pruebas a realizar**

Se realizarán las pruebas correspondientes para comprobar el correcto funcionamiento del modulador - demodulador OOK: calibración de equipos, pruebas de velocidad, distancia máxima de transmisión y su cálculo de errores.

#### **1.4.5 Documentación**

Se realizará la tesis y el artículo correspondiente a la investigación realizada sobre VLC, aplicada a la modulación OOK en las tarjetas FPGA's.

## CAPÍTULO 2

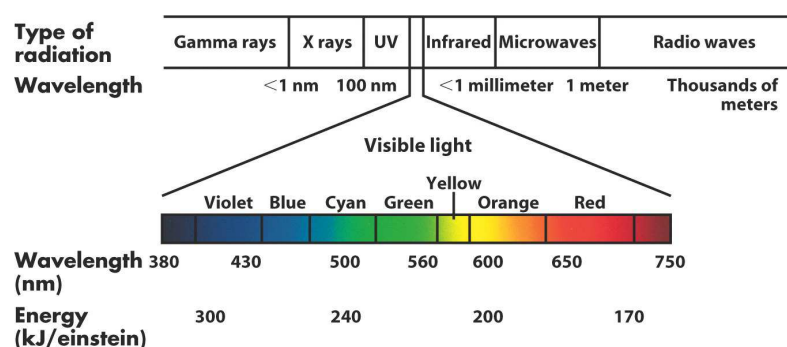
### ESTADO DEL ARTE Y MARCO TEÓRICO

#### 2.1 Estado del arte

La tecnología VLC utiliza el espectro de luz visible que abarca longitudes de onda de 380 nm a 750 nm como medio de comunicación, como lo indica la Figura 1. (Cen L, 2010)

La luz visible es la forma en que la radiación electromagnética es interpretada por el cerebro humano y los ojos no pueden percibir ninguna diferencia en la iluminación. (Pohlmann, pág. 1)

**Figura 1** Espectro de Luz Visible



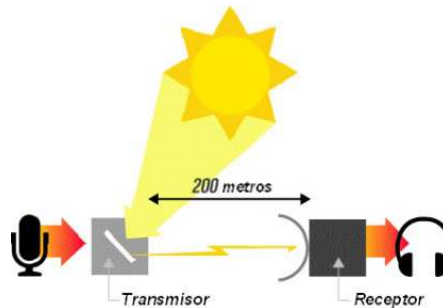
**Fuente:** (Concurso espacial, 2008)

El primer ejemplo de tecnología VLC fue el fotófono desarrollado por Alexander Graham Bell en el año de 1880 (Figura 2). Utilizaba luz solar por un espejo vibratorio y una célula de selenio para enviar voz en un haz de luz a una distancia aproximada de 200 m. Para su correcto funcionamiento se necesitaba de un día despejado con luz solar brillante, sin embargo, esto no fue posible por falta de fuentes de luz adecuadas. (Ortiz, 2010, págs. 2-4)

Hasta finales de 1960, las comunicaciones de radio y radar tuvieron más éxito que las comunicaciones ópticas. Hoy en día, cuando el mundo se enfrenta a la escasez de capacidad para comunicaciones inalámbricas de datos en el espacio libre, la

comunicación óptica es considerada como candidata a extensas aplicaciones de comunicaciones inalámbricas, además que se está produciendo un rápido desarrollo en el campo de la luz y la iluminación. (VLC, 2012)

**Figura 2** Primera comunicación telefónica inalámbrica



**Fuente:** (Sarao, 2013)

VLC se originó en Japón, y ahora hay un interés creciente en Asia, Europa, EE.UU y es investigado por una serie de universidades, empresas y organizaciones alrededor del mundo. En 2007 Japan Electronics and Information Technology Industries Association (JEITA) estableció normas para sistemas de identificación de luz visible. En 2008 el Consorcio de Comunicaciones para Luz Visible (Visible Light Communication Consortium, VLCC) introdujo una especificación estándar. El proyecto europeo de acceso Gigabit Home (OMEGA), también está desarrollando VLC para redes domésticas.

Sin embargo, ninguna de las anteriores normas se centra en el problema sobre mitigaciones de parpadeo y atenuaciones, que se ha integrado en IEEE 802.15.7. El estándar IEEE 802.15.7 soporta diversas topologías, tales como punto a punto y en estrella, con tasas de datos que van desde 11,67 kbps hasta 96 Mbps para aplicaciones en interiores y exteriores. Este estándar describe los distintos métodos de modulación disponibles para VLC y sus beneficios para la mitigación del parpadeo y atenuaciones.

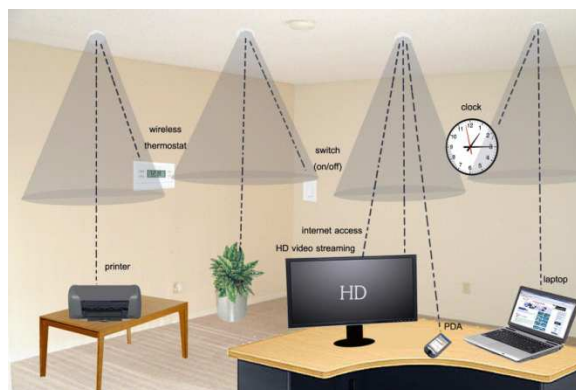
El estándar IEEE 802.15.7 ofrece tres tipos de VLC. El primero opera desde 11,67 a 266,6 kbps, el segundo desde 1,25 hasta 96 Mbps y el tercero entre 12 y 96 Mbps. Los dos primeros se definen para una sola fuente de luz, utilizando modulación OOK

y modulación de pulso posición variable (Variable Pulse Position Modulation, VPPM). El tercero utiliza múltiples fuentes ópticas con diferentes frecuencias y utiliza un formato de modulación particular llamada modulación por desplazamiento de color (CSK). (Sridhar Rajagopal, 2012, pág. 72)

A medida que la eficiencia de estos dispositivos aumenta y su coste disminuye, hay predicciones de que se convertirán en la principal fuente para la iluminación general. La iluminación mediante LED's con luz blanca son cada vez más eficientes, tienen una alta fiabilidad y se pueden incorporar en muchas aplicaciones (Figura 3), tales como:

1. Comunicaciones entre enlaces punto a punto.
  2. Visualización de información mediante letreros y placas indicadoras instaladas en aeropuertos, museos y otros ambientes.
  3. Iluminación y comunicaciones, esto debido a que el LED puede iluminar y a la vez transmitir información en cualquier ambiente.
  4. Posicionamiento y comunicaciones; ya que VLC permite la transmisión de información y posicionamiento como por ejemplo de una persona dentro de un edificio.
  5. Comunicación en entornos peligrosos en donde la radiofrecuencia es potencialmente peligrosa.
  6. Comunicaciones submarinas entre buzos y vehículos operados a distancia.
- (O'Brien, y otros, 2008) (Kavehrad, 2010, pág. 71)

**Figura 3** Aplicaciones de tecnología VLC

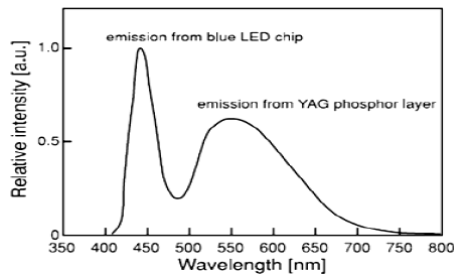


**Fuente:** (NECTEC, 2010)

Existen dos tipos de LED's de luz blanca utilizados en la iluminación:

1. Emisor azul en combinación con un fósforo que emite luz amarilla. Este enfoque es atractivo para la iluminación general, debido a su menor costo y complejidad en comparación con el dispositivo de tres emisores; sin embargo, la velocidad de conmutación es limitada y se encuentra en un rango entre 4 - 5 Mbps, debido al tiempo de caída que genera la presencia de fósforo como lo indica la Figura 4. Este efecto se puede mejorar filtrando la componente azul de la señal recibida, permitiendo obtener tasas de transmisión de hasta 100 Mbps con codificaciones OOK.

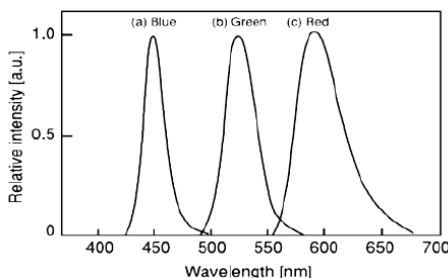
**Figura 4** One-chip type white LED (Fluorescence type)



**Fuente:** (Kaiyun Cui, 2009, pág. 5)

2. Los dispositivos que utilizan distintos emisores rojo, verde y azul formando uno solo, poseen velocidades de conmutación más elevadas y la capacidad de generar diferentes tonalidades, como muestra la Figura 5; sin embargo, son mucho más costosos que los LED's fosforescentes. (Sánchez, 2012, pág. 13) (Le-Minh, Ghassemlooy, O'Brien, & Faulkner, 2010, pág. 1)

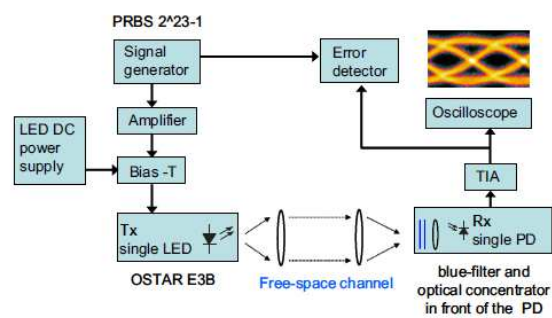
**Figura 5** Multi-chip type white LED (Three primary colors type)



**Fuente:** (Kaiyun Cui, 2009, pág. 5)

Estudios teóricos indican que se pueden transmitir información con altas velocidades en cientos de Mbps en ambientes interiores. Con el método de filtrado azul la primera demostración para OOK obtuvo una velocidad de transmisión de 40 Mbps en una distancia corta. Con el fin de lograr una velocidad de 80 Mbps, se utilizó otro método algo más complejo, en el cual se consideró el uso de LED's fosforescentes individuales con múltiples frecuencias de modulación para mejorar el ancho de banda. El montaje experimental se muestra en la Figura 6.

**Figura 6** Arreglo experimental con Tx-Rx distancia y la iluminación en Rx



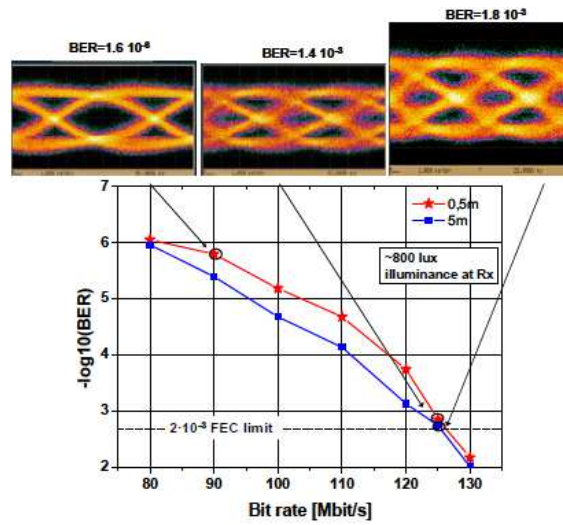
**Fuente:** (Vucic, y otros, 2009, pág. 1)

Las secuencias pseudoaleatorias de bits generados fueron de  $2^{23} - 1$ , obteniéndose de esta manera la señal a ser transmitida. Esta lámpara consiste en seis chips, proporcionando un flujo luminoso de aproximadamente 400 lm (lúmenes) a una intensidad máxima del 50%.

Para que la transmisión mediante luz llegue al receptor, delante del fotodiodo se tiene un filtro azul, el cual suprime el componente fosforescente de luz blanca.

En la Figura 7 se puede observar que el BER correspondiente a la velocidad de datos de 80 Mbps es de aproximadamente  $10^{-6}$ . Con tasas de transmisión más elevadas de 125 Mbps, el rendimiento de error se degrada, pero se puede compensar mediante un código de corrección de errores.

**Figura 7** Bit error rate de acuerdo a la velocidad de trasmisión

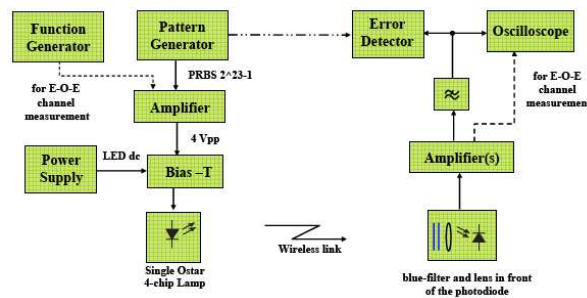


**Fuente:** (Vucic, y otros, 2009, pág. 2)

Mediante la ampliación de la longitud del canal a 5 m, manteniendo la iluminancia en frente de la recepción Rx, muestra que el rendimiento del sistema no cambia, es decir, que depende del nivel de brillo, en lugar de la longitud del canal. (Vucic, y otros, 2009)

Otra demostración de luz visible mediante modulación OOK transmitió a una velocidad de 230 Mbps con el uso de un fotodiodo avalancha (Avalanche Photodiode, APD) y 125 Mbps con el uso de un fotodiodo positivo intrínseco negativo (Positive Intrinsic Negative, PIN), ambos sin ecualización. El montaje experimental se muestra en la Figura 8.

**Figura 8** Montaje experimental para mediciones de error de bit y medición del canal



**Fuente:** (Vucic, y otros, 2010, pág. 2)

Con el fin de aumentar la profundidad de modulación del LED, la señal de salida del generador se amplificó. La fuente de luz consta de cuatro chips, proporcionando un flujo luminoso de aproximadamente 250 lm a 700 mA de corriente continua con intensidad máxima de 50%.

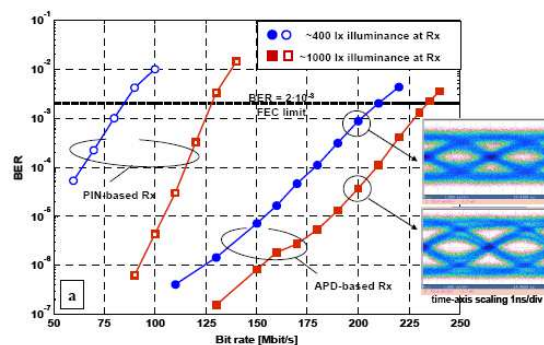
El despliegue de una sola lámpara en los experimentos resultó en longitudes de enlace relativamente cortos, sin embargo, la iluminancia en Rx es el parámetro de diseño más relevante, no sólo para la iluminación, sino también para el rendimiento de la transmisión. Delante del fotodiodo se colocó un filtro azul con una longitud de onda de 500 nm, para suprimir el componente fosforescente de la luz blanca.

Para las mediciones, se consideraron dos detectores de silicio, uno de ellos era un APD, y el otro un diodo PIN con una lente de polímero integrado que proporciona un amplio campo de visión.

A bordo con el detector PIN, hubo una etapa de transimpedancia con bajo nivel de ruido y un amplificador de entrada. Después de la detección y amplificación, la señal pasó por un filtro paso bajo de orden superior, que tiene una frecuencia de corte de 150 MHz (DPA) y 100 MHz (PIN).

La figura 9 representa los resultados de las mediciones del BER cuando se varía la velocidad.

**Figura 9** Medida de la relación de error de bit para dos estructuras Rx en función de la velocidad de bits

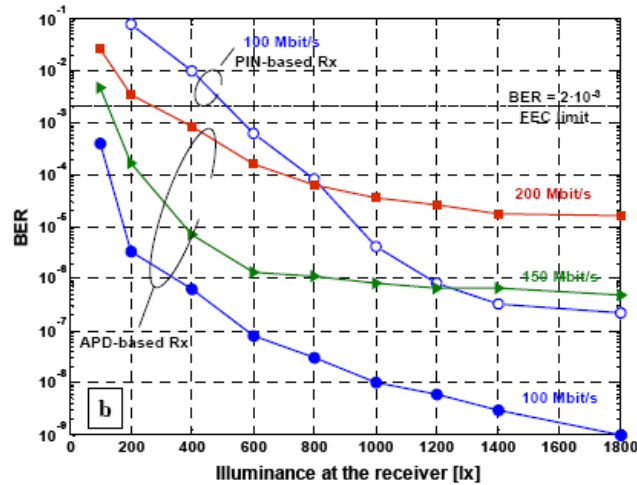


Fuente: (Vucic, y otros, 2010, pág. 3)



La Figura 10 representa el rendimiento del BER cuando se varía la iluminancia en el receptor. (Vucic, y otros, 2010)

**Figura 10** Medida de relación de errores de bit para los Rx, dependiendo del nivel de iluminancia



Fuente: (Vucic, y otros, 2010, pág. 3)

## 2.2 Marco teórico

### 2.2.1 Modulación de Intensidad y detección directa IM/DD

“Los sistemas de comunicaciones ópticas IM/DD son aquellos que emplean receptores de detección directa; consecuentemente, la modulación es aplicada sólo a la intensidad de la señal, es decir a su potencia.” (Boquera, 2005, pág. 151)

**Figura 11** Modelo básico de comunicaciones ópticas



Fuente: (Sánchez, 2012, pág. 3)

### 2.2.2 Modulación OOK para comunicaciones ópticas

Este tipo de modulación es utilizada por la mayoría de los sistemas de transmisión ópticos, es conocida como encendido y apagado. Consiste en suministrar a la fuente de luz una corriente superior a la corriente de umbral, para que tenga lugar la emisión de luz, en caso que se desee transmitir el bit “1”. En caso de que sea un “0”, la potencia óptica emitida por la fuente de luz deberá ser nula, es decir, la corriente aplicada será menor que la de umbral, tal como lo muestra la Figura 12. (Aguilar, 2010, pág. 10)

La forma de onda básica del pulso  $p(t)$  de la señal transmitida se describe como una serie infinita de tiempo. (Kumar, 2011, pág. 86)

$$S(t) = \sum_{k=-\infty}^{\infty} a_k p(t - kT_b) \quad (1)$$

Dónde:

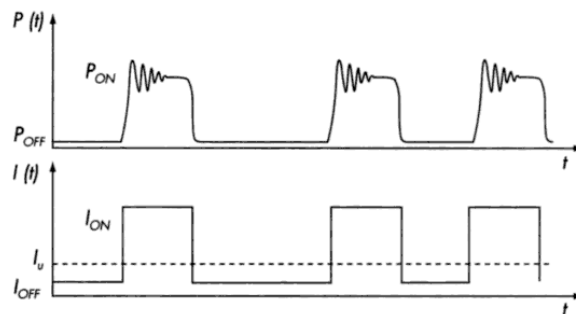
$p(t)$  = pulso rectangular

$a_k$  = Amplitud de la señal

$k$  = número de LED's

$T_b$  = tiempo de bit

**Figura 12** Modulación OOK



**Fuente:** (Boquera, 2005, pág. 269)

Las ventajas principales de este tipo de modulación son las siguientes: sencillo diseño, menor costo, y la desventaja es la sensibilidad en presencia de interferencia por ruido eléctrico. (Guamán, 2010, pág. 43)

### 2.2.3 BER

Parámetro que permite evaluar la calidad de un sistema de comunicación digital, en la cual ocurren errores cuando los datos se están transmitiendo y algunos bits no pueden ser recibidos correctamente.

BER, corresponde a la propagación de bits errados respecto a los bits transmitidos en una transmisión. (Ibujés, 2012, pág. 66)

$$BER = \frac{\text{Número de bits errados}}{\text{Número de bits transmitidos}} \quad (2)$$

Con una señal grande y una ruta sin demasiadas interferencias, el BER puede ser pequeño. Se vuelve significativo cuando se desea mantener una suficiente relación entre la señal y ruido en presencia de transmisión imperfecta a través de circuitos electrónicos (amplificadores, filtros, mezcladores digitales/analógicos, convertidores) y el medio de propagación (por ejemplo, la ruta de acceso de radio o fibra óptica). Cuantos más bits transmitidos no son correctos, la mayor cantidad de señal se verá afectada y el BER incrementará.

El concepto básico del BER consiste en enviar un flujo de datos a través del sistema y comparar la salida a la entrada de su ejecución. Durante un período de tiempo, se puede asumir que una transmisión de datos es un proceso aleatorio, pero se utiliza una secuencia pseudoaleatoria. Llamamos "pseudo" al azar, porque no se puede crear una señal verdaderamente aleatoria utilizando métodos matemáticos. (Breed, 2003)

#### Ejemplo:

<i>Bits Enviados</i>	1000110110
<i>Bits Recibidos</i>	1000010110 (Un bit erróneo)

$$BER = \frac{1}{10} = 0,1$$

Cuanto menor es el exponente, mejor será la BER como lo enseña la Tabla 1.

**Tabla 1** Notación Científica del BER

Decimal	Notación Científica
1	1.0E+00
0.1	1.0E-01
0.01	1.0E-02
0.001	1.0E-03
0.0001	1.0E-04
0.00001	1.0E-05
0.000001	1.0E-06
0.0000001	1.0E-07
0.00000001	1.0E-08
1E-09	1.0E-09

**Bajo y mejor BER**



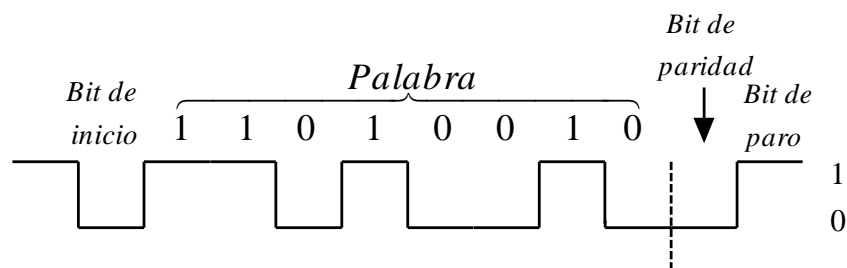
**Fuente:** (Broadband, 2002, pág. 4)

El límite del mecanismo de corrección de errores (Forward Error Correction, FEC) para el BER en comunicaciones ópticas es  $\leq 2 \times 10^{-3}$ . (Vucic, y otros, 2010, pág. 3515)

### 2.2.4 Comunicación serial

La comunicación serie consiste en transmitir y recibir información en forma de cadena de impulsos eléctricos, un bit a la vez. (Instruments, 2 de Enero del 2004)

**Figura 13** Comunicación serial

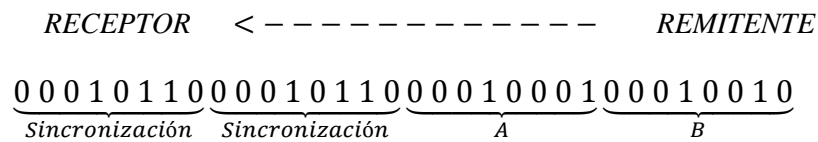


**Elaborado por:** Santiago Maldonado & Byron Morales

En este tipo de comunicación existen dos formas de sincronización que son las siguientes:

- **Transmisión síncrona.-** en este tipo de transmisión necesariamente el transmisor y el receptor deben utilizar la misma frecuencia de reloj como lo indica la Figura 14. Para llegar a la sincronización, el transmisor envía una señal de inicio mediante la cual se activa el reloj del receptor, en ese instante el transmisor y receptor se encuentran sincronizados.

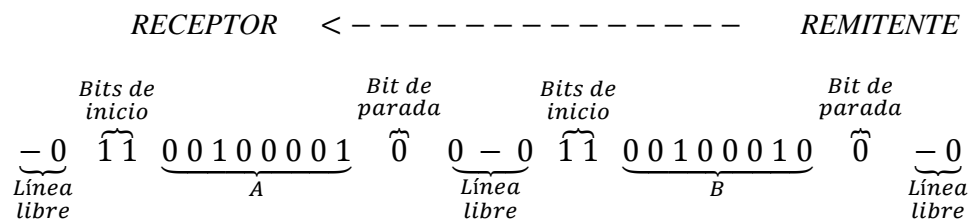
**Figura 14** Transmisión síncrona



**Elaborado por:** Santiago Maldonado & Byron Morales

- **Transmisión asíncrona.-** se envía una señal inicial anterior a cada byte, carácter o palabra codificada. Una vez enviado el código respectivo se envía, inmediatamente, una señal de stop después de cada palabra codificada como lo muestra la Figura 15.

**Figura 15** Transmisión asíncrona



**Elaborado por:** Santiago Maldonado & Byron Morales

La señal de inicio sirve para preparar al mecanismo de recepción, o receptor, la llegada, y registro de un símbolo. La señal de stop sirve para predisponer al mecanismo de recepción para que tome un descanso y se prepare para la recepción del nuevo símbolo. (Tituaña, 2011, págs. 9-10)

### 2.2.4.1 Interfaz USB (Universal Serial Bus)

Como su nombre lo indica se basa en una arquitectura de tipo serial, sin embargo, es una interfaz de entrada/salida mucho más rápida que los puertos seriales estándar. Se lo realiza mediante un bus en el cual constan la línea de datos (D+), la línea de reloj (D-) y dos líneas de polarización GND y Vcc. (Rojas, 2010, pág. 18)

La tabla 2 muestra las líneas de transmisión interfaz USB correspondiente a cada pin.

**Tabla 2** Líneas de transmisión interfaz USB

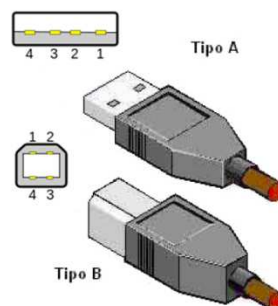
Pin	Señal	Color	Descripción
1	VCC	●	+5 V
2	D-	○	Datos -
3	D+	●	Datos +
4	GND	●	Tierra

**Elaborado por:** Santiago Maldonado & Byron Morales

Existen dos tipos de conectores USB:

- Los conectores conocidos como **tipo A**, cuya forma es rectangular y se utilizan, generalmente, para dispositivos en los cuales la comunicación es permanente (como el teclado, el ratón, las cámaras Web).
- Los conectores conocidos como **tipo B** poseen una forma cuadrada y se utilizan principalmente para dispositivos móviles (cámaras fotográficas). (Rojas, 2010, pág. 20)

**Figura 16** Tipos de conectores USB



**Fuente:** (Pacheco, 2009)

### 2.2.5 Tarjeta de desarrollo FPGA Cyclone III de Altera - EP3C120F780C7

La tarjeta FPGA es un dispositivo reprogramable que permite implementar diversos circuitos digitales.

**Figura 17** Tarjeta de desarrollo FPGA Cyclone III de Altera (EP3C120F780C7)



**Fuente:** (Altera, 2013)

La FPGA tiene las siguientes características:

- Memoria
  - 256 megabytes de doble canal DDR2 SDRAM con código de corrección de errores (ECC).
  - 8 megabytes de SRAM síncrona
  - 64 megabytes de memoria flash
  
- Puertos de comunicación
  - 10/100/1000 Ethernet
  - USB 2.0
  
- Poder y dispositivos analógicos de Linear Technology
  - Unidad de potencia LTM4601
  - Conmutación y reguladores step-down LT1931, LT3481, y LTC3418
  - Convertidor analógico-digital LTC2402
  - Reguladores LDO LT1963 y LT1761

- Reloj
  - 50 MHz
  - 125MHz
  
- Entradas / salidas SMA
  - Cuatro pulsadores de usuario
  - Ocho LED's de usuario
  - Pantalla de Consumo de energía
  
- Display
  - 128 x 64 LCD gráfica
  - 16 x 2 líneas caracteres de LCD
  
- Conectores
  - Dos HSMCs
  - USB tipo B
  
- Fuente de alimentación
  - 14 V - 20 V Entrada de Vcc

Las características más detalladas se encuentran en el Anexo 1.

### **2.2.6 LED**

Es un diodo de unión p-n, fabricado casi siempre con un material semiconductor como el arseniuro de aluminio y galio (AlGaAs) o el arseniuro fosfuro de galio (GaAsP). Los LED emiten luz por emisión espontánea como resultado de la recombinación de electrones huecos. Cuando tienen polarización directa, los portadores minoritarios se inyectan a través de la unión p-n. Una vez atravesada la unión, esos portadores minoritarios se recombinan con portadores mayoritarios y desprenden energía en forma de luz. (Wayne, 2003, pág. 452)



**Tabla 3** Longitudes de onda producidas con materiales semiconductores

Material	Longitud de onda (nm)
InGaN	440 - 660
AlGaInP	630 - 680
GaInP	670
GaAlAs	620 - 895
GaAs	904
InGaAs	980
InGaAsP	1100 - 1650
InGaAsSb	1700 - 4400

**Fuente:** (Wayne, 2003, pág. 453), (Thorlabs, 2013)

### 2.2.7 Fotodetectores

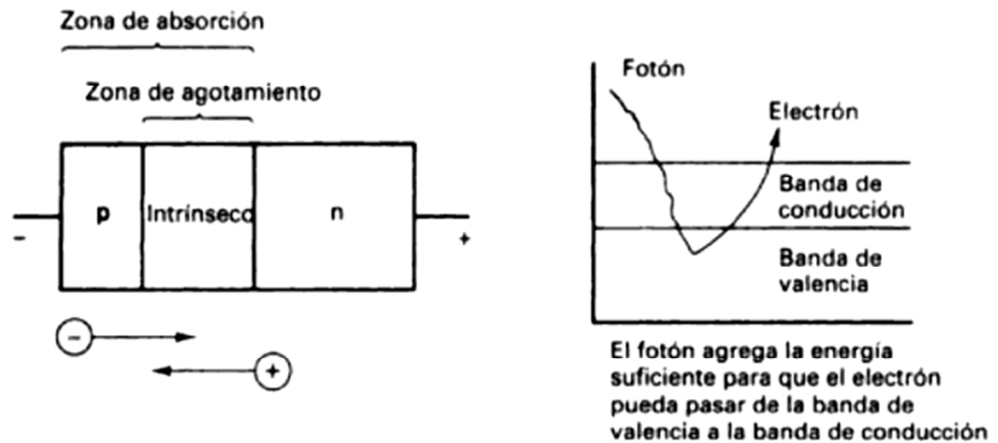
Dispositivos que transforman la intensidad luminosa en señal eléctrica. Los fotodetectores más utilizados son los fotodiodos, éstos son adecuados para un sistema de comunicaciones de alta velocidad, debido fundamentalmente, al escaso ancho de banda (respuesta optoeléctrica demasiado lenta).

La relación entre la corriente generada y la potencia óptica corresponde a la respuesta del fotodiodo, se lo denomina responsividad y se mide en A/W (Ampere/Watt). (Navarro, págs. 17-18)

Existen dos tipos de fotodiodos que son:

**Fotodiodo PIN** (Positive-Intrinsic-Negative), trabajan con principios similares a los LED, pero en sentido contrario. La luz entra al diodo por una ventana muy pequeña y es absorbida por el material intrínseco, el cual agrega la energía suficiente para lograr que los electrones se muevan de la banda de valencia a la banda de conducción y se generen portadores de carga eléctrica que permiten que una corriente fluya a través del diodo. (Palma, 2009, pág. 18)

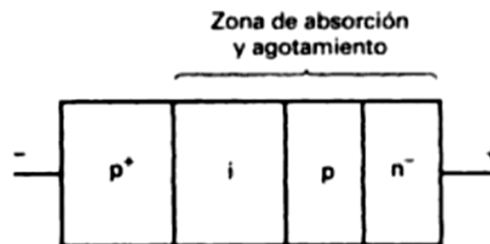
**Figura 18** Fotodiodo PIN



**Fuente:** (Wayne, 2003, pág. 459)

**Fotodiodo Avalancha APD** (Avalanche Photodiode), son dispositivos similares a los fotodiodos PIN, pero proporciona ganancia a través de un proceso de amplificación: Un fotón que actúa en el dispositivo suelta muchos electrones, debido al gran campo eléctrico generado por la polarización inversa, los electrones adquieren velocidades muy altas y al chocar con otros electrones de otros átomos, hacen que éstos se ionicen. Estos átomos ionizan a otros átomos, desencadenando un efecto de avalancha de corriente fotoeléctrica. (Palma, 2009, pág. 18)

**Figura 19** Fotodiodo Avalancha

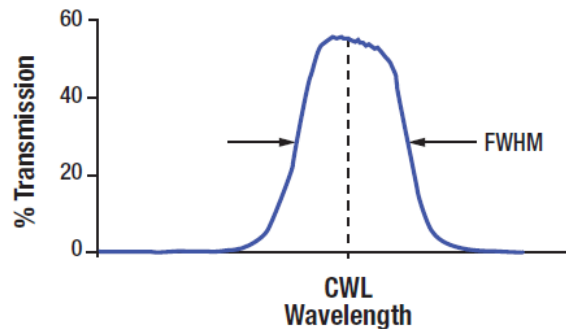


**Fuente:** (Wayne, 2003, pág. 460)

### 2.2.8 Filtro azul

Filtro pasabanda ó pasabajo que transmite luz en una región espectral estrecha, bien definida, mientras rechaza otra radiación no deseada, tal como lo muestra la Figura 20. (Thorlabs, 2013)

**Figura 20** Características típicas de Transmisión



**Fuente:** (Thorlabs, 2013)

Dónde:

**CWL:** Longitud de onda central

**FWHM:** Banda de paso

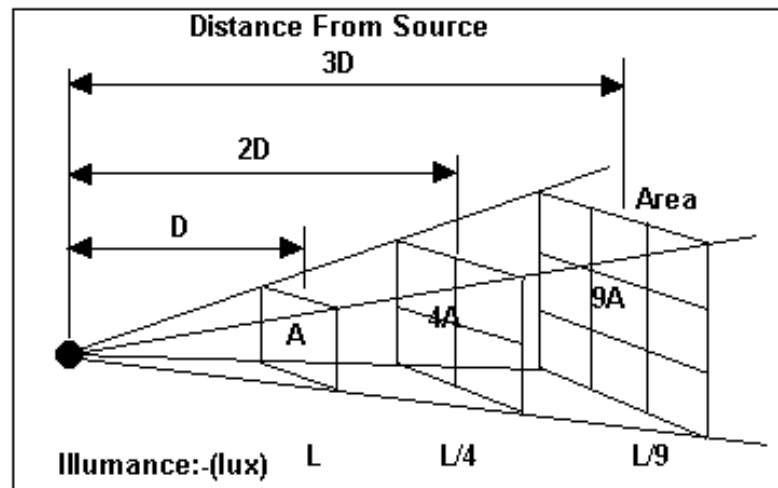
### 2.2.9 Ley Cuadrática Inversa

La intensidad de luz de una fuente puntual varía inversamente con el cuadrado de la distancia, tal como lo indica la Figura 21. (Naranjo, 2009, pág. 1)

Se deben tomar en cuenta los siguientes conceptos:

- **Flujo luminoso:** es la potencia emitida en forma de radiación luminosa a la que el ojo humano es sensible. Se mide en lúmenes (lm).
- **Iluminancia:** es el flujo luminoso recibido por una superficie. Se mide en luxes (lx).
- **Intensidad luminosa:** expresa la distribución del flujo luminoso en el espacio. Se mide en candelas (cd). (Blanca Giménez, Castilla Cabanes, María, & Alicia, 2011)

**Figura 21** Propagación de luz mediante la Ley Cuadrática Inversa



**Fuente:** (Infrared Illumination, HOW FAR DOES YOUR LIGHT SHINE, 2012)

La relación se expresa de la siguiente manera:

$$E = \frac{I}{r^2} \quad (3)$$

Dónde:

$E =$  Iluminancia

$I =$  Intensidad luminosa

$r =$  Distancia (metros)

### 2.2.10 Principales factores de degradación en comunicaciones ópticas

Son variaciones indeseables que se presentan en un canal de comunicaciones ópticas y se generan entre el emisor y el receptor, las cuales interfieren con las señales deseadas e impiden la comunicación de una manera correcta. (Blake, 2004, pág. 16)

Generalmente, el ruido en el receptor VLC es similar al receptor de la comunicación óptica habitual, por ejemplo:

- **Ruido térmico:** “se origina por el movimiento aleatorio de los electrones en un conductor debido al calor.” (Blake, 2004, pág. 18)

- **Ruido de interferencia óptica:** las fuentes de ruido en el sistema de VLC son la luz del sol, la luz incandescente y la lámpara fluorescente. (Lee, 2011, pág. 335)
- **Ruido de oscuridad:** consecuencia de la corriente que circula por el detector en inversa.
- **Ruido cuántico o ruido shot:** se debe a la naturaleza de la luz, debido a que la fotocorriente generada se da por la estadística de llegada de fotones.

En sistemas digitales, el ruido cuántico, es el número mínimo de fotones necesarios para que el sistema pueda distinguir un 1 lógico de un 0 lógico y de ésta manera obtener un BER.

En el caso de la transmisión analógica, es la potencia incidente necesaria para lograr una determinada relación señal a ruido en el receptor. (J. M. Albella Martin, 1988, pág. 102)

### 2.2.11 Relación Señal a Ruido (S/N)

“Es una forma de describir la calidad de las señales en un sistema de comunicación.” (Kaminow, 2010, pág. 199). Relaciona el nivel de la señal de entrada con respecto al nivel de ruido que se tiene a la salida. (Blake, 2004, págs. 23-24)

Puede ser expresada en potencias o en voltajes de la siguiente manera:

$$\frac{S}{N} (dB) = 10 \log \left( \frac{P_s}{P_n} \right) \quad (4)$$

$$\frac{S}{N} (dB) = 20 \log \left( \frac{V_s}{V_n} \right) \quad (5)$$

Dónde:

$P_s =$  Potencia de la señal

$P_n =$  Potencia del Ruido

$V_s =$  Voltaje de la señal

$V_n =$  Voltaje del Ruido

### 2.2.12 Ancho de banda

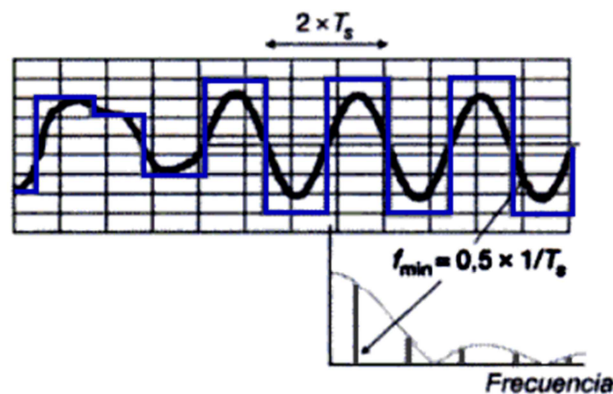
El ancho de banda es definido como la frecuencia donde la amplitud de la señal cae 3 dB por debajo de la menor frecuencia de la señal (reducción del 50% de la potencia). (Guerrero, 2008, pág. 41)

- El ancho de banda de una señal de información es la diferencia entre las frecuencias máxima y mínima contenidas en la información.
- El ancho de un canal de comunicaciones es la diferencia entre las frecuencias máxima y mínima que pueden pasar por el canal (es decir, son su banda de paso).

El ancho de banda de un canal de comunicaciones debe ser lo suficientemente grande (ancho) para pasar todas las frecuencias importantes de la información. En otras palabras el ancho de banda del canal de comunicaciones debe ser igual o mayor que el ancho de banda de la información. (Wayne, 2003, pág. 8)

A fin de determinar la máxima velocidad a la que pueden enviarse los datos sobre un canal, se requiere saber la velocidad de símbolos máxima que puede soportar el canal en función de su ancho de banda. Para ello se considera canales de paso bajo o banda base, donde el canal puede pasar señales con frecuencias dentro del margen de 0 Hz a B Hz; esto se conoce como banda de paso del canal.

**Figura 22** Banda de Paso



**Fuente:** (Bateman, 2003, pág. 41)

La figura 22 muestra un flujo de símbolos que alternan entre los niveles de tensión máximo y mínimo. Esto tiene la apariencia de una onda cuadrada cuya estructura armónica se conoce a partir de su desarrollo en serie de Fourier. La fundamental de esta onda cuadrada está a una frecuencia de  $0,5 \times 1/T_s$ , donde  $T_s$  es el período del símbolo. (Bateman, 2003, págs. 41-42)

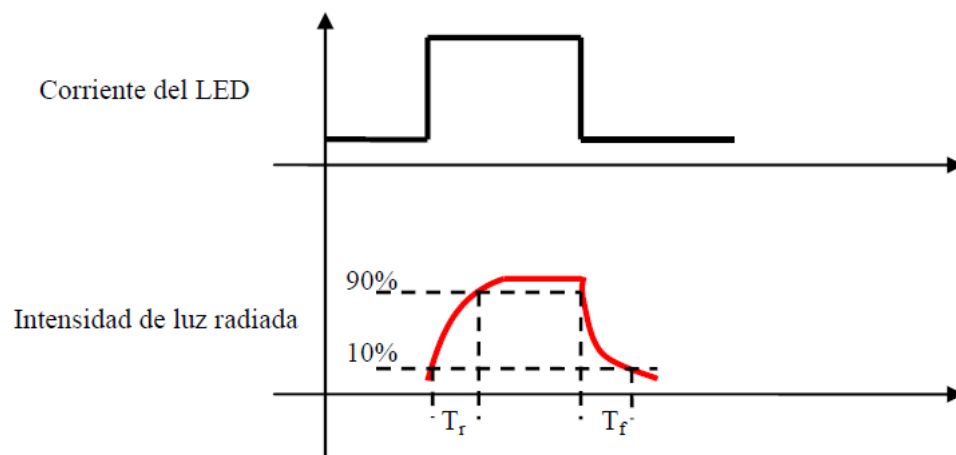
A partir de lo anteriormente citado, se puede generalizar y concluir que el ancho de banda mínimo requerido para una transmisión sin errores en un canal de banda base está dado por:

$$AB = 0,5 \times \frac{1}{T_s} \quad (6)$$

### 2.2.13 Tiempo de respuesta

Es la rapidez con la que se lleva al LED de encendido a apagado, también conocido como tiempo de subida y tiempo de bajada; es decir, el tiempo que tarda en llegar desde el 10% al 90% de la potencia máxima radiada, una vez que fluye corriente a través de sus terminales, tal como lo representa la Figura 23. (Tello, 2011, pág. 8)

**Figura 23** El tiempo de respuesta del LED



**Fuente:** (Tello, 2011)

### 2.2.14 Tasa de bits de Nyquist

En términos generales la capacidad del canal es la velocidad a la cual se pueden transmitir datos en un canal o ruta de comunicación.

“El teorema de Nyquist, permite determinar la cantidad de información que es posible enviar a través de un canal de comunicaciones sin ruido (canal ideal) y ancho de banda finito.” (Fusario, 1999, pág. 369)

Se lo expresa de la siguiente manera:

$$C = 2 AB \log_2 M \quad (7)$$

Dónde:

$C =$  Capacidad del canal

$AB =$  Ancho de banda

$M =$  Niveles de la señal

### 2.2.15 Límite de Shannon-Hartley

Calcula la velocidad máxima de transmisión de datos en un canal con ruido blanco Gaussiano aditivo y relaciona dos parámetros fundamentales: el ancho de banda y la relación señal a ruido. (Fusario, 1999, págs. 371-372)

Se lo expresa de la siguiente manera:

$$C = AB \log_2 \left( 1 + \frac{S}{N} \right) \quad (8)$$

Dónde:

$C =$  Capacidad del canal

$AB =$  Ancho de banda

$\frac{S}{N} =$  Relación señal a ruido



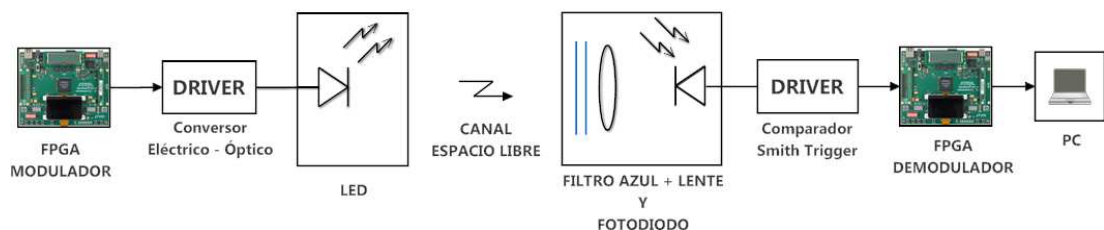
## CAPÍTULO 3 DISEÑO E IMPLEMENTACIÓN

### 3.1 Diseño y desarrollo de hardware

#### 3.1.1 Diagrama de bloques

El hardware de este proyecto se compone de distintas etapas, las cuales son: FPGA (modulador - demodulador), conversor eléctrico - óptico, LED, filtro azul, lente, fotodiodo, comparador y computador. Su interconexión se detalla mediante el diagrama de la Figura 24.

**Figura 24** Diagrama de bloques de hardware



**Elaborado por:** Santiago Maldonado & Byron Morales

#### 3.1.2 Descripción de los bloques de hardware

- **FPGA:** funciona como modulador y demodulador utilizando diferentes salidas y entradas digitales del módulo HSMC Port B (J9) previamente programadas. El voltaje de las salidas digitales es de 2.5 V.

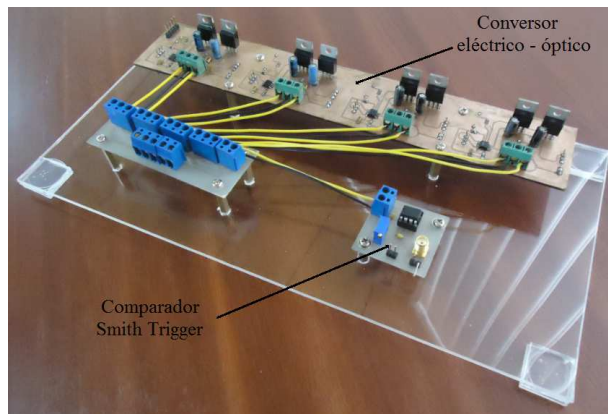
**Figura 25** HSMC Port B (J9) – (Debug Header Shown)



**Fuente:** (Elcodis, 2013)

- **Conversor eléctrico - óptico y comparador:** para estas etapas se utilizaron dos placas diferentes, elaboradas por el tesista Erick Peñaherrera que se pueden apreciar en la Figura 26. La primera permite amplificar la corriente del LED lo cual permite modular la señal OOK en intensidad y la segunda corresponde a un circuito Smith Trigger para demodular la señal, comparando los diferentes voltajes que provienen del fotodiodo.

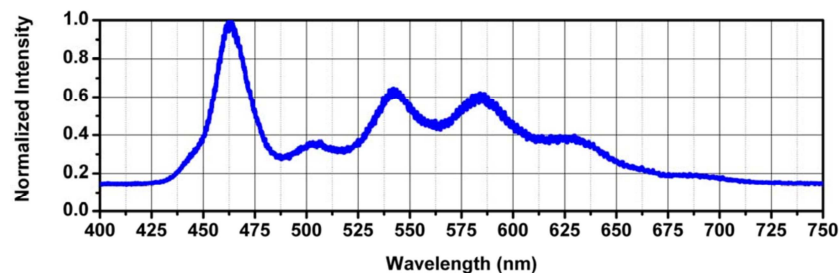
**Figura 26** Conversor eléctrico - óptico y comparador



**Elaborado por:** Erick Alexander Peñaherrera Aguilar

- **LED:** corresponde a la etapa de transmisión de datos mediante pulsos ópticos a través de un LED de luz blanca. La máxima corriente a la que opera es de 30 mA, y la longitud de onda central se encuentra en el rango de 440 nm a 660 nm, tal como lo demuestra la Figura 27. La figura 28 muestra el LED que se utilizó y su respectiva hoja de datos se encuentra en el anexo 2.

**Figura 27** Intensidad espectral del LED



**Fuente:** (Thorlabs, 2013)

**Figura 28 LED**

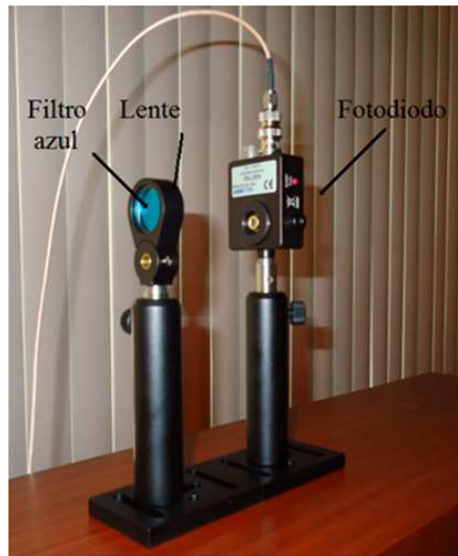


**Elaborado por:** Santiago Maldonado & Byron Morales

- **Filtro azul, lente y fotodiodo:** En conjunto corresponden a la etapa de recepción de datos tal como lo muestra la Figura 29. El lente concentra más potencia luminosa en un solo punto y se encuentra junto al filtro azul en un portalentes. El filtro que se utilizó es de Thorlabs (*FB470 – 10*) y tiene el centro de longitud de onda en  $470\text{ nm}$ . Este filtro se utilizó para aprovechar las características del LED, debido a que la intensidad espectral más energética corresponde a la componente azul del espectro de luz visible. Las hojas de datos del lente y del filtro azul que se utilizaron se encuentran en el anexo 3 y 4 respectivamente.

El fotodiodo tiene una responsividad de  $0.45\text{ A/W}$  y recibe la señal que proviene del modulador en forma de luz y la convierte en una magnitud física medible, en este caso voltaje, para posteriormente demodularla a través del comparador Smith Trigger y finalmente enviarla a la FPGA para ser sincronizada. Una vez que se sincronizan los datos el computador cumple la función de visualizar el BER que se obtuvo en la transmisión. Las características del fotodiodo que se utilizó se encuentran en el anexo 5.

**Figura 29** Filtro azul, lente y fotodiodo



**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.2 Desarrollo de software

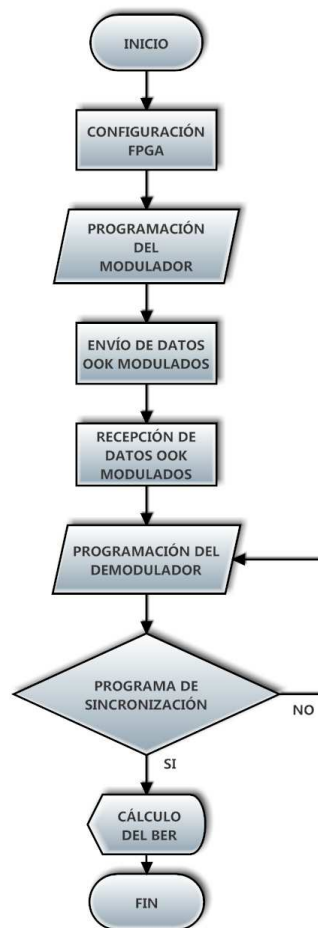
El software de este proyecto está realizado en Matlab (Simulink), utilizando las librerías de Altera. Aquí se desarrolla en lenguaje gráfico, el programa que va a ser compilado, traducido y transferido al FPGA para programarlo. La programación tiene subprocesos los cuales cumplen diferentes funciones y están interconectados entre ellos para obtener la modulación, sincronización, demodulación y cálculo del BER desde Simulink a través de la tarjeta FPGA.

En esta parte se detallará la estructura y el funcionamiento de la programación en bloques, indicando mediante diagramas de flujo su estructura teórica, para posteriormente analizar cada etapa dentro del software de desarrollo Simulink. La elaboración del programa completo se encuentra en el anexo 6.

### 3.2.1 Diagrama de flujo general

La Figura 30 muestra de una forma gráfica el desarrollo de software del proyecto, lo cual permite entender de una mejor manera el desarrollo y la generación del diseño.

**Figura 30** Diagrama de flujo general



**Elaborado por:** Santiago Maldonado & Byron Morales

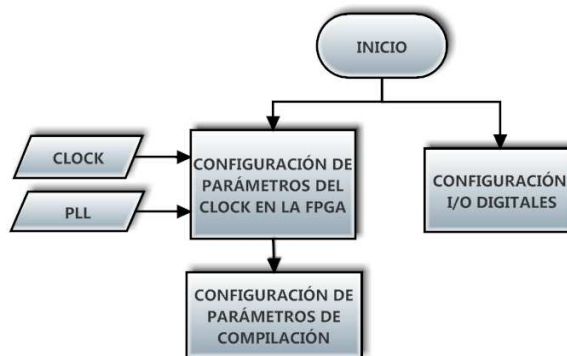
- *Inicio:* Inicio del programa.
- *Configuración FPGA:* se configuran las entradas, salidas y las configuraciones necesarias que se utilizarán en el proyecto.
- *Programación del modulador:* se genera la programación en bloques correspondiente al modulador.
- *Envío de datos OOK modulados:* se asigna el bloque que pertenece a la salida digital de la FPGA.
- *Recepción de datos OOK modulados:* se asigna el bloque que pertenece a la entrada digital de la FPGA.

- *Programación del demodulador*: se genera la programación en bloques correspondiente al demodulador.
- *Programa de sincronización*: es la generación del código mediante bloques, que permite sincronizar la señal a base de compuertas lógicas y contadores TOP.
- *BER*: permite conocer la tasa de error en función de los bits erróneos recibidos respecto a los bits transmitidos.
- *Fin*: fin del ciclo.

### 3.2.2 Diagrama de flujo de la configuración de la FPGA

La configuración del FPGA consiste en asignar salidas y entradas digitales por donde se enviarán y recibirán los pulsos de modulación y demodulación OOK respectivamente para transmitir la señal; además, se establecen los diferentes parámetros del reloj y configuraciones necesarias para el funcionamiento del programa en la tarjeta. La Figura 31 muestra el diagrama de flujo de la configuración de la FPGA.

**Figura 31** Diagrama de flujo de la configuración de la FPGA



**Elaborado por:** Santiago Maldonado & Byron Morales

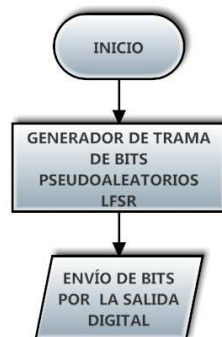
- *Inicio*: inicio del programa.
- *Configuración de parámetros del clock en la FPGA*: se coloca los bloques de generación de reloj (clock) y pulsos (PLL).
- *Clock*: establece la señal de reloj interno de la tarjeta, en este caso 50 MHz (200ns) para poder obtener mediante código VHDL una frecuencia a la salida que variará en función del PLL.

- *PLL*: es una función que recibe la señal de reloj base (Clock), la cual se usa para generar la frecuencia con la que se desea trabajar (multiplicando o dividiendo la frecuencia interna de la FPGA).
- *Configuración de parámetros de compilación*: se coloca el bloque de compilación (Signal compiler) y el bloque perteneciente a la tarjeta FPGA que se está utilizando.
- *Configuración de I/O digitales*: se colocan los bloques llamados Quartus II Pinout Assignments para asignar los nombres de los pines correspondientes al módulo HSMC Port B (J9) – (Debug Header Shown).

### 3.2.3 Diagrama de flujo del modulador

En esta etapa se generan los bits 1's y 0's pseudoaleatoriamente, los cuales corresponden al modulador y son enviados a las salidas digitales de la FPGA. La Figura 32 indica el diagrama de flujo de dicha etapa.

**Figura 32** Diagrama de flujo del modulador



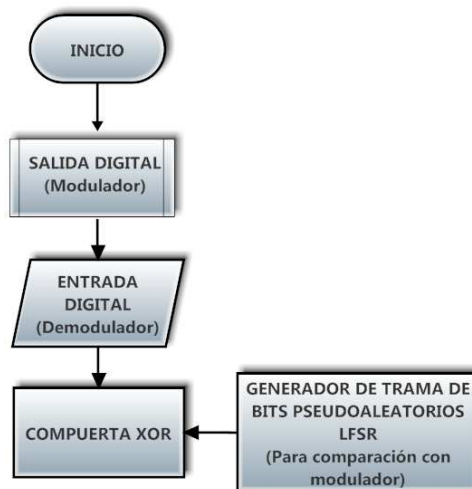
**Elaborado por:** Santiago Maldonado & Byron Morales

- *Inicio*: inicio del programa.
- *Generador de trama de bits pseudoaleatorios LFSR*: se utiliza el bloque LFSR el cual está configurado con una trama de  $2^{11} - 1$  bits.
- *Envío de bits por la salida digital*: los bits provenientes del bloque LFSR se los envía por el bloque correspondiente a la salida digital de la FPGA para transmisión de datos.

### 3.2.4 Diagrama de flujo del demodulador

En esta etapa se receipta la trama de bits proveniente de la salida digital del modulador por medio de la entrada digital correspondiente al demodulador, esta señal a su vez será comparada a través de una compuerta lógica XOR, con otro bloque LFSR de igual configuración al del modulador para su futura sincronización, como lo muestra la Figura 33.

**Figura 33** Diagrama de flujo del demodulador



**Elaborado por:** Santiago Maldonado & Byron Morales

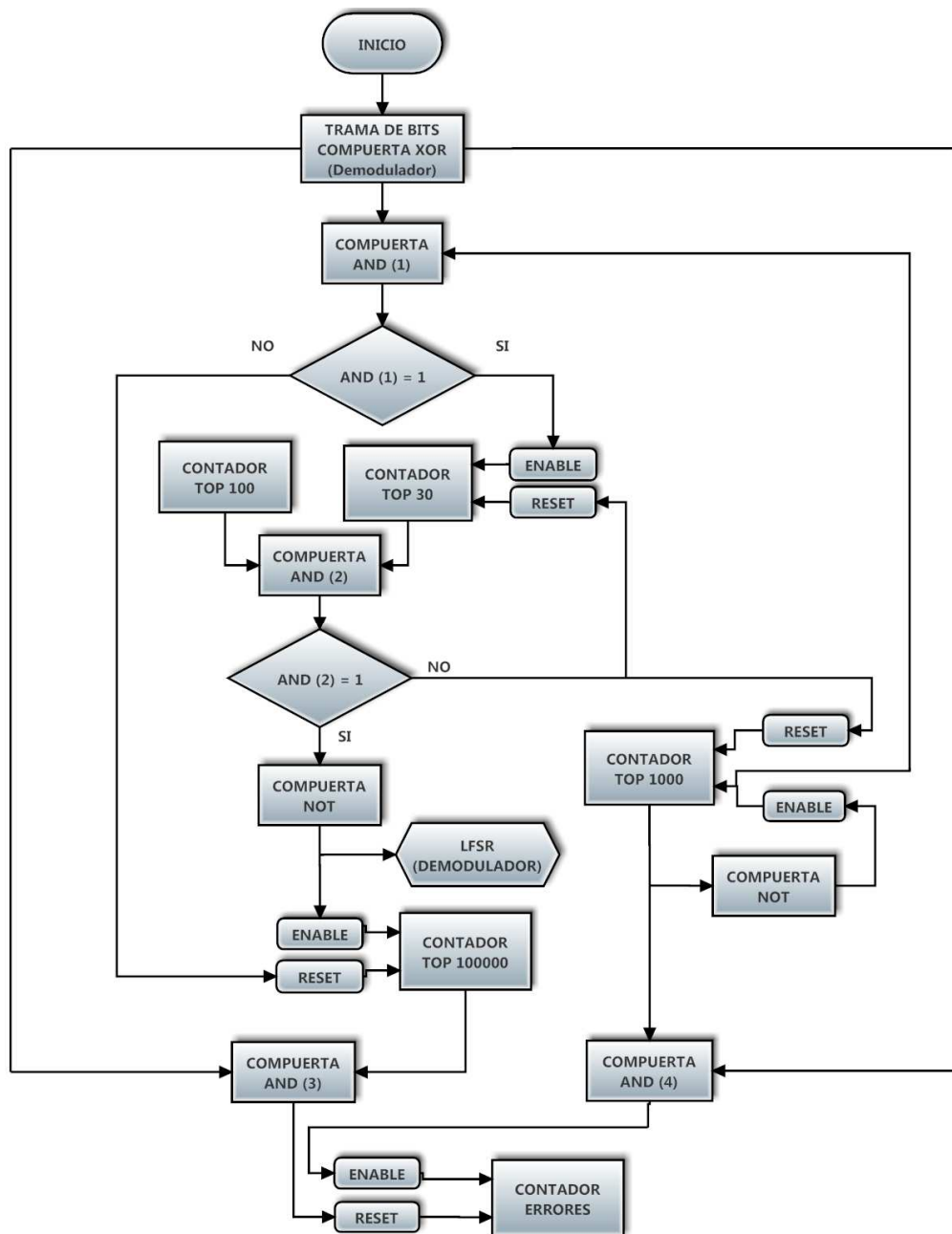
- *Inicio:* inicio del programa.
- *Salida digital (modulador):* corresponde a la salida digital de la FPGA para transmisión de datos del modulador.
- *Entrada digital (demodulador):* los bits provenientes del modulador se los receipta por medio del bloque correspondiente a la entrada digital de la FPGA para recepción de datos.
- *Generador de trama de bits pseudoaleatorios LFSR:* se utiliza el bloque LFSR el cual está configurado de la misma manera que el modulador.
- *Compuerta XOR:* compara la señal modulada con el bloque LFSR del demodulador para dar comienzo al programa de sincronización.



### 3.2.5 Diagrama de flujo del programa de sincronización

La señal del demodulador necesita sincronizarse con la del modulador, para eso se desarrolla un programa a base de contadores TOP y compuertas lógicas, de tal manera que logren la sincronización de la señal y determinen el número de bits erróneos que se tiene en la transmisión, de no ser el caso, el proceso deberá retroalimentarse hasta lograr la sincronización, tal como lo indica la Figura 34.

**Figura 34** Diagrama de flujo del programa de sincronización

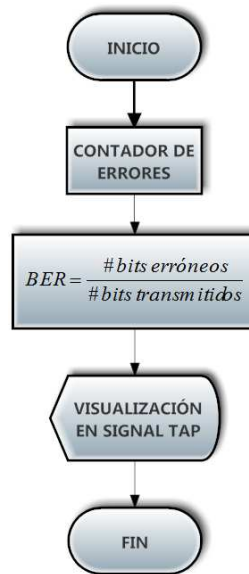


Elaborado por: Santiago Maldonado & Byron Morales

### 3.2.6 Diagrama de flujo del BER

Finalmente en esta etapa se realiza el cálculo del BER mediante la relación entre los bits provistos por el contador de errores y el contador TOP 100000 cuando éste se resetea, para posteriormente visualizar este valor a través de la función Signal Tap que posee la librería de Altera, su respectivo diagrama lo muestra la Figura 35.

**Figura 35** Diagrama de flujo del BER



**Elaborado por:** Santiago Maldonado & Byron Morales

- *Inicio*: inicio del programa
- *Contador de errores*: corresponde a los bits erróneos que se tiene en la transmisión una vez que se ha sincronizado la señal.
- *BER*: es el cálculo de los bits erróneos respecto a los bits transmitidos de la señal que se envió.
- *Visualización en Signal Tap*: se ejecuta la función Signal Tap la cual permite visualizar el valor exacto del BER calculado en un osciloscopio virtual propio de Altera.
- *Fin*: fin del ciclo.

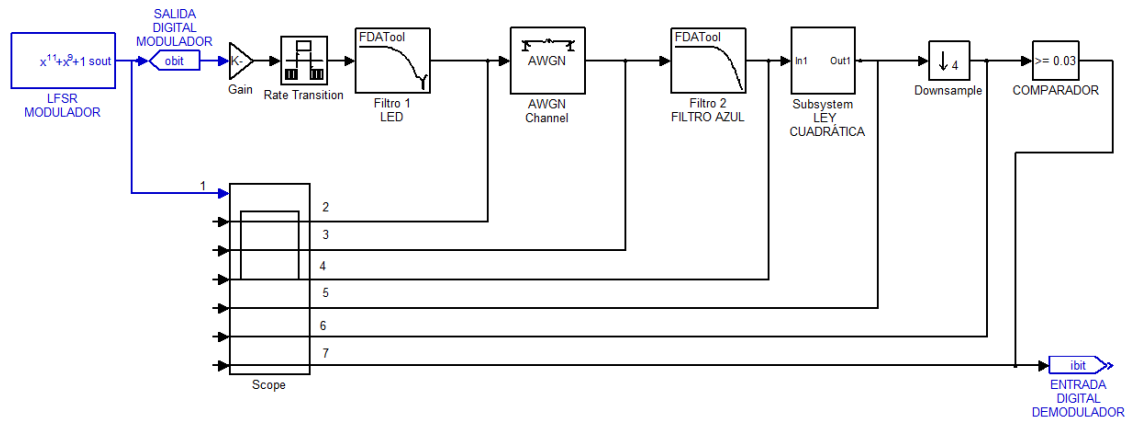
### 3.3 Simulación de la Ley Cuadrática Inversa

Para simular la ley cuadrática inversa se utilizó programación en bloques (Figura 36) y consola (Figura 37), ya que fue necesario establecer los parámetros que más aproximen el modelo a la realidad, y determinar la ecuación que describe el comportamiento de dicha ley a través del método de los mínimos cuadrados con los valores obtenidos de la implementación. Es necesario utilizar los datos prácticos para garantizar el éxito en la simulación y de esta manera comparar los resultados obtenidos con los de la implementación para cumplir el objetivo.

En el caso de la programación gráfica se estableció la configuración de los siguientes bloques:

- *Gain*: permite modificar la amplitud de la señal, en este caso 2.44 [V], que corresponde al voltaje de la salida digital de la FPGA.
- *Rate transition*: muestrea la señal y satisfacer el teorema de Nyquist.
- *Filtro 1*: emula al LED mediante un filtro pasabajos, tomando en cuenta la frecuencia de corte del LED utilizado.
- *AWGN channel*: representa el canal de transmisión, en este caso el espacio libre con sus respectivas pérdidas.
- *Filtro 2*: emula al filtro azul mediante un filtro pasabajos, tomando en cuenta su respectiva frecuencia de corte.
- *Subsistema*: permite ingresar el valor de la distancia de transmisión que se utilizará, este valor trabajará conjuntamente con los datos que se establecen en el programa realizado en consola para obtener la curva voltaje vs distancia, que describe la ley cuadrática inversa.
- *Downsample*: recupera la señal a su estado original después de haber sido muestreada.
- *Comparador*: emula al comparador Smith Trigger, en el cual se configura el nivel de voltaje para recuperar la señal, en este caso 0.03 [V] (valor obtenido de la implementación)

**Figura 36** Simulación de la ley cuadrática inversa – programación en bloques



**Elaborado por:** Santiago Maldonado & Byron Morales

En el caso de la programación en consola se estableció los parámetros, condiciones, y la ecuación para determinar la relación entre el voltaje y distancia de la ley cuadrática inversa en este proyecto.

La curva resultante corresponde a una relación cuadrática, la cual se determinó con el siguiente sistema de ecuaciones:

$$\begin{aligned}
 na_0 + a_1 \sum_{i=1}^n d_i + a_2 \sum_{i=1}^n d_i^2 &= \sum_{i=1}^n v_i \\
 a_0 \sum_{i=1}^n d_i + a_1 \sum_{i=1}^n d_i^2 + a_2 \sum_{i=1}^n d_i^3 &= \sum_{i=1}^n d_i v_i \\
 a_0 \sum_{i=1}^n d_i^2 + a_1 \sum_{i=1}^n d_i^3 + a_2 \sum_{i=1}^n d_i^4 &= \sum_{i=1}^n d_i^2 v_i
 \end{aligned} \tag{9}$$

Dónde:

$n$  = número de datos tomados

$d_i$  = distancia

$v_i$  = voltaje

$a_0, a_1, a_2$  = constantes a encontrar

La tabla 4 muestra los datos de voltaje y distancia que se tomaron.

**Tabla 4** Datos de distancia y voltaje

$d$ [m]	$v$ [V]
0.12	0.101
0.2	0.0936
0.3	0.08
0.4	0.068
0.5	0.0608
0.6	0.0528
0.7	0.0456

**Elaborado por:** Santiago Maldonado & Byron Morales

Con los datos obtenidos se presenta los sumatorios totales en la tabla 5.

**Tabla 5** Sumatorios de distancia y voltaje

$d$	$v$	$d^2$	$d^3$	$d^4$	$dv$	$d^2v$
0.12	0.101	0.0144	0.001728	0.00020736	0.01212	0.0014544
0.2	0.0936	0.04	0.008	0.0016	0.01872	0.003744
0.3	0.08	0.09	0.027	0.0081	0.024	0.0072
0.4	0.068	0.16	0.064	0.0256	0.0272	0.01088
0.5	0.0608	0.25	0.125	0.0625	0.0304	0.0152
0.6	0.0528	0.36	0.216	0.1296	0.03168	0.019008
0.7	0.0456	0.49	0.343	0.2401	0.03192	0.022344
$\sum_{i=1}^7 d_i =$ 2.82	$\sum_{i=1}^7 v_i =$ 0.5018	$\sum_{i=1}^7 d_i^2 =$ 1.4044	$\sum_{i=1}^7 d_i^3 =$ 0.784728	$\sum_{i=1}^7 d_i^4 =$ 0.46770736	$\sum_{i=1}^7 d_i v_i =$ 0.17604	$\sum_{i=1}^7 d_i^2 v_i =$ 0.0798304

**Elaborado por:** Santiago Maldonado & Byron Morales

Utilizando el sistema de ecuaciones (9), se obtiene:

$$7a_0 + 2.82 a_1 + 1.4044 a_2 = 0.5018$$

$$2.82 a_0 + 1.4044 a_1 + 0.784728 a_2 = 0.17604$$

$$1.4044 a_0 + 0.784728 a_1 + 0.46770736 a_2 = 0.0798304$$

Los valores buscados son:

$$a_0 = 0.119$$

$$a_1 = -0.1491$$

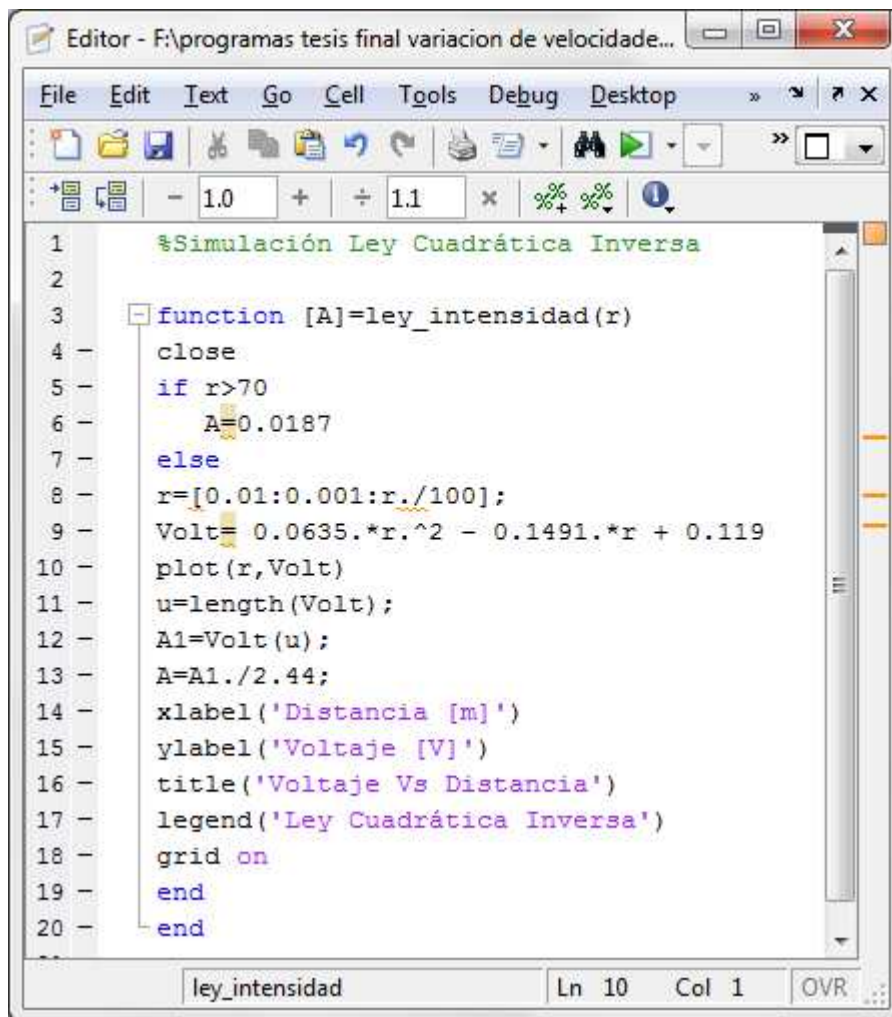
$$a_2 = 0.0635$$

Resolviendo se encuentra la ecuación que será ingresada por consola y es la siguiente:

$$v = 0.0635 d_i^2 - 0.1491 d + 0.119 \quad (10)$$

El desarrollo del programa en consola que se utilizó se indica en la Figura 37.

**Figura 37** Simulación de la ley cuadrática inversa – programación en consola



```
1 %Simulación Ley Cuadrática Inversa
2
3 function [A]=ley_intensidad(r)
4     close
5     if r>70
6         A=0.0187
7     else
8         r=[0.01:0.001:r./100];
9         Volt= 0.0635.*r.^2 - 0.1491.*r + 0.119
10        plot(r,Volt)
11        u=length(Volt);
12        A1=Volt(u);
13        A=A1./2.44;
14        xlabel('Distancia [m]')
15        ylabel('Voltaje [V]')
16        title('Voltaje Vs Distancia')
17        legend('Ley Cuadrática Inversa')
18        grid on
19    end
20 end
```

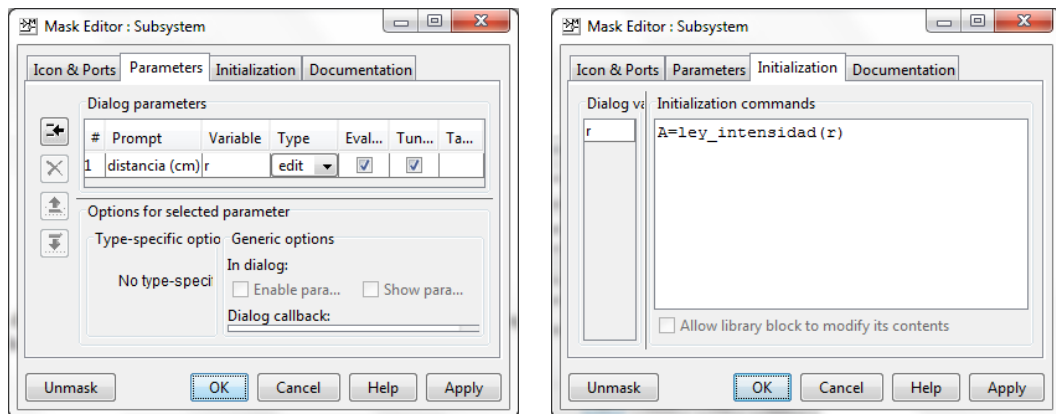
**Elaborado por:** Santiago Maldonado & Byron Morales

En la programación en consola se define la función  $[A]=ley\_intensidad(r)$ , que contiene el código de la ley cuadrática inversa, mismo que será llamado por el bloque *subsystem*, para que trabajen conjuntamente.

Para llamar la función desde el bloque, se debe dar click derecho en *subsystem*, edit mask y configurar las pestañas Parámetros e Inicialización como lo indica la Figura 38.

- *Parameters*: para asignar la variable, en este caso la distancia.
- *Initialization*: para llamar la función.

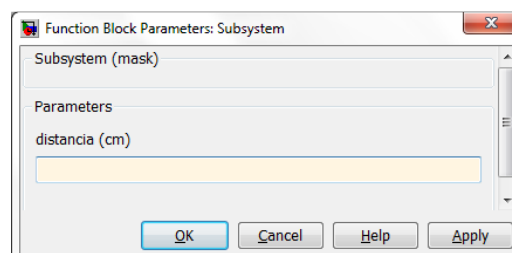
**Figura 38** Configuración de Parámetros e Inicialización



**Elaborado por:** Santiago Maldonado & Byron Morales

El valor de la distancia para simular la ley cuadrática inversa se lo ingresa en el bloque *subsystem* haciendo doble click como lo indica la figura 39.

**Figura 39** Ingreso de la variable distancia



**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4 Análisis de resultados

Se realizaron pruebas para identificar la máxima y la mínima velocidad de transmisión a distancias fijas y variables, tomando en cuenta la potencia, tasa de error y relación señal a ruido que se obtuvo en la transmisión; además, se compararon las mediciones tomadas de la simulación e implementación para verificar la similitud de datos y de esta manera comprobar el éxito y la confiabilidad del programa simulado.

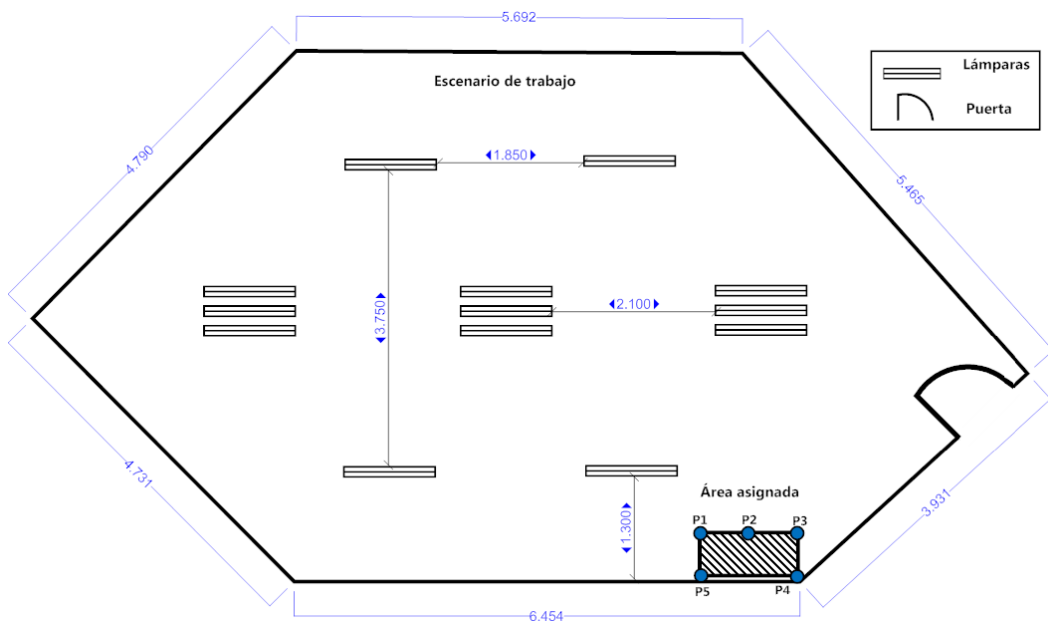
#### 3.4.1 Escenario de trabajo

Para el funcionamiento óptimo de la implementación del proyecto, se trabajó en las siguientes condiciones:

- Horario nocturno, en el cual no exista presencia de luz solar.
- Lugar fijo de trabajo con iluminación (lámparas fluorescentes).

El escenario de trabajo cuenta con un área total aproximada de  $62.02 m^2$  y posee trece lámparas fluorescentes. Del área total se asignó un espacio de  $0.662 m^2$  para la elaboración del proyecto como muestra la Figura 40.

**Figura 40** Escenario de trabajo (Laboratorio Universidad Politécnica Salesiana)

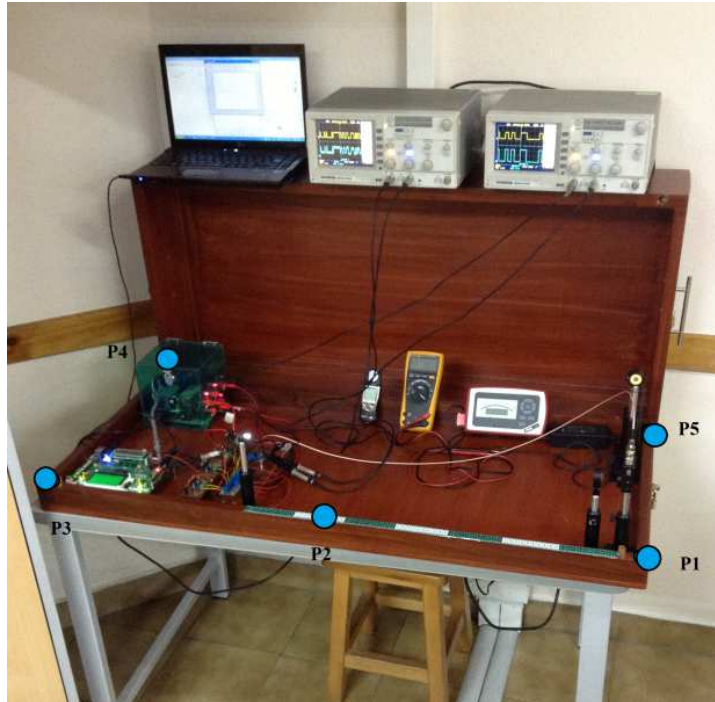


**Elaborado por:** Santiago Maldonado & Byron Morales



En el espacio asignado se midió la iluminancia utilizando un luxómetro en cinco puntos, para conocer las condiciones en las cuales opera el proyecto, tal como lo muestra la Figura 41.

**Figura 41** Espacio de trabajo



**Elaborado por:** Santiago Maldonado & Byron Morales

La iluminancia en los puntos señalados se detalla en la tabla 6.

**Tabla 6** Iluminancias en el área asignada

Puntos	Iluminancia [luxes]
P1	116
P2	109
P3	56
P4	45
P5	77

**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4.2 Análisis Potencia vs Distancia

Las mediciones de potencia en el receptor se realizaron con filtro azul y lente y sin ellos, a través de un medidor de potencia óptica. Cuando se utiliza filtro azul con lente y la potencia recibida se mantiene por encima de  $12 \mu W$  a distancias menores a  $0.2 m$  los datos se sincronizan fácilmente, sin embargo, cuando la distancia es superior a  $0.7 m$  la potencia recibida cae por debajo de  $5 \mu W$  y la sincronización no es posible, debido a que no llega la potencia requerida por lo que se debe reducir la distancia para lograr la sincronización, la cual es verificable visualmente en el osciloscopio, comparando la señal recibida con la de referencia y a través de un LED de la FPGA el cual se enciende una vez que se sincroniza la señal recibida.

Por otro lado cuando “no” se utiliza el filtro azul ni lente, se tiene una mayor potencia. Sin embargo la señal no logra sincronizarse, debido a que el fotodiodo no reconoce los pulsos ópticos, ya que está receptando todas las longitudes de onda del espectro de luz visible. Para evitar aquello se utiliza el filtro azul y el lente los cuales consiguen concentrar toda la potencia recibida en un solo punto, en el que se encuentra la mayor componente espectral del pulso del LED ( $430 nm - 500 nm$ ).

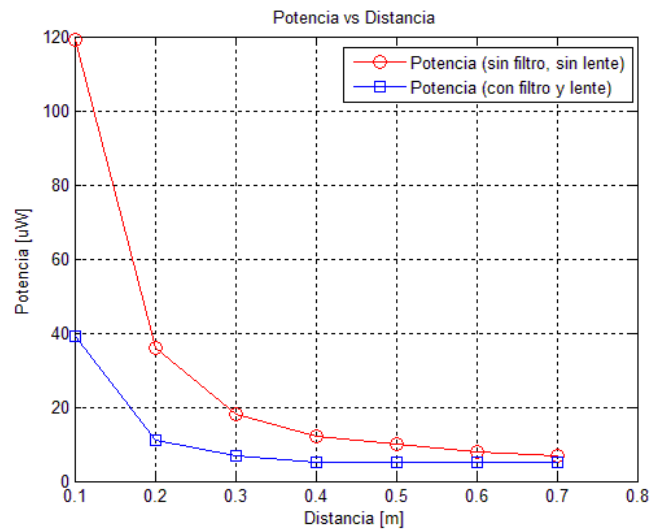
La potencia recibida es inversamente proporcional al cuadrado de la distancia. Por lo tanto, cuando el receptor se aleja, la caída de la potencia recibida disminuye como lo indica la curva de la Figura 42, con los datos que se tomaron experimentalmente mostrados en la tabla 7.

**Tabla 7** Datos tomados de potencia y distancia

Distancia [m]	Potencia (sin filtro, sin lente) [ $\mu W$ ]	Potencia (con filtro y lente) [ $\mu W$ ]
0.1	119	39
0.2	36	12
0.3	18	7
0.4	12	5
0.5	10	5
0.6	8	5
0.7	7	5

**Elaborado por:** Santiago Maldonado & Byron Morales

**Figura 42** Potencia recibida vs Distancia



**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4.3 Análisis Tasa de bits vs Distancia

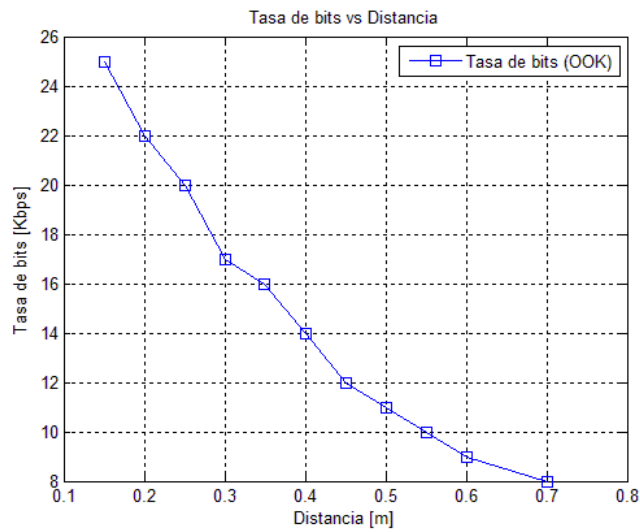
La velocidad de transmisión del enlace depende en gran medida de la distancia, pues en este caso se logró transmitir a una velocidad máxima de 25 *Kbps* a una distancia mínima de 0.15 *m* y a una velocidad mínima de 8 *Kbps* a una distancia máxima de 0.7 *m*. Se realizaron mediciones variando la distancia cada 0.05 *m* de acuerdo a la velocidad de transmisión hasta que la señal logre sincronizarse como muestra la tabla 8 y se pudo determinar que a mayor distancia se tiene menor velocidad y viceversa, tal como lo indica la figura 43.

**Tabla 8** Datos tomados de distancia y tasa de bits

Distancia [m]	Tasa de bits [Kbps]
0.7	8
0.6	9
0.55	10
0.5	11
0.45	12
0.4	14
0.35	16
0.3	17
0.25	20
0.2	22
0.15	25

**Elaborado por:** Santiago Maldonado & Byron Morales

**Figura 43** Tasa de bits vs Distancia



**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4.4 Análisis SNR vs Distancia

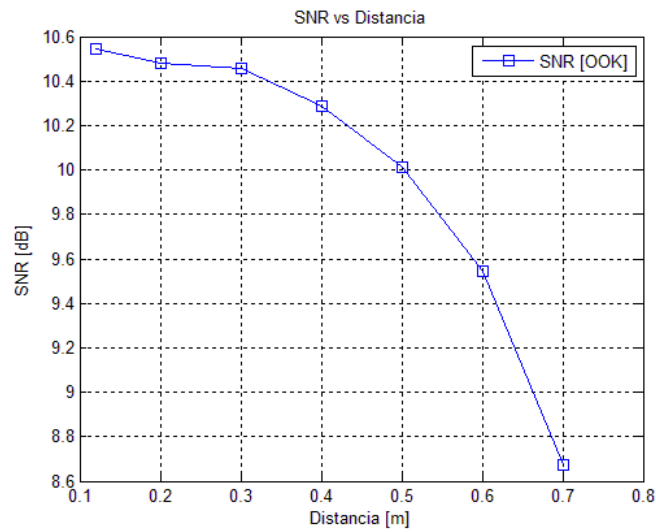
Mediante los datos que se muestran en la tabla 9 y representados por la curva de la Figura 44, se puede observar que la SNR es inversamente proporcional a la distancia, es decir a medida que incrementa la distancia se tiene menor SNR, obteniéndose de esta manera una relación SNR con un máximo de 10.54 dB y un mínimo de 8.67 dB lo que permitió que la señal pueda ser recibida con mayor potencia por el fotodiodo.

**Tabla 9** Datos tomados de distancia y señal a ruido

Distancia [m]	SNR [dB]
0.12	10.5440024
0.2	10.4823563
0.3	10.4575749
0.4	10.2889116
0.5	10.012047
0.6	9.54242509
0.7	8.67311122

**Elaborado por:** Santiago Maldonado & Byron Morales

**Figura 44** SNR vs Distancia



**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4.5 Análisis Voltaje vs Distancia

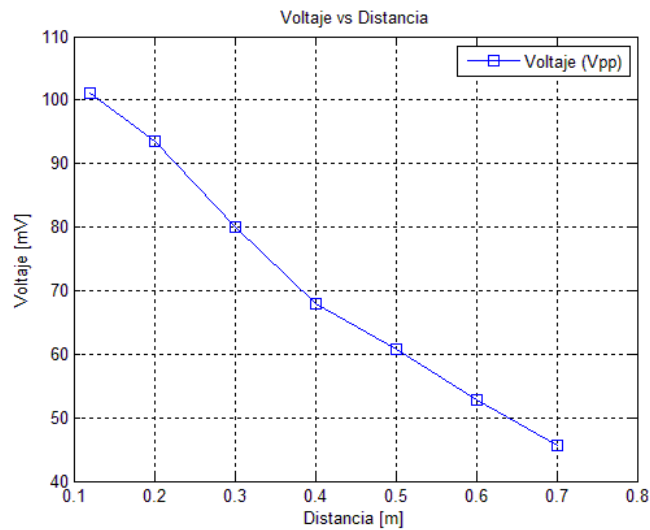
Los valores de voltaje encontrados se los tomó variando la distancia del fotodiodo tal como lo indica la tabla 10, lo cual demuestra que la intensidad luminosa es inversamente proporcional al cuadrado de la distancia, demostrando de esta manera que se cumple la Ley Cuadrática Inversa, como se muestra en la Figura 45.

**Tabla 10** Datos tomados de distancia y voltaje

Distancia [m]	Voltaje [mV]
0.12	101
0.2	93.6
0.3	80
0.4	68
0.5	60.8
0.6	52.8
0.7	45.6

**Elaborado por:** Santiago Maldonado & Byron Morales

**Figura 45** Voltaje recibido vs Distancia



**Elaborado por:** Santiago Maldonado & Byron Morales

Estos valores se utilizaron para ingresar en el programa de simulación, el cual se lo detalló en la sección 3.3.

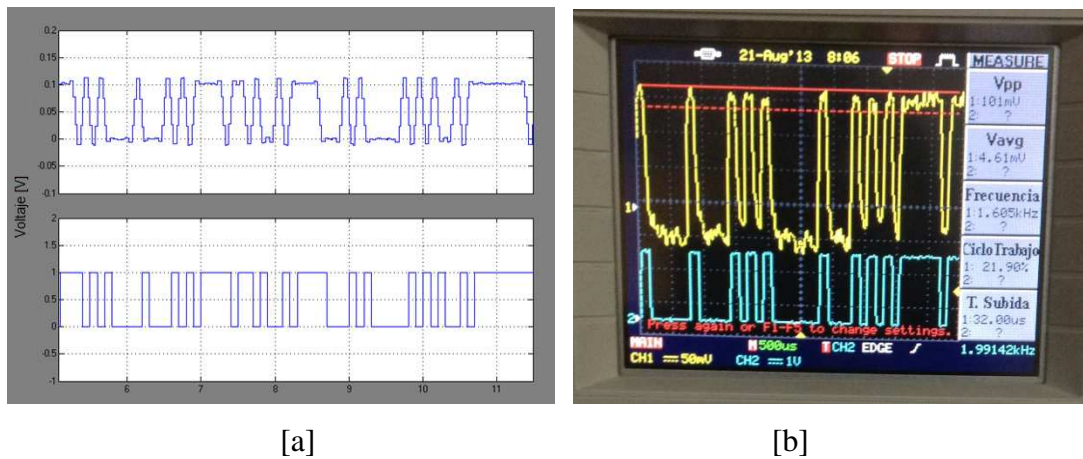
### 3.4.6 Resultados obtenidos de la simulación de la ley cuadrática inversa

Para la simulación fue necesario establecer los valores obtenidos de la implementación, específicamente del análisis voltaje vs distancia, y el nivel de comparación del circuito Smith Trigger, para de esta manera comprobar que el diseño está bien realizado y sus resultados se asemejan a los obtenidos experimentalmente.

En las siguientes comparaciones gráficas se puede observar los resultados tanto de la simulación como de la implementación con la finalidad de verificar la confiabilidad de la simulación. Lográndose verificar que a medida que aumenta la distancia, reduce la amplitud (Vpp) de la señal, como sucede en la realidad y como lo indica la curva obtenida de la simulación.

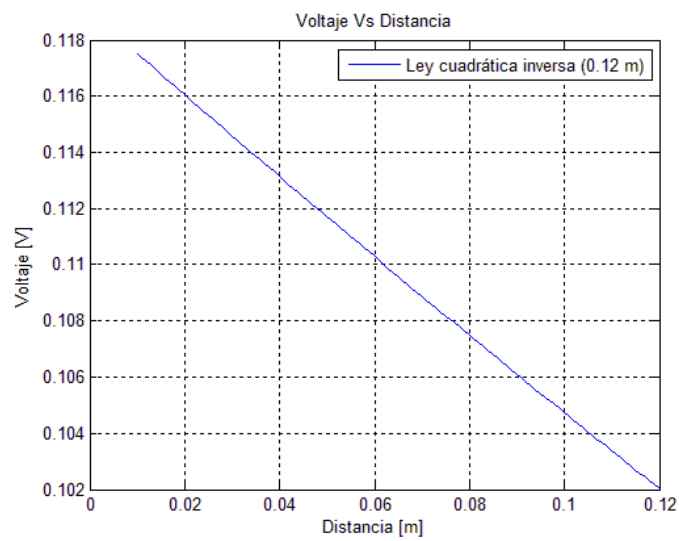
Las gráficas desde la figura 46 hasta la 52, muestran en la parte [a] los resultados obtenidos de la simulación del receptor una vez sincronizada la señal, en la parte [b] los resultados obtenidos de la implementación y en la parte [c] muestra que se cumple la ley cuadrática inversa a diferentes distancias.

**Figura 46** Señal del fotodiodo ( $d = 0.12 \text{ m}$ ) y curva de la Ley Cuadrática Inversa



[a]

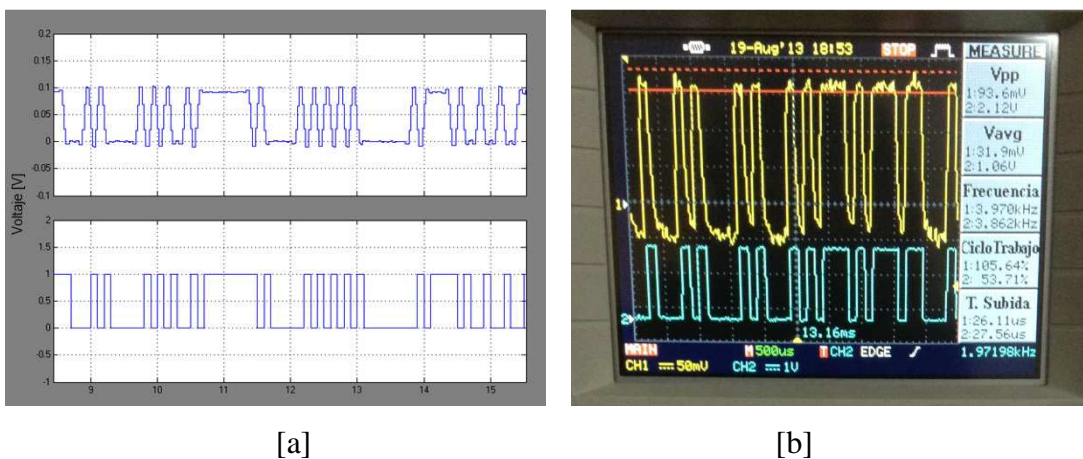
[b]



[c]

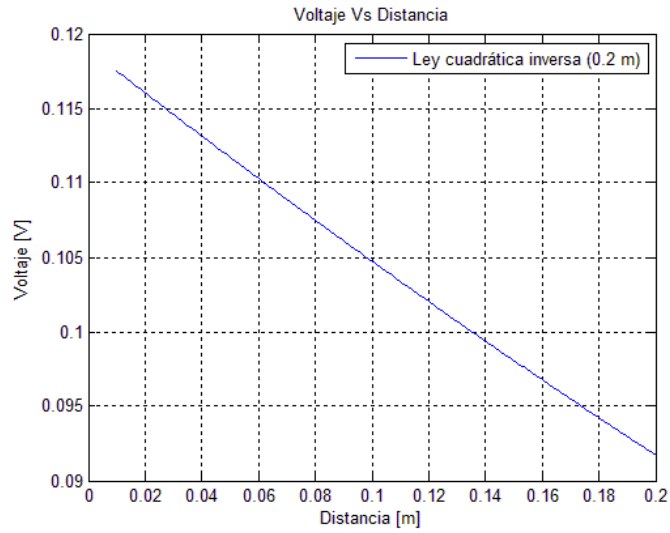
**Elaborado por:** Santiago Maldonado & Byron Morales

**Figura 47** Señal del fotodiodo ( $d = 0.2 \text{ m}$ ) y curva de la Ley Cuadrática Inversa



[a]

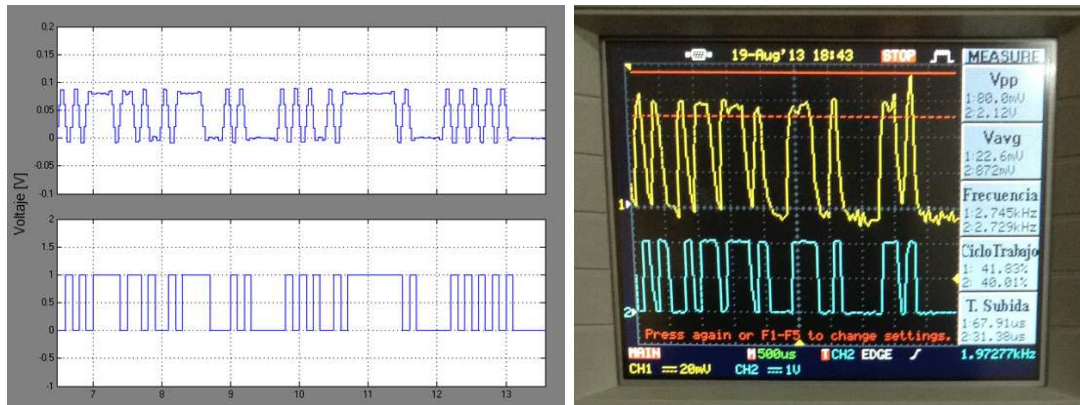
[b]



[c]

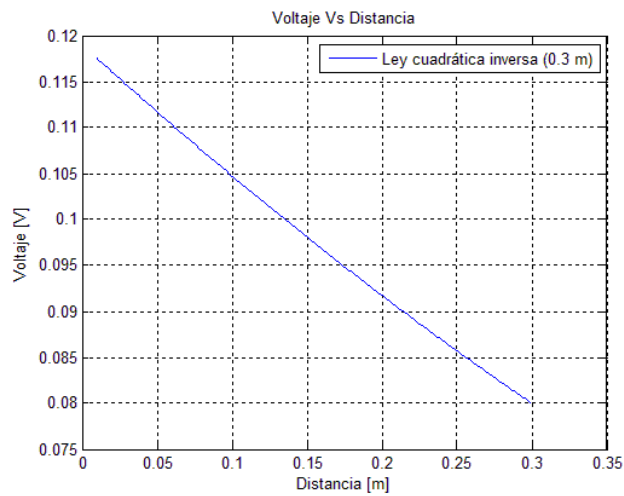
Elaborado por: Santiago Maldonado & Byron Morales

Figura 48 Señal del fotodiodo (d = 0.3 m) y curva de la Ley Cuadrática Inversa



[a]

[b]

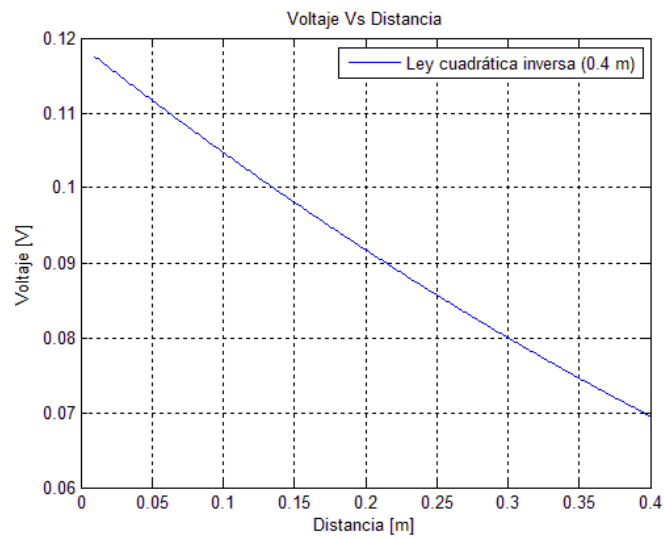
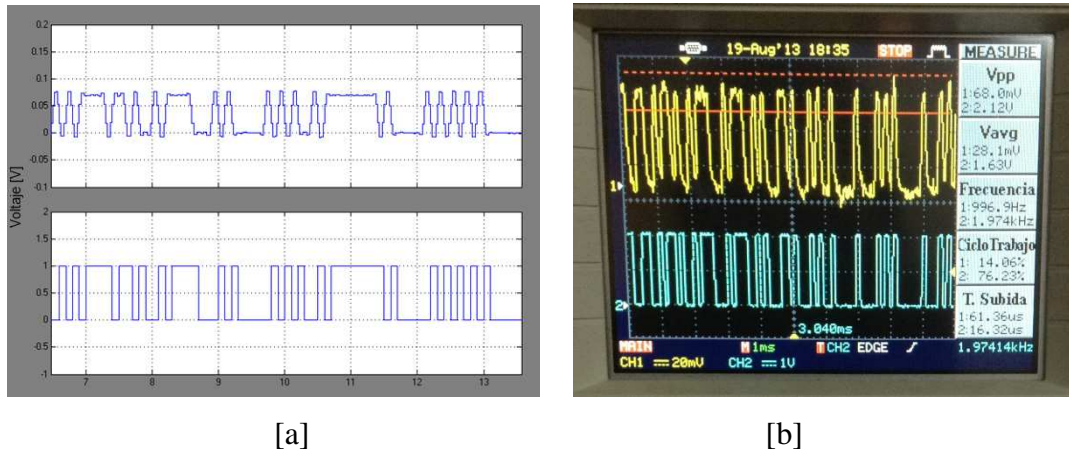


[c]

Elaborado por: Santiago Maldonado & Byron Morales

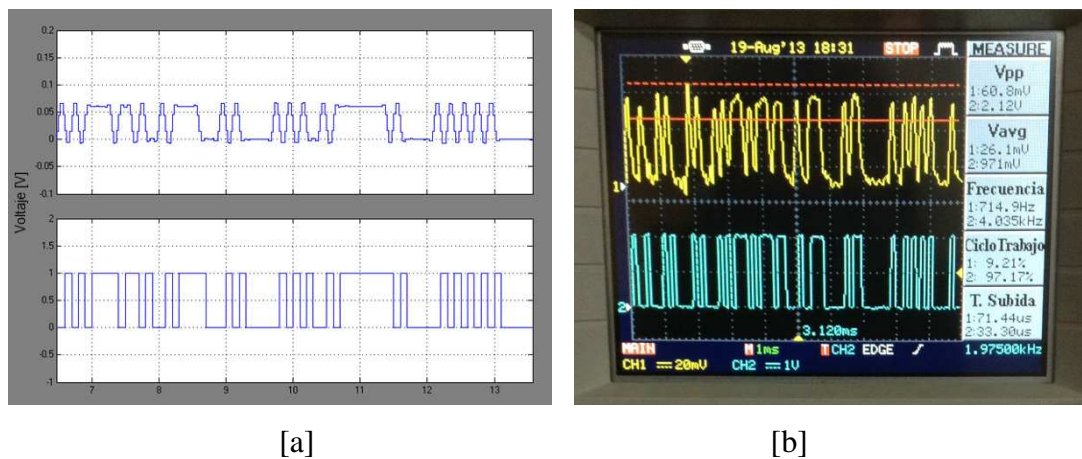


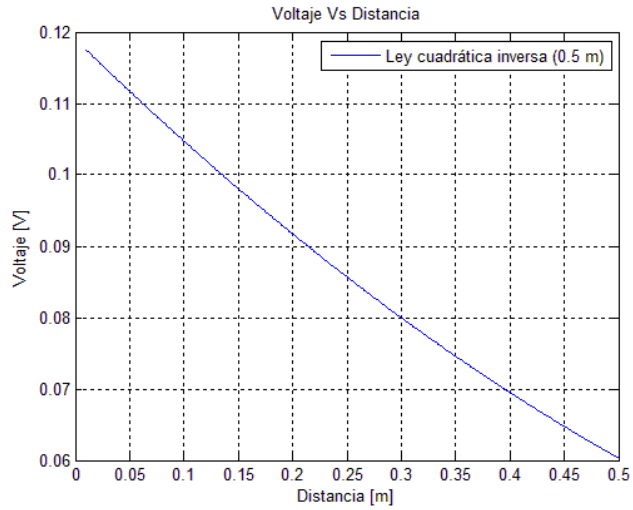
**Figura 49** Señal del fotodiodo ( $d = 0.4 \text{ m}$ ) y curva de la Ley Cuadrática Inversa



[c]  
Elaborado por: Santiago Maldonado & Byron Morales

**Figura 50** Señal del fotodiodo ( $d = 0.5 \text{ m}$ ) y curva de la Ley Cuadrática Inversa

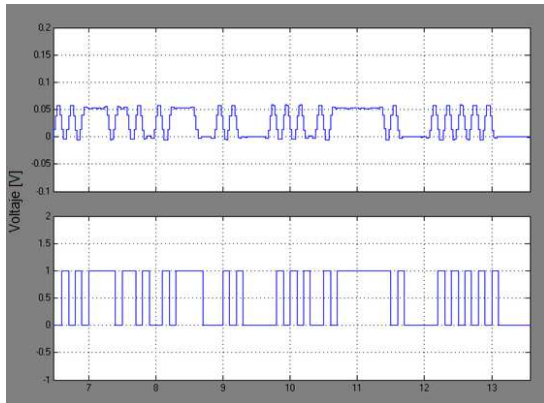




[c]

Elaborado por: Santiago Maldonado & Byron Morales

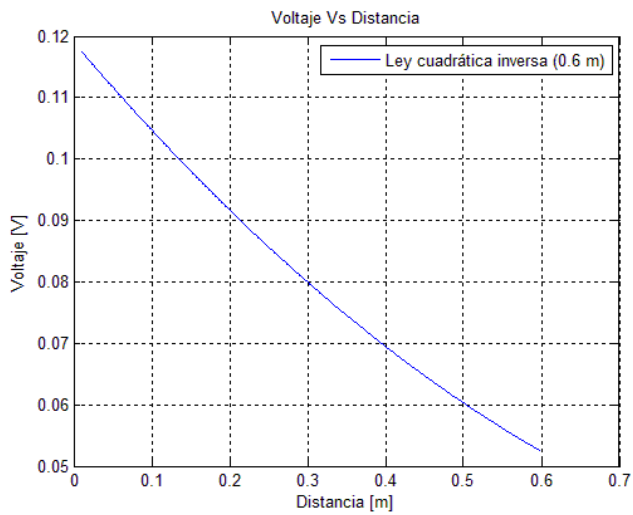
Figura 51 Señal del fotodiodo (d = 0.6 m) y curva de la Ley Cuadrática Inversa



[a]



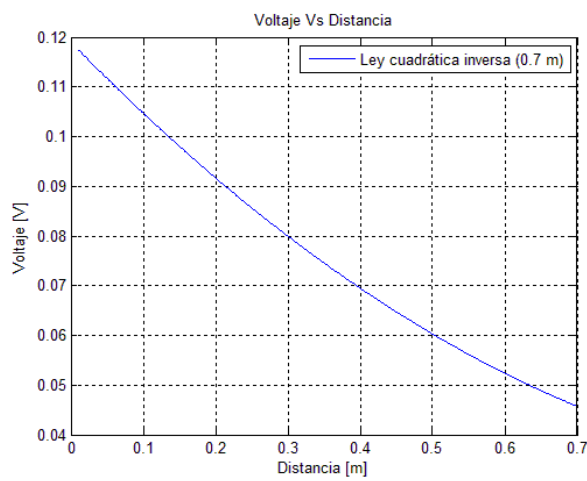
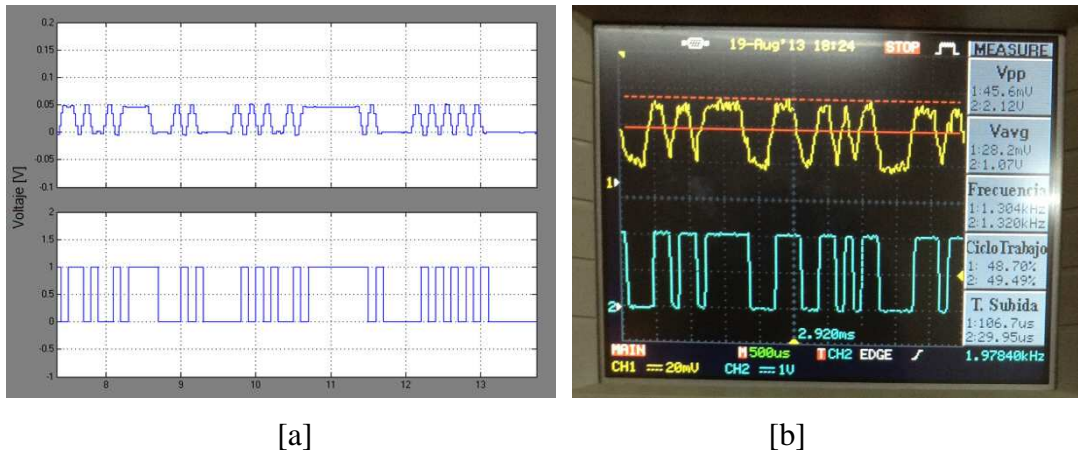
[b]



[c]

Elaborado por: Santiago Maldonado & Byron Morales

**Figura 52** Señal del fotodiodo ( $d = 0.7 \text{ m}$ ) y curva de la Ley Cuadrática Inversa



[c]

**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4.7 Análisis del BER vs Distancia

Se usó una velocidad de transmisión de  $8 \text{ Kbps}$ , debido a que con ésta, se asegura la sincronización en cualquier punto entre el rango de  $0.15 \text{ m}$  a  $0.7 \text{ m}$ , permitiendo de esta manera conocer el rendimiento del enlace mediante la obtención del BER. Para tener una comunicación óptica aceptable se debe tener un  $\text{BER} \leq 2 \times 10^{-3}$ .

Mediante los datos tomados como lo indica la tabla 11 y que están representados por la curva en la Figura 53, se puede observar que se tiene un BER a partir de los  $0.4 \text{ m}$ , y éste va incrementando a medida que aumenta la distancia hasta que llega a un

punto en el cual el BER aumenta considerablemente, en este caso  $0.7\text{ m}$ , debido a que se degrada la señal.

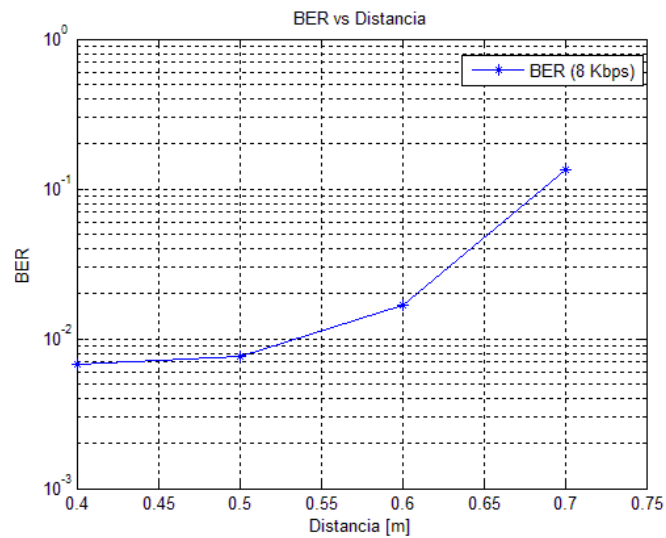
Es necesario considerar que a distancias menores a  $0.4\text{ m}$  no existe BER, debido a que la señal es recibida con mayor potencia por el fotodiodo motivo por el cual se contrarestan los efectos del canal como son la ley cuadratica y el SNR.

**Tabla 11** Datos tomados de BER y distancia

Distancia [m]	BER
0.15	0
0.2	0
0.3	0
0.4	0.00669
0.5	0.00768
0.6	0.01661
0.7	0.13342

**Elaborado por:** Santiago Maldonado & Byron Morales

**Figura 53** BER vs Distancia



**Elaborado por:** Santiago Maldonado & Byron Morales

### 3.4.8 Análisis comparativo de tasa de bits, distancia y BER entre medio guiado y VLC

Debido a las limitantes del fotodiodo y la conversión eléctrico-óptica utilizando medio no guiado, se realizaron pruebas con medio guiado para establecer la distancia y velocidad máxima a la cual se puede transmitir. Los resultados obtenidos se encuentran en la tabla 12.

**Tabla 12** Comparación de tasa de bits en medios de transmisión con OOK

Medios de TX	Tasa de bits [Mbps]	Distancia [m]	BER
Medio no guiado (LED luz blanca)	0.008	0.7	0.13342
Medio guiado (Cable UTP - CAT 6)	10	2.6	0.06551

**Elaborado por:** Santiago Maldonado & Byron Morales

Como se puede observar en la tabla 12, utilizando medio no guiado se logró transmitir a una distancia máxima de  $0.7\text{ m}$  con una velocidad de  $8\text{ kbps}$ . Sin embargo, con medio guiado se transmitió a una distancia de  $2.6\text{ m}$  con una velocidad de  $10\text{ Mbps}$  sin que la señal se degrade, logrando sincronizarse más rápido.

Cabe recalcar que a medida que se aumenta la velocidad de transmisión a partir de los datos de la tabla 12, la señal de transmisión se degrada tanto en medio guiado como en medio no guiado.

### 3.4.9 Error relativo de los datos tomados respecto a la capacidad del canal

Con el fin de analizar el error porcentual del sistema, se relacionó los datos experimentales con el criterio Shannon-Hartley.

La tabla 13 muestra las diferentes tasas de bits que se tiene en el receptor experimentalmente, y las que se deberían tener teóricamente utilizando la ecuación 8.

En la parte derecha de la tabla se encuentra calculado el error relativo para cada medición y se lo calculó de la siguiente manera:

$$\text{Error relativo [\%]} = \frac{|\text{Valor teórico} - \text{Valor experimental}|}{\text{Valor teórico}} * 100$$

**Tabla 13** Capacidad del canal teórica y experimental

Distancia [m]	Vpp [mV]	Ruido [mV]	Ancho de banda [Kbps]	Capacidad del canal (experimental) [Kbps]	Capacidad del canal (teórico) [Kbps]	Error relativo [%]
0.12	101	30	4.16	8.84637481	8.33	6.19897729
0.2	93.6	28	4.16	8.81356111	8.33	5.80505529
0.3	80	24	4.16	8.80038522	8.33	5.64688145
0.4	68	20.8	4.16	8.71094078	8.33	4.57311857
0.5	60.8	19.2	4.16	8.56499775	8.33	2.8211014
0.6	52.8	17.6	4.16	8.32	8.33	0.12004802
0.7	45.6	16.8	4.16	7.87523275	8.33	5.45939074

**Elaborado por:** Santiago Maldonado & Byron Morales

## CAPÍTULO 4

### ANÁLISIS DE COSTOS

#### 4.1 Costo de hardware

La tabla 14 describe los materiales y recursos que involucró realizar la implementación del modulador y demodulador OOK, para la elaboración del hardware del presente proyecto.

**Tabla 14** Costos de hardware

Materiales	Costo
<b>TARJETA FPGA</b>	
Cyclone III de Altera (Kit completo)	\$ 3000.00
<b>ELEMENTOS</b>	
Resistencias, Capacitores, Amplificadores, Conectores SMA, Conectores BNC y borneras	\$ 1792.87
<b>ELEMENTOS OPTICOS</b>	
Led's, Fotodiodos, Fotodiodos con receptores, Soportes, Filtros, Lentes y Fuente de medición	\$ 5913.03
<b>CABLES, CONECTORES</b>	
Conectores (SMA, BNC y Coaxial), Cables (SMA y BNC) y Medidor de luz (luxómetro)	\$ 243.75
<b>TOTAL</b>	<b>\$ 10949.65</b>

**Elaborado por:** Santiago Maldonado & Byron Morales

#### 4.2 Costo de desarrollo de software

Los costos de desarrollo del software del proyecto elaborado en Matlab, se detallan en la tabla 15.

**Tabla 15** Costo de desarrollo de software

Descripción	Costo
Desarrollo de Software	\$ 1000.00
<b>TOTAL</b>	<b>\$ 1000.00</b>

**Elaborado por:** Santiago Maldonado & Byron Morales

### 4.3 Costo total del proyecto

En la tabla16 se especifica los valores calculados anteriormente, costos de hardware, desarrollo del software en Matlab, y mano de obra correspondiente.

**Tabla 16** Costos total del proyecto

Descripción	Costo
Materiales	\$ 10949.65
Desarrollo de Software	\$ 1000.00
Implementación de Hardware	\$ 250.00
<b>TOTAL</b>	<b>\$ 12199.65</b>

**Elaborado por:** Santiago Maldonado & Byron Morales

La carrera de Ingeniería Electrónica de la Universidad Politécnica Salesiana de Quito, auspició este proyecto, por lo que se hizo uso de la Tarjeta FPGA Cyclone III de Altera con sus respectivas licencias y los laboratorios de la universidad.



## CONCLUSIONES

- En este proyecto se logró transmitir a una velocidad máxima de  $25\text{ Kbps}$  utilizando un LED de luz blanca de baja corriente de  $30\text{ mA}$ , el mismo que fue una limitante para el proyecto. Se han alcanzado mayores velocidades en otros trabajos publicados utilizando LED's de  $700\text{ mA}$ .
- El desarrollo de la simulación y la programación en la FPGA realizada en Simulink, facilitó la implementación del modulador debido a que su entorno gráfico desarrolla implementaciones complejas utilizando programación en bloques.
- Para simular el canal de transmisión, se utilizaron valores de voltaje y distancia que fueron obtenidos de la implementación, de esta manera se pudo obtener una gráfica de voltaje vs distancia que demuestra que se cumple la ley cuadrática inversa, la cual rige una comunicación óptica en espacio libre.
- Al comparar la transmisión utilizando filtro azul con lente y cuando no se utiliza filtro azul ni lente, se observó que a la distancia de  $0.7\text{ m}$  existe una diferencia de potencia de  $2\text{ uW}$  y que conforme se incrementa la distancia ésta va disminuyendo; lo que implica que para mayores distancias de transmisión es posible utilizar o no filtro azul y lente.
- Al utilizar filtro azul y lente se obtiene una mejor SNR debido a que éste concentra la energía entre  $430\text{ nm} - 500\text{ nm}$ , obteniendo de esta manera una relación SNR con un máximo de  $10.54\text{ dB}$  y un mínimo de  $8.67\text{ dB}$  lo que permitió que la señal pueda ser recibida con mayor potencia por el fotodiodo.
- Comparando la capacidad del canal obtenida teóricamente y experimentalmente se obtuvo que el error relativo máximo es de  $6.19\%$  y el error mínimo es de  $0.12\%$ , este error es introducido debido a que el reloj de la tarjeta FPGA no se configura a una frecuencia exacta de  $8\text{ KHz}$ , por lo que se utilizó una frecuencia de  $8.33\text{ KHz}$  que es la máxima frecuencia para la mayor distancia alcanzada de transmisión.

- Utilizando un LED de luz blanca de baja potencia se logró transmitir a una velocidad de 8 *Kbps* a una distancia máxima de 0.7 *m* con un *BER* = 0.1334, y a una velocidad máxima de 25 *Kbps* a una distancia de 0.15 *m* con un *BER* = 0; debido a que a distancias muy pequeñas no existen bits erróneos en la sincronización, porque la señal es recibida con mayor potencia por el fotodiodo.

## RECOMENDACIONES

- Para alcanzar mejores velocidades de transmisión es recomendable implementar en la FPGA una etapa de ecualización que compense los efectos negativos que tiene el canal óptico inalámbrico sobre los datos transmitidos.
- Para lograr un mayor alcance y velocidad en la transmisión es recomendable utilizar más de un LED de baja potencia y un fotodiodo de mejor tiempo de respuesta, lo cual permitiría una mayor eficiencia en la comunicación.
- Si se desea utilizar la herramienta SignalTap II Logic Analyzer (osciloscopio virtual) es recomendable no trabajar con Matlab 2012b ni sistema operativo de 64 bits ya que la tarjeta FPGA no es reconocida por el ordenador.
- A partir de este proyecto se podría investigar la manera de optimizar la transmisión de datos; es decir, no solo transmitir datos pseudoaleatorios sino transmitir datos multimedia (imágenes, audio y video), buscando la forma de mejorar la SNR y el BER para dicho propósito.

## LISTA DE REFERENCIAS

- Aguilar, G. (enero de 2010). *Estudio de factibilidad para la implementación de la tecnología FSO en una cadena de supermercados en la ciudad de Quito y su posible diseño*. (Tesis de pregrado). Quito: Escuela Politécnica Nacional.
- Altera. (2013). Recuperado el 30 de mayo de 2013, de <http://www.altera.com/products/devkits/altera/kit-cyc3.html#contents>
- Bateman, A. (2003). *Comunicaciones Digitales Diseño para el mundo real* (Primera edición ed.). (España, Ed.) Marcombo, S.A.
- Blake, R. (2004). *Sistemas Electrónicos de Comunicaciones* (Segunda edición ed.). (M. D.F, Ed.) International Thomson S.A.
- Blanca Giménez, V., Castilla Cabanes, N., María, P. V., & Alicia, M. A. (2011). LUMINOTECNIA: Magnitudes Fotométricas básicas. Unidades de medida. *Universita Politécnica de Valencia. Escuela Técnica Superior de Arquitectura*.
- Boquera, M. C. (2005). *Comunicaciones Ópticas*. (España, Ed.)
- Breed, G. (2003). Bit Error Rate: Fundamental Concepts and Measurement Issues. *High Frequency Electronics*, 46, 48.
- Broadband, S. T. (2 de febrero de 2002). Recuperado el 13 de mayo de 2013 <http://docsis.beckitruie.com/seminars/PowerPointFiles/BERSeminar.ppt>.
- Cen L, B. S. (2010). Enabling Vehicular Visible Light Communication (V<sup>2</sup>LC) Networks. *Rice University*, 54.
- Concurso espacial*. (2008). Recuperado el 14 de marzo de 2013, de [http://www.concursoespacial.com/tematicoLaTierra6\\_1.asp](http://www.concursoespacial.com/tematicoLaTierra6_1.asp)
- Elcodis. (2013). Recuperado el 10 de junio de 2013, de [http://elcodis.com/parts/841222/DK-DEV-2AGX125N\\_dt636914.html](http://elcodis.com/parts/841222/DK-DEV-2AGX125N_dt636914.html)
- Fusario, A. C. (1999). *Teleinformática para Ingenieros en Sistemas de Información* (Segunda edición ed., Vol. 2). (B. España, Ed.) Reverté S.A.
- Guamán, D. (junio de 2010). *Implementación de un acceso vehicular de profesores y trabajadores para el parqueadero de la ESFOT*. (Tesis de pregrado). Quito: Escuela Politécnica Nacional.

- Guerrero, J. P. (febrero de 2008). *Estudio técnico sobre la Implementación de un sistema de monitoreo centralizado para la red de fibra óptica de etapa*. (Tesis de pregrado). Cuenca: Universidad Politécnica Salesiana.
- Hass, H. (2011). *TED Ideas worth spreading*. Recuperado el 16 de enero de 2013, de [http://www.ted.com/talks/harald\\_haas\\_wireless\\_data\\_from\\_every\\_light\\_bulb.html](http://www.ted.com/talks/harald_haas_wireless_data_from_every_light_bulb.html)
- Ibujés, L. (septiembre de 2012). *Propuesta para la SUPERTEL de digitalización de la banda 417.5-430 MHz asignada para el servicio de radio enlaces de la radiodifusión sonora terrestre, que operan en el cerro Pilisurco*. (Tesis de pregrado). Quito: Escuela Politécnica Nacional.
- Instruments, N. (2 de enero del 2004). *Comunicación Serial: Conceptos Generales*. Recuperado el 30 de enero de 2013, de <http://digital.ni.com/public.nsf/allkb/039001258CEF8FB686256E0F005888D1>
- J. M. Albella Martin, J. J. (1988). *Optoelectrónica y comunicaciones óptica*. Madrid: RAYCAR, S. A.
- Kaiyun Cui, G. C. (2009). *Indoor optical wireless communication by ultraviolet and visible light*. California: Department of Electrical Engineering, University of California.
- Kaminow, C. D. (2010). *The Optical Communications Reference* (Primera edición ed.). Elsevier Science.
- Kavehrad, M. (2010). *Sustainable Energy-Efficient Wireless Applications Using Light*.
- Lee, C. G. (2011). *Visible Light Communication*. South Korea: Chosun University.
- Le-Minh, H., Ghassemlooy, Z., O'Brien, D., & Faulkner, G. (2010). Indoor Gigabit optical wireless communications: Challenges and possibilities. *Transparent Optical Networks (ICTON), 2010 12th International Conference on*, (págs. 1-6).
- Naranjo, L. D. (2009). Análisis de la ley de cuadrado inverso para medición práctica de iluminancia. *Revista de la Universidad de Costa Rica*, 19, 87-96.
- Navarro, M. F. (s.f.). *Caracterización del canal en sistemas de Comunicaciones Ópticas no guiadas por difusión total*. (Tesis Ph.D). dissertation, Universidad de Málaga Escuela Técnica Superior de Ingenieros de Telecomunicación.

- Navin, K. (2011). *Visible Light Communication Systems for road safety applications*. (Tesis de pregrado). Portugal: Universidade de Aveiro.
- NECTEC. (16 de mayo de 2010). Recuperado el 2 de mayo de 2013, de Visible Light Communication: <http://www.thaitelecomkm.org/OQC/index.php/en/visible-light-communication-system>
- O'Brien, D., Zeng, L., Le-Minh, H., Faulkner, G., Walewski, J., & Randel, S. (2008). Visible light communications: Challenges and possibilities. *Personal, Indoor and Mobile Radio Communications, 2008. PIMRC 2008. IEEE 19th International Symposium on*, (págs. 1-5).
- Ortiz, P. R. (2010). *Diseño de un sistema de medición de propiedades térmicas en sólidos mediante la implementación de la técnica fotoacústica*. (Tesis de pregrado). México DF: Instituto Politécnico Nacional.
- Osorio, M. C. (2008 - 2009). Comunicaciones Digitales Modulaciones Digitales. *Universidad Politécnica de Madrid Dpto. de Señales, Sistemas y Radiocomunicaciones*.
- Pacheco, R. (14 de octubre de 2009). *Culturación*. Recuperado el 25 de mayo de 2013, de <http://culturacion.com/etiqueta/usb-tipo-b/>
- Palma, J. L. (2009). *Estudio para la integración de la técnica de multiplexación DWDM (Dense Wavelength Division Multiplexing) dentro de un enlace Quito – Guayaquil que utilice SDH como técnica de transmisión para una mediana empresa portadora*. (Tesis de pregrado). Quito: Escuela Politécnica Nacional.
- Pohlmann, C. (s.f.). *Visible Light Communication*. Recuperado el 19 de junio de 2013, [http://www-old.itm.uniluebeck.de/teaching/ss10/sem\\_kim/ausarbeitungen/2010-06-29%20Pohlmann.%20Visible%20Light%20Communication.pdf](http://www-old.itm.uniluebeck.de/teaching/ss10/sem_kim/ausarbeitungen/2010-06-29%20Pohlmann.%20Visible%20Light%20Communication.pdf)
- Rojas, L. X. (julio de 2010). *Construcción de tarjeta de desarrollo para verificar programas de microcontroladores PIC's de la familia 18FXXX para el laboratorio de microprocesadores de la ESFOT*. (Tesis de pregrado). Quito: Escuela Politécnica Nacional.
- Sánchez, C. Q. (septiembre de 2012). *Contribución al estudio de estrategias de acceso al medio en redes ópticas no guiadas*. (Tesis Ph.D). España: Universidad de Las Palmas de Gran Canaria.

- Sarao, R. M. (4 de abril de 2013). *Antecedentes de las comunicaciones ópticas*. Recuperado el 30 de abril de 2013, de <http://es.scribd.com/doc/136148293/antecedentes-de-comunicaciones-opticas>
- Security camera world*. (2012). Recuperado el 7 de junio de 2013, de <http://www.securitycameraworld.com/Technical-Articles/infrared-illumination.asp>
- Security camera world*. (2012). Recuperado el 7 de junio de 2013, de <http://www.securitycameraworld.com/Technical-Articles/infrared-illumination.asp>
- Sridhar Rajagopal, R. D.-K. (2012). IEEE 802.15.7 Visible Light Communication: Modulation Schemes and Dimming Support. *IEEE Communications Magazine*, 72.
- Tanaka Y, K. T. (2003). Indoor Visible Light Data Transmission System Utilizing White LED Lights. *IEICE Trans Commun (Inst Electron Inf Commun Eng)*(8), 2440-2454.
- Tello, M. (24 de enero de 2011). *Sistema de comunicaciones vía fibra óptica*. Obtenido de [http://www.utm.mx/~mtello/FibraOptica/Practicas/PRACTICA5\\_FO.pdf](http://www.utm.mx/~mtello/FibraOptica/Practicas/PRACTICA5_FO.pdf)
- Thorlabs*. (2013). Recuperado el 3 de junio de 2013, de <http://www.thorlabs.de/catalogpages/V21/809.PDF>
- Thorlabs*. (2013). Recuperado el 4 de junio de 2013, de <http://www.thorlabs.de/Thorcat/16600/LEDWE-15-SpecSheet.pdf>
- Tituaña, D. (junio de 2011). *Construcción de un módulo de monitoreo de temperatura mediante enlace Bluetooth*. (Tesis de pregrado). Quito: Escuela Politécnica Nacional.
- VLC, P. (2012). Pure VLC. [http://www.purevlc.com/pureVLC\\_RadioTech\\_v1.0.pdf](http://www.purevlc.com/pureVLC_RadioTech_v1.0.pdf), 3-4.
- Vucic, J., Kottke, C., Nerreter, S., Habel, K., Buttner, A., Langer, K.-D., & Walewski, J. (2009). 125 Mbit/s over 5 m wireless distance by use of OOK-Modulated phosphorescent white LEDs. *Optical Communication, 2009. ECOC '09. 35th European Conference on*, (págs. 1-2).

Vucic, J., Kottke, C., Nerreter, S., Habel, K., Buttner, A., Langer, K.-D., & Walewski, J. (2010). 230 Mbit/s via a wireless visible-light link based on OOK modulation of phosphorescent white LEDs. *Optical Fiber Communication (OFC), collocated National Fiber Optic Engineers Conference, 2010 Conference on (OFC/NFOEC)*, (págs. 1-3).

Vucic, J., Kottke, C., Nerreter, S., Habel, K., Buttner, A., Langer, K.-D., & Walewski, J. (2010). 513 Mbit/s Visible Light Communications Link Based on DTM-Modulation of a white LED. *Journal of Lightwave technology* , (págs. 3512 - 3518).

Wayne, T. (2003). *Sistemas de comunicaciones electrónicas (Cuarta edición ed.)*. (México, Ed.) Pearson Educación.



## GLOSARIO

- AB:** Ancho de Banda
- APD:** Avalanche Photodiode
- AWGN:** Additive White Gaussian Noise
- BER:** Bit Error Rate
- BMC:** Bayonet Neill Concelman
- CSK:** Color Shift Keying
- CWL:** Length Wave Central
- DDR2 SDRAM:** Double Data Rate type two Synchronous Dynamic Random Access Memory
- ECC:** Error Correcting Code
- FEC:** Forward Error Correction
- FPGA:** Field Programmable Gate Array
- FWHM:** Full Width at Half Maximum
- GND:** Ground
- HSMC:** High Speed Mezzanine Card
- IEEE:** Institute of Electrical and Electronic Engineers
- IM/DD:** Modulación de Intensidad y Detección Directa
- JEITA:** Japan Electronics and Information Technology Industries Association
- LCD:** Liquid Crystal Display
- LED:** Light Emitting Diode
- LFSR:** Linear Feedback Shift Register
- OOK:** On – Off Keying
- PIN:** Positive Intrinsic Negative
- RX:** Recepción
- SNR:** Signal to Noise Ratio
- SMA:** Subminiature Version A
- TX:** Transmisión
- USB:** Universal Serial Bus
- VCC:** Voltaje de corriente continúa
- VHDL:** Very High speed integrated circuits Hardware Description Language
- VLC:** Visible Light Communication
- VLCC:** Visible Light Communication Consortium
- VPPM:** Variable Pulse Position Modulation

## **ANEXOS**

### **Anexo 1**

#### **Características de la FPGA**

The board features the following major component blocks:

- 780-pin Altera Cyclone III EP3C120 FPGA in a BGA package
  - 119K logic elements (LEs)
  - 3,888 Kbits of memory
  - 288 18 × 18 multiplier blocks
  - Four phase locked loops (PLLs)
  - 20 global clock networks
  - 531 user I/Os
  - 1.2-V core power
- 256-pin Altera MAX<sup>®</sup> II EPM2210G CPLD in a FineLine Ball Grid Array (FBGA) package
  - 1.8-V core power
- On-board memory
  - 256-MB dual-channel DDR2 SDRAM
  - 8-MB SRAM
  - 64-MB flash memory
- FPGA configuration circuitry
  - MAX II CPLD and flash passive serial configuration
  - On-board USB-Blaster<sup>™</sup> circuitry using the Quartus II Programmer
- On-board clocking circuitry
  - Two clock oscillators to support Cyclone III device user logic
    - 50 MHz
    - 125 MHz
  - 80 I/O, 6 clocks, SMBus, and JTAG
  - SMA connector for external clock input and output
- General user and configuration interfaces
  - LEDs/displays:
    - Eight user LEDs
    - One transmit/receive LED (TX/RX) per HSMC interface
    - One configuration done LED

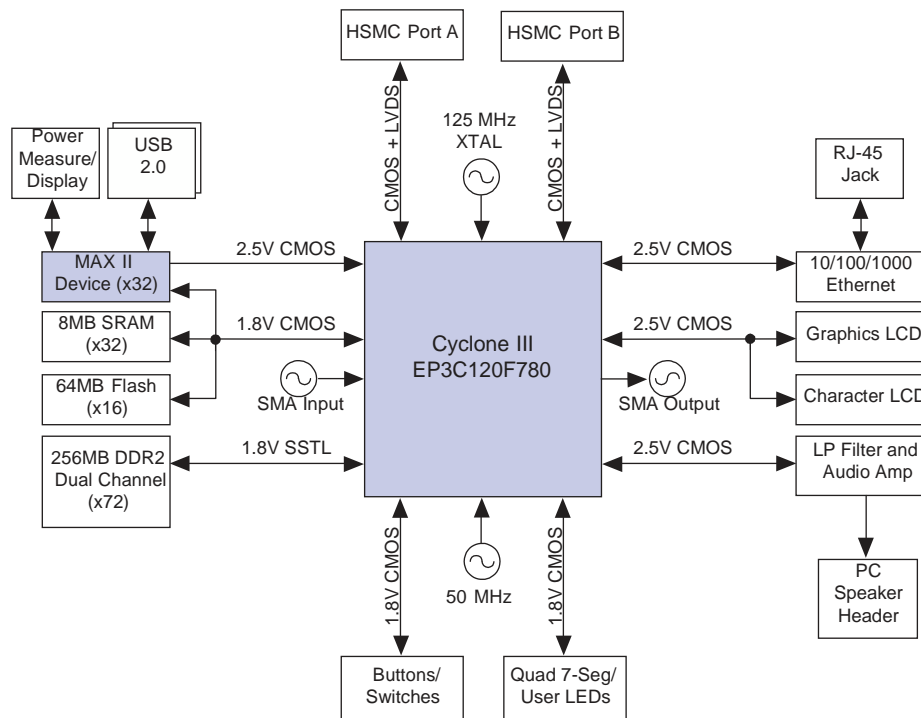
- Ethernet LEDs
- User 7-segment display
- Power consumption display
  
- Memory activity LEDs:
  - SRAM
  - FLASH
  - DDR2 Top
  - DDR2 Bottom
- Push-buttons:
  - One user reset push-button (CPU reset)
  - Four general user push-buttons
  - One system reset push-button (user configuration)
  - One factory push-button switch (factory configuration)
- DIP switches:
  - One MAX control DIP switch
  - One JTAG control switch
  - Eight user DIP switches
  - Speaker header
- Displays
  - 128 × 64 graphics LCD
  - 16 × 2 line character LCD
- Power supply
  - 14 V – 20 V DC input
  - On-board power measurement circuitry
  - Up to 19.8 W per HSMC interface
- Mechanical
  - 6" × 8" board
  - Bench-top design

- 1 The Cyclone III FPGA Development Kit ships with additional HSMC daughter card loopback and break-out headers for convenient testing of some of the HSMC signals. For more details regarding these test daughter cards, refer to their respective schematics at these locations in the installed kit directory:
  - `<path>\board_design_files\schematic\breakout_hsmc debug_header_breakout.pdf`
  - `<path>\board_design_files\schematic\loopback_hsmc loopback_test_lowcost.pdf`

## Block Diagram

Figure 1-1 shows the functional block diagram of the Cyclone III development board.

Figure 1-1. Cyclone III Development Board Block Diagram



## Introduction

This chapter introduces all the important components on the Cyclone III development board. [Figure 2-1](#) illustrates all component locations and [Table 2-1](#) describes component features.

The chapter is divided into the following sections:

- “Featured FPGA (U20)” on page 2-4
  - “MAX II CPLD” on page 2-6
  - “Configuration, Status, and Setup Elements” on page 2-14
  - “Clocking Circuitry” on page 2-23
  - “General User Interfaces” on page 2-26
  - “Communication Ports and Interfaces” on page 2-37
  - “On-Board Memory” on page 2-48
  - “Power Supply” on page 2-62
  - “Statement of China-RoHS Compliance” on page 2-64
- 1 A complete set of board schematics, a physical layout database, and GERBER files for the Cyclone III development board are installed in the Cyclone III Development Kit documents directory.
- ⚡ For information about powering up the development board and installing the demo software, refer to the *Cyclone III Development Kit User Guide*.

## Board Overview

This section provides an overview of the Cyclone III development board, including an annotated board image and component descriptions.

[Figure 2-1](#) shows the top view of the Cyclone III development board.

Figure 2-1. Top View of the Cyclone III Development Board

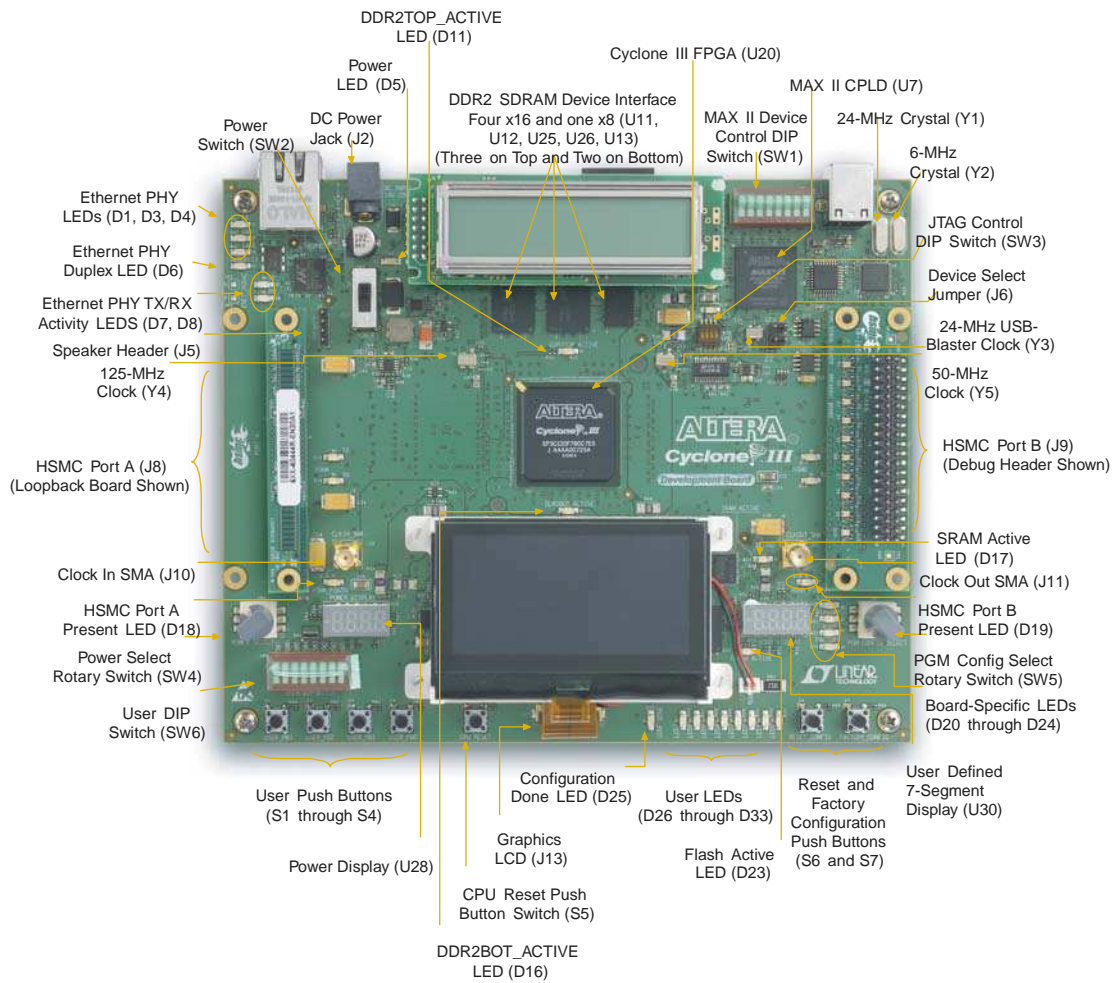


Table 2-1 describes the components and lists their corresponding board references.

Table 2-1. Cyclone III Development Board (Part 1 of 3)

Board Reference	Type	Description
<b>Featured Devices</b>		
U20	FPGA	EP3C120, 780-pin FineLine BGA package.
U7	CPLD	EPM2210G, 256-pin device in a FineLine BGA package.
<b>Configuration Status and Setup Elements</b>		
J6	Device select (DEV_SEL) jumper	Sets target device for JTAG signals when using an external USB-Blaster or equivalent.
J3	Input	Type B USB connector that allows for connecting a Type A-B USB cable between a PC and the board.
D20 through D24	User LEDs	Board-specific configuration green LEDs.
D25	Configuration done LED	Green LED that illuminates when the FPGA is successfully configured.
D12 through D15	Channel activity LEDs	Green LEDs that indicate the RX and TX activity on the HSMC Ports A or B.

Table 2-1. Cyclone III Development Board (Part 2 of 3)

Board Reference	Type	Description
J5	Header	Speaker header.
D1, D3, D4	Ethernet PHY LEDs	Green Ethernet PHY LEDs. Illuminate when Ethernet PHY is using the 10/100/1000 Mbps (D1, D3, D4) connection speeds.
D6	Duplex Ethernet PHY LED	Green Ethernet PHY LED. Illuminates when Ethernet PHY is both sending and receiving data.
D5	Power LED	Blue LED indicates when power is applied to the board.
D7, D8	Ethernet PHY transmit/receive activity LEDs	Green LED. Illuminates when transmit/receive data is active from the Ethernet PHY.
SW1	MAX II device control DIP switch	Controls various features specific to the Cyclone III development board.
SW3	JTAG control switch	JTAG control DIP switch used to remove or include devices in the active JTAG chain.
D17	SRAM active	SRAM active LED. Illuminates when the SRAM device is accessed.
D23	Flash active	Flash active LED. Illuminates when the flash device is accessed.
U28	Power display	Displays power measured by the MAX II CPLD.
D16	DDR2 LED	Indicates that the DDR2 top devices are active.
D11	DDR2 LED	Indicates that the DDR2 bottom devices are active.
Clock Circuitry		
Y4	125 MHz	125-MHz clock oscillator used for the system clock.
Y5	50 MHz	50-MHz clock oscillator used for data processing.
Y1	24-MHz crystal	Cypress USB PHY.
Y2	6-MHz crystal	USB PHY FTDI reference clock.
Y3	24 MHz	MAX II device clock.
J10	SMA clock input	SMA connector that allows the provision of an external clock input.
J11	SMA clock output	SMA connector that allows the provision of an external clock output.
General User Input and Output		
S1 through S4	User push buttons	Four 1.8-V push-button switches for user-defined, logic inputs.
S5	CPU reset push button	One 1.8-V push-button switch for FPGA logic and CPU reset.
S6 and S7	Reset and factory configuration push buttons	Two 1.8-V push-button switches that control FPGA configuration from flash memory.
D26 through D33	User LEDs	Eight user-defined LEDs.
SW5	PGM CONFIG SELECT	Rotary switch to select which FPGA configuration file to use in flash
SW4	Power select rotary switch	Power rail select for on-board power monitor.
U30	User display	User-defined, green 7-segment display.
J4	Character LCD	14-pin LCD display.
J13	Graphics LCD	30-position dot matrix graphics LCD display.
Memory		
U31	Flash	64 MB of flash memory with a 16-bit data bus.



Table 2–1. Cyclone III Development Board (Part 3 of 3)

Board Reference	Type	Description
U23 and U24	SRAM	The SRAM devices connect to the MAX II device as well as the flash memory device.
U11, U12, U13, U25,	DDR2 SDRAM	Four x16 devices and a single x8 device.
Components and Interfaces		
U6	USB device	USB device that provides JTAG programming of on-board devices, including the Cyclone III device and flash memory device.
U3	Ethernet cable jack	The RF-45 jack is for Ethernet cable connection. The connector is fed by a 10/100/1000 base T PHY device with an RGMII interface to the Cyclone III device.
J8, J9	HSMC Port A and Port B	High-speed mezzanine header allows for the connection of HSMC daughter cards.
Power Supply		
J2	DC power jack	14–20 V DC power source.
SW2	Input	Switches the board's power on and off.

## Featured FPGA (U20)

The Cyclone III Development Kit features the EP3C120F780 device (U20) in a 780-pin BGA package.



For more information about Cyclone III devices, refer to the *Cyclone III Device Handbook*.

Table 2–2 lists the main Cyclone III device features.

Table 2–2. Cyclone III Device Features

Feature	Quantity
Logic elements	119,088
Memory (Kbits)	3,888
Multipliers	288
PLLs	4
Global clock networks	20

Table 2–3 lists the Cyclone III component reference and manufacturing information.

Table 2–3. Cyclone III Component Reference and Manufacturing Information

Board Reference	Description	Manufacturer	Manufacturing Part Number	Manufacturer Website
U20	Memory rich FPGA device	Altera Corporation	EP3C120F780	<a href="http://www.altera.com">www.altera.com</a>

Table 2-4 lists the Cyclone III EP3C120F780C7 device pin count.

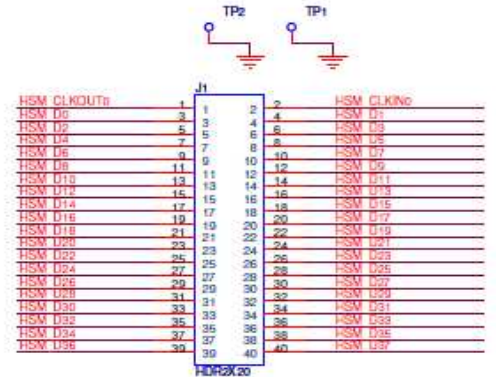
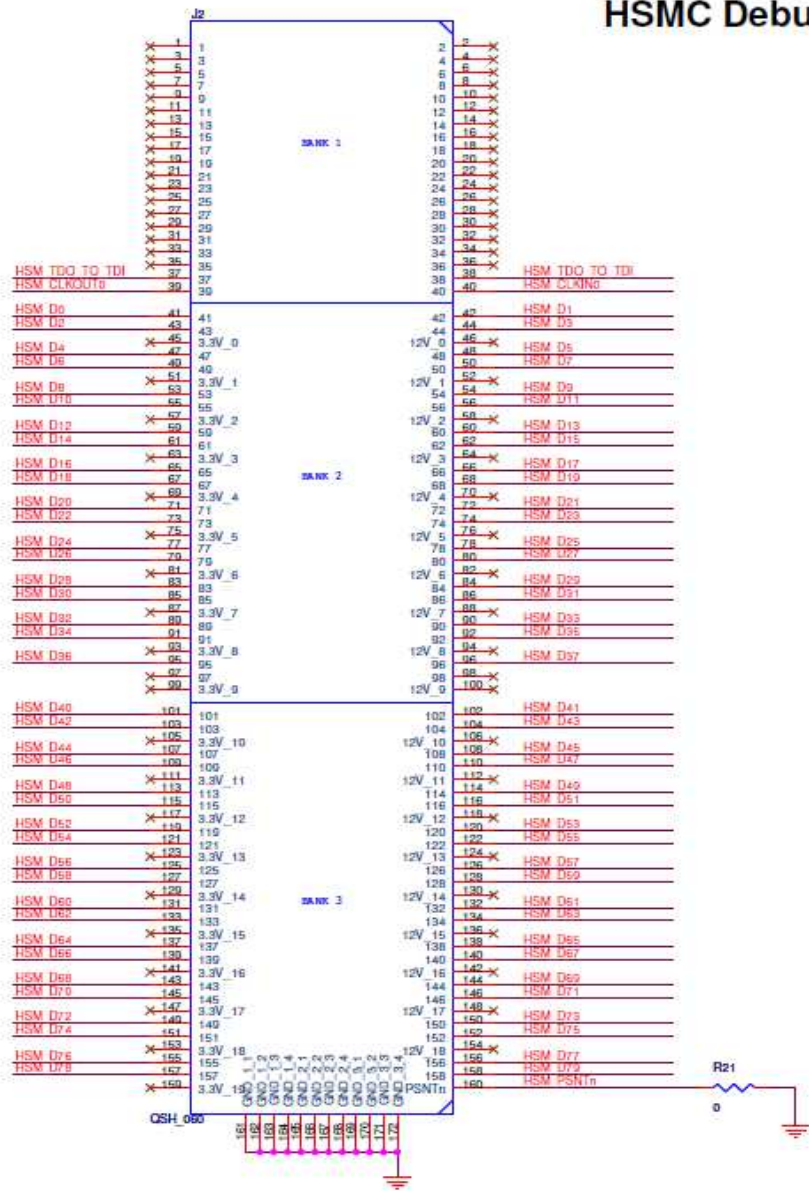
Table 2-4. Cyclone III Device Pin Count

Function	I/O Type	I/O Count	Special Pins
Oscillators and SMAs	1.8-V CMOS	4	Three clock inputs, one output
DDR2	1.8-V SSTL	148	Nine data strobe signal (DQS), 10 V <sub>REF</sub>
Flash/SRAM/MAX	1.8-V CMOS	78	—
Horizontal bank OCT calibration	1.8-V CMOS	4	2 Rup, 2 Rdn
Vertical bank OCT calibration	2.5-V CMOS	4	2 Rup, 2 Rdn
Passive serial configuration	2.5-V CMOS	2	DATA0, DCLK
Ethernet	2.5-V CMOS	16	1 clock input
Buttons, Switches, LEDs	1.8-V CMOS	34	DEV_CLR
Character LCD, Graphics LCD	2.5-V CMOS	14	—
Speaker header	2.5-V CMOS	1	—
USB	2.5-V CMOS	14	1 clock input
HSMC Port A	2.5-V CMOS 2.5-V LVDS	86	5 clock inputs (1 single-ended, 2 differential)
HSMC Port B	2.5-V CMOS 2.5-V LVDS	86	5 clock inputs (1 single-ended, 2 differential)
Device I/O total: 491			

Table 2-48. HSMC Port B Interface Signal Name, Description, and Type (Part 1 of 4)

Board Reference	Description	I/O Standard	Schematic Signal Name	Cyclone III Device Pin Number
J9 pin 33	Management serial data	2.5 V	HSMB_SDA	H26
J9 pin 34	Management serial clock	2.5 V	HSMB_SCL	H25
J9 pin 35	JTAG clock signal	2.5 V	FPGA_JTAG_TCK	P5
J9 pin 36	JTAG mode select signal	2.5 V	FPGA_JTAG_TMS	P8
J9 pin 39	Dedicated CMOS clock out	2.5 V	HSMB_CLK_OUT0	J22
J9 pin 40	Dedicated CMOS clock in	2.5 V	HSMB_CLK_IN0	A15
J9 pin 41	Dedicated CMOS I/O bit 0	2.5 V	HSMB_D0	G24
J9 pin 42	Dedicated CMOS I/O bit 1	2.5 V	HSMB_D1	H23
J9 pin 43	Dedicated CMOS I/O bit 2	2.5 V	HSMB_D2	G25
J9 pin 44	Dedicated CMOS I/O bit 3	2.5 V	HSMB_D3	H24
J9 pin 47	LVDS TX 0p or CMOS I/O data bit 4	LVDS or 2.5 V	HSMB_TX_D_P0	J25
J9 pin 48	LVDS RX 0p or CMOS I/O data bit 5	LVDS or 2.5 V	HSMB_RX_D_P0	F27

# HSMC Debug Header Breakout Board



Altera Corporation, 9330 Scranton Rd #400, San Diego, CA 92121		
Title: HSMC Debug Header Breakout Board		
Copyright (c) 2007, Altera Corporation. All Rights Reserved.		
Size: B	Document Number: 150-0320605-01	Rev: 1
Date: Thursday, May 10, 2007	Sheet: 2	of 2

**Anexo 2**  
**Características del LED**

### Part 1. Introduction: LEDWE-10 Ultra Bright White LED

The [LEDWE-10](#) emits light with a spectral from 440 to 660 nm. This LED is composed of heterostructures (HS) grown on an InGaN substrate. The diode is encapsulated in a round clear epoxy casing with a 5 mm diameter.

### Part 2. Specifications for an LEDWE-10

#### 2.1. Electrical Specifications

	Typical	Maximum Ratings
Power Dissipation		100
Reverse Voltage		5.0 V
DC Forward Current		30 mA
Forward Voltage @ 20 mA	3.2 V	3.6 V
Reverse Current $V_r = -5$ V		10 $\mu$ A
Pulsed Current (1 ms pulse with 10% duty cycle)		80 mA
Operating Temperature		-30 °C to 85 °C
Storage temperature Range		-30 °C to 100 °C

Note: All maximum measurements specified are at 25 °C.

#### 2.2. Optical Specifications

	Typical
Center Wavelength	440-660 nm
FWHM	-
Half Viewing Angle	10° ( $\pm 2^\circ$ )
Forward Optical Power	2.6 mW @ 20 mA ( $\pm 0.3$ mW)
Total Optical Power	3.2 mW @ 20mA ( $\pm 0.3$ mW)

#### 2.3. Soldering Specifications

	Conditions
Manual Soldering	295 °C $\pm$ 5 °C , for less than 3 seconds
Wave Soldering	260 °C $\pm$ 5 °C , for less than 5 seconds
Reflow Soldering	<b>Preheating:</b> 70 °C to 80 °C , for 30 seconds <b>Soldering:</b> 245 °C $\pm$ 5 °C , for less than 5 seconds

#### 2.4. Cleaning Solvents

Solvent	Ethyl Alcohol	Isopropyl Alcohol	Propanol	Acetone	Chloroseen	Trichloroethylene	MKS
Approved	Yes	Yes	Yes	No	No	No	No

## 2.5. Physical Specifications

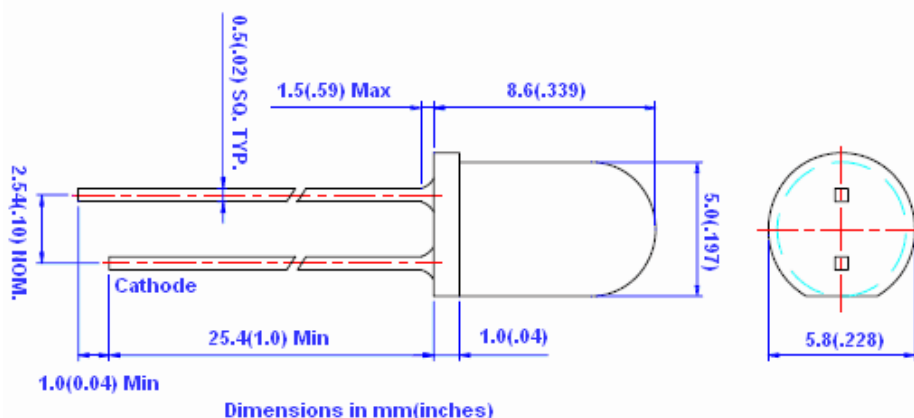
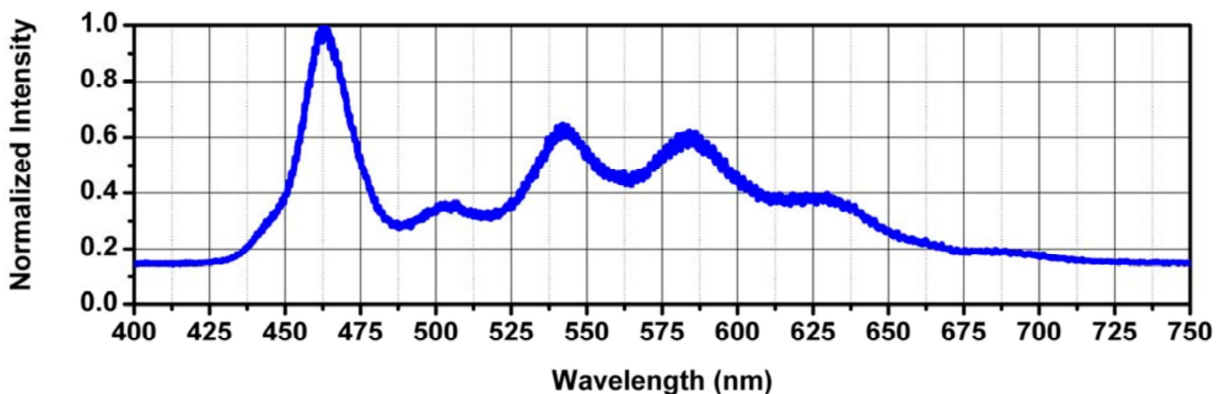
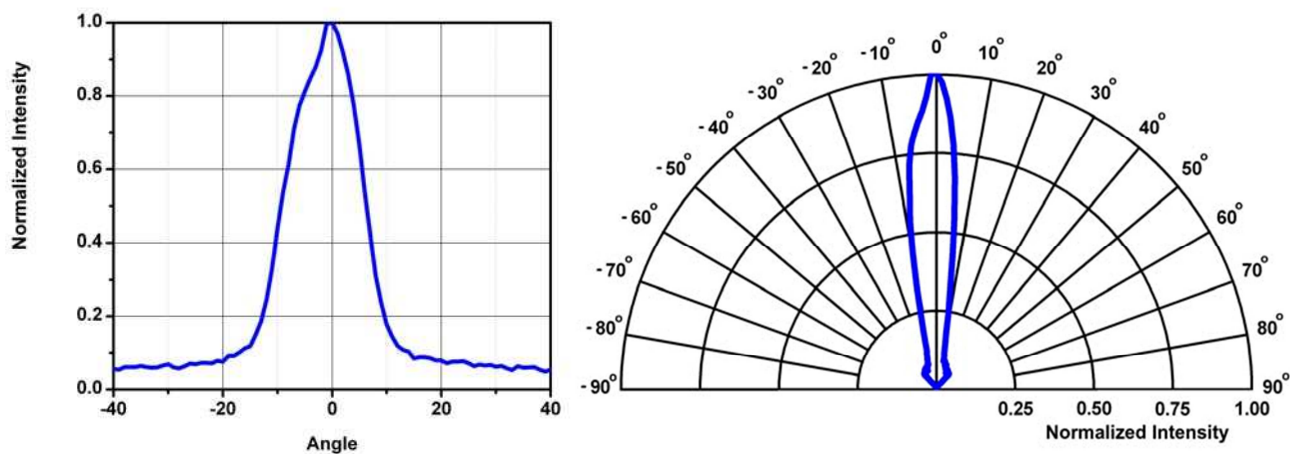


Figure 1: LEDWE-10 The cathode is the short lead and the anode is the long lead.

## 2.6. Typical Spectral Intensity Distribution



## 2.7. Typical Radial Intensity Distribution



**Anexo 3**  
**Características del lente**



## Optics

### BK7: Bi-Convex Lenses

#### Specifications

- Material: BK7
- Wavelength Range: 350nm-2.0 $\mu$ m
- Design Wavelength: 633nm (n = 1.515)
- Dia. Tolerance: +0.00/-0.10mm
- Focal Length Tolerance:  $\pm 1\%$
- Scratch-Dig: 40-20
- Centration: 3arcmin
- Clear Aperture: >90% of Dia.



#### Standard Broadband AR Coatings

To order the lens with a standard broadband AR Coating, add the coating code to the Item#, and add the coating cost to the lens price.

COATING	WAVELENGTH	\$	£	€	RMB
-A	350-650nm	\$ 9.20	£ 5.80	€ 8,60	¥ 87.90
-B	650-1050nm	\$ 9.20	£ 5.80	€ 8,60	¥ 87.90
-C	1050-1620nm	\$12.20	£ 7.70	€11,30	¥116.50

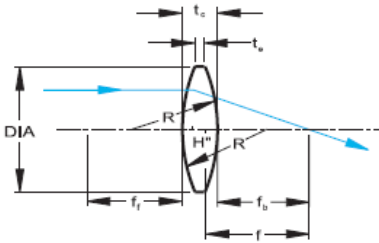
Example: LB1157 Coated with a 350-650nm Broadband AR Coating is LB1157-A and the cost is \$20.10 + \$9.20 = \$29.30.

Bi-Convex lenses perform best when the object and image are on opposite sides of the lens and the ratio of the object to image distance (conjugate ratio) is between 0.2 to 5 or when used to create a virtual image from a real object.

### UV Fused Silica: Bi-Convex Lenses

#### Specifications

- Material: UV Grade Fused Silica
- Wavelength Range: 185nm to 2.1 $\mu$ m, Uncoated
- Design Wavelength: 588nm (n = 1.460)
- Diameter Tolerance: +0.00 /-0.10mm
- Focal Length Tolerance:  $\pm 1\%$
- Scratch-Dig: 40-20
- Centration: 3arcmin
- Clear Aperture: >90% of Diameter
- Transmission:  $T_{\text{internal}} \geq 88\%/cm @ 185nm$



#### Bi-Convex Lenses: Material BK7

ITEM #	DIA (mm)	f (mm)	PRICE UNCOATED (For Coated Lens Add Suffix)				R (mm)	t <sub>c</sub> (mm)	t <sub>e</sub> ' (mm)	f <sub>b</sub> (mm)	SUGGESTED MOUNT*
			\$	£	€	RMB					
LB1157	6.0	10.0	\$ 20.10	£ 12.70	€ 18,70	¥ 192.00	9.9	2.4	1.5	9.2	LMRA6 & LMR05
LB1406	6.0	12.0	\$ 18.80	£ 11.80	€ 17,50	¥ 179.50	12.0	2.3	1.5	11.2	
LB1987	6.0	15.0	\$ 18.80	£ 11.80	€ 17,50	¥ 179.50	15.1	2.1	1.5	14.3	
LB1198	6.0	30.0	\$ 18.50	£ 11.70	€ 17,20	¥ 176.70	30.6	1.8	1.5	29.4	LMRA9 & LMR05
LB1494	9.0	12.0	\$ 20.80	£ 13.10	€ 19,30	¥ 198.60	11.7	3.6	1.8	10.7	
LB1212	9.0	20.0	\$ 18.80	£ 11.80	€ 17,50	¥ 179.50	20.1	2.8	1.8	19.0	
LB1092	12.7	15.0	\$ 20.80	£ 13.10	€ 19,30	¥ 198.60	14.6	4.7	1.8	13.4	LMR05
LB1450	12.7	20.0	\$ 20.50	£ 12.90	€ 19,10	¥ 195.80	19.9	3.9	1.8	18.7	
LB1014	12.7	25.0	\$ 19.10	£ 12.00	€ 17,80	¥ 182.40	25.2	3.4	1.8	23.8	
LB1258	12.7	30.0	\$ 18.80	£ 11.80	€ 17,50	¥ 179.50	30.4	3.1	1.8	28.9	
LB1378	12.7	40.0	\$ 18.40	£ 11.60	€ 17,10	¥ 175.70	40.7	2.8	1.8	39.1	
LB1844	12.7	50.0	\$ 18.30	£ 11.50	€ 17,00	¥ 174.80	51.1	2.6	1.8	49.1	
LB1187	12.7	100.0	\$ 18.30	£ 11.50	€ 17,00	¥ 174.80	102.6	2.2	1.8	99.3	
LB1761	25.4	25.4	\$ 23.90	£ 15.10	€ 22,20	¥ 228.20	24.5	9.0	1.9	22.2	LMR1
LB1757	25.4	30.0	\$ 23.30	£ 14.70	€ 21,70	¥ 222.50	29.5	7.7	2.0	27.3	
LB1811	25.4	35.0	\$ 22.60	£ 14.20	€ 21,00	¥ 215.80	34.9	6.8	2.0	32.7	
LB1027	25.4	40.0	\$ 22.30	£ 14.00	€ 20,70	¥ 213.00	40.1	6.1	2.0	37.9	
LB1471	25.4	50.0	\$ 21.80	£ 13.70	€ 20,30	¥ 208.20	50.6	5.2	2.0	48.2	
LB1596	25.4	60.0	\$ 21.50	£ 13.50	€ 20,00	¥ 205.30	61.0	4.7	2.0	58.4	
LB1901	25.4	75.0	\$ 21.30	£ 13.40	€ 19,80	¥ 203.40	76.6	4.1	2.0	73.6	
LB1676	25.4	100.0	\$ 20.70	£ 13.00	€ 19,30	¥ 197.70	102.4	3.6	2.0	98.8	
LB1904	25.4	125.0	\$ 20.60	£ 13.00	€ 19,20	¥ 196.70	128.2	3.3	2.0	123.9	
LB1437	25.4	150.0	\$ 20.10	£ 12.70	€ 18,70	¥ 192.00	154.0	3.1	2.0	149.0	
LB1294	25.4	175.0	\$ 20.00	£ 12.60	€ 18,60	¥ 191.00	179.8	2.9	2.0	174.0	
LB1945	25.4	200.0	\$ 19.90	£ 12.50	€ 18,50	¥ 190.00	205.6	2.8	2.0	199.1	
LB1056	25.4	250.0	\$ 19.70	£ 12.40	€ 18,30	¥ 188.10	257.1	2.6	2.0	249.1	



**Anexo 4**  
**Características de filtro azul**

## Laser Line and Bandpass Filters (Page 1 of 4)

Optical Elements

Polarization Optics

Optical Isolators

Optical Systems

Optics Kits

▼ SECTIONS

Spherical Lenses

Achromatic Lenses

Aspheric Lenses

Cylindrical Lenses

Mirrors

Spectral Filters

ND Filters

Beamsplitters

Prisms

Gratings

Windows

Diffusers

Laser Line and Bandpass filters provide a simple and economical way to transmit a light in a narrow, well-defined spectral region while rejecting other unwanted radiation. Their design is essentially that of a thin film Fabry-Perot Interferometer formed by vacuum deposition techniques and consists of two reflecting stacks, separated by an even-order spacer layer.

These reflecting stacks are constructed from alternating layers of high and low refractive index materials, which can have a reflectance in excess of 99.99%. By varying the thickness of the spacer layer and/or the number of reflecting layers, the central wavelength and bandwidth of the filter can be altered. This type of filter displays very high transmission in the bandpass region, but the spectral range of blocked light on either side of the bandpass region is narrow. To compensate for this deficiency, an additional blocking component is added, which is either an all-dielectric or a metal-dielectric depending on the requirements of the filter. Although this additional blocking component will eliminate any unwanted out-of-band radiation, it also reduces the filter's overall transmission throughput.

Using these methods, Thorlabs offers a wide range of filters from 340 nm - 1650 nm. In addition, custom filters can be fabricated; please contact our technical support staff

to discuss your particular requirements.

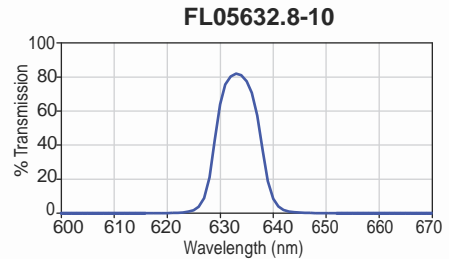
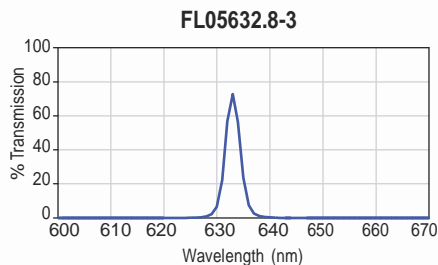
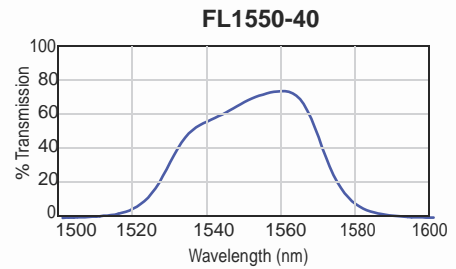
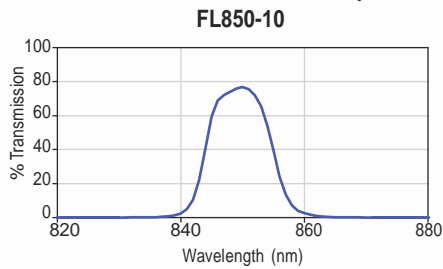


Operator testing filters on a spectrophotometer after a coating run. All Thorlabs filters undergo rigorous testing before being made available for sale.

### Specifications

- **Minimum Clear Aperture:** Ø8.6 mm for Ø1/2" Ø21 mm for Ø1"
- **Diameter Tolerance:** +0.0/-0.2 mm
- **Thickness:** <6.3 mm
- **Optimum Operating Temperature:** 23 °C
- **Edge Treatment:** Mounted in Black Anodized Aluminum Ring
- **Edge Markings:** CWL-FWHM ↑ Lot Number (The Arrow Points in the Direction of the Light Transmission)
- **Surface/Coating Quality:** 80-50 Scratch-Dig
- **Operating Temperature:** -50 °C to +80 °C
- **Substrates:** Schott Borofloat and Soda Lime

### Sample Transmission Plots



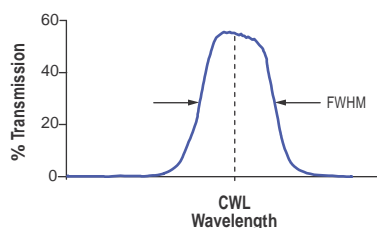
# Laser Line/Bandpass Filters (Page 2 of 4)



### Features

- CWL from 340 – 1650 nm
- 1 nm to 70 nm Transmission Bands
- Ø1/2" or Ø1" Mounted Filters
- OD ≥ 4 Blocking in Specified Range

### Typical Transmission Characteristics



### Ø1/2" Laser Line/Bandpass Filters

ITEM #	CWL <sup>a</sup> (nm)	FWHM <sup>b</sup> (nm)	T <sup>c</sup> (MIN %)	BLOCKING (OD ≥ 4)	\$	£	€	RMB
FL05488-10	488 ± 2	10 ± 2	65	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL05514.5-1	514.5 ± 0.2	1 ± 0.2	45	200 - 1100 nm	\$ 89.25	£ 64.26	€ 77.65	¥ 711.32
FL05532-1	532 ± 0.2	1 ± 0.2	40	200 - 1100 nm	\$ 89.25	£ 64.26	€ 77.65	¥ 711.32
FL05532-10	532 ± 2	10 ± 2	70	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL05632.8-1	632.8 ± 0.2	1 ± 0.2	50	200 - 1100 nm	\$ 89.25	£ 64.26	€ 77.65	¥ 711.32
FL05632.8-3	632.8 ± 0.6	3 ± 0.6	65	200 - 1100 nm	\$ 68.25	£ 49.14	€ 59.38	¥ 543.95
FL05632.8-10	632.8 ± 2	10 ± 2	70	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL05635-10	635 ± 2	10 ± 2	70	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL05780-10	780 ± 2	10 ± 2	70	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL05850-10	850 ± 2	10 ± 2	70	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL051064-3	1064 ± 0.6	3 ± 0.6	55	200 - 1100 nm	\$ 68.25	£ 49.14	€ 59.38	¥ 543.95
FL051064-10	1064 ± 2	10 ± 2	70	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21
FL051550-40	1550 ± 8	40 ± 8	45	200 - 1100 nm	\$ 46.20	£ 33.26	€ 40.19	¥ 368.21

<sup>a</sup>Central Wavelength <sup>b</sup>Full Width at Half Maximum <sup>c</sup>Transmission at Peak

### Ø1" Laser Line/Bandpass Filters: 340 - 514.5 nm

ITEM #	CWL <sup>a</sup> (nm)	FWHM <sup>b</sup> (nm)	T <sup>c</sup> (MIN %)	BLOCKING (OD ≥ 4)	\$	£	€	RMB
FB340-10	340 ± 2	10 ± 2	25	200 nm - 3 μm	\$ 132.00	£ 95.04	€ 114.84	¥ 1,052.04
FB350-10	350 ± 2	10 ± 2	25	200 nm - 3 μm	\$ 132.00	£ 95.04	€ 114.84	¥ 1,052.04
FL355-10	355 ± 2	10 ± 2	25	200 - 1150 nm	\$ 139.00	£ 100.08	€ 120.93	¥ 1,107.83
FB360-10	360 ± 2	10 ± 2	25	200 nm - 3 μm	\$ 132.00	£ 95.04	€ 114.84	¥ 1,052.04
FB370-10	370 ± 2	10 ± 2	25	200 nm - 3 μm	\$ 132.00	£ 95.04	€ 114.84	¥ 1,052.04
FB380-10	380 ± 2	10 ± 2	25	200 nm - 3 μm	\$ 132.00	£ 95.04	€ 114.84	¥ 1,052.04
FB390-10	390 ± 2	10 ± 2	30	200 nm - 3 μm	\$ 132.00	£ 95.04	€ 114.84	¥ 1,052.04
FB400-10	400 ± 2	10 ± 2	37	200 nm - 3 μm	\$ 122.00	£ 87.84	€ 106.14	¥ 972.34
FB400-40	400 ± 8	40 ± 8	45	200 - 1150 nm	\$ 110.00	£ 79.20	€ 95.70	¥ 876.70
FB405-10	405 ± 2	10 ± 2	37	200 nm - 3 μm	\$ 98.00	£ 70.56	€ 85.26	¥ 781.06
FB410-10	410 ± 2	10 ± 2	40	200 nm - 3 μm	\$ 98.00	£ 70.56	€ 85.26	¥ 781.06
FB420-10	420 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 98.00	£ 70.56	€ 85.26	¥ 781.06
FB430-10	430 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 97.00	£ 69.84	€ 84.39	¥ 773.09
FB440-10	440 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 97.00	£ 69.84	€ 84.39	¥ 773.09
FL441.6-10	441.6 ± 2	10 ± 2	60	200 - 1150 nm	\$ 98.00	£ 70.56	€ 85.26	¥ 781.06
FB450-10	450 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 97.00	£ 69.84	€ 84.39	¥ 773.09
FB450-40	450 ± 8	40 ± 8	45	200 - 1150 nm	\$ 94.00	£ 67.68	€ 81.78	¥ 749.18
FL457.9-10	457.9 ± 2	10 ± 2	65	200 - 1150 nm	\$ 98.00	£ 70.56	€ 85.26	¥ 781.06
FL460-10	460 ± 0.2	10 ± 2	65	200 - 1150 nm	\$ 98.00	£ 70.56	€ 85.26	¥ 781.06
FB460-10	460 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 92.00	£ 66.24	€ 80.04	¥ 733.24
FB470-10	470 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 92.00	£ 66.24	€ 80.04	¥ 733.24
FB480-10	480 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 92.00	£ 66.24	€ 80.04	¥ 733.24
FL488-1	488 ± 0.2	1 ± 0.2	40	200 - 1150 nm	\$ 206.75	£ 148.86	€ 179.87	¥ 1,647.81
FL488-3	488 ± 0.6	3 ± 0.6	45	200 - 1150 nm	\$ 134.99	£ 97.19	€ 117.44	¥ 1,075.89
FL488-10	488 ± 2	10 ± 2	65	200 - 1150 nm	\$ 92.14	£ 66.34	€ 80.17	¥ 734.39
FB490-10	490 ± 2	10 ± 2	45	200 nm - 3 μm	\$ 90.00	£ 64.80	€ 78.30	¥ 717.30
FB500-10	500 ± 2	10 ± 2	50	200 - 1200 nm	\$ 90.00	£ 64.80	€ 78.30	¥ 717.30
FB500-40	500 ± 8	40 ± 8	70	200 - 1150 nm	\$ 90.00	£ 64.80	€ 78.30	¥ 717.30
FL508.5-10	508.5 ± 2	10 ± 2	65	200 - 1150 nm	\$ 92.14	£ 66.34	€ 80.17	¥ 734.39
FB510-10	510 ± 2	10 ± 2	50	200 nm - 3 μm	\$ 86.73	£ 62.44	€ 75.45	¥ 691.21
FL514.5-1	514.5 ± 0.2	1 ± 0.2	45	200 - 1150 nm	\$ 206.75	£ 148.86	€ 179.87	¥ 1,647.81
FL514.5-3	514.5 ± 0.6	3 ± 0.6	55	200 - 1150 nm	\$ 134.99	£ 97.19	€ 117.44	¥ 1,075.89
L514.5-10	514.5 ± 2	10 ± 2	65	200 - 1150 nm	\$ 92.14	£ 66.34	€ 80.17	¥ 734.39

Have you seen our...

**Anexo 5**  
**Características del fotodiodo**

814

## DET10A Operating Manual – High Speed Silicon Detector

### Description:

The Thorlabs DET10A is a ready-to-use high-speed photo detector. The unit comes complete with a photodiode and internal 12V bias battery enclosed in a rugged aluminum housing. The DET10A includes a removable 1" optical coupler (SM1T1), providing easy mounting of ND filters, spectral filters, fiber adapters (SMA, FC and ST style), and other Thorlabs 1" stackable lens mount accessories.

The DET10A includes two #8-32 tapped mounting holes with a 0.25" mounting depth, while the DET10A/M has two M4 tapped mounting holes. A 12V A23 battery is included.

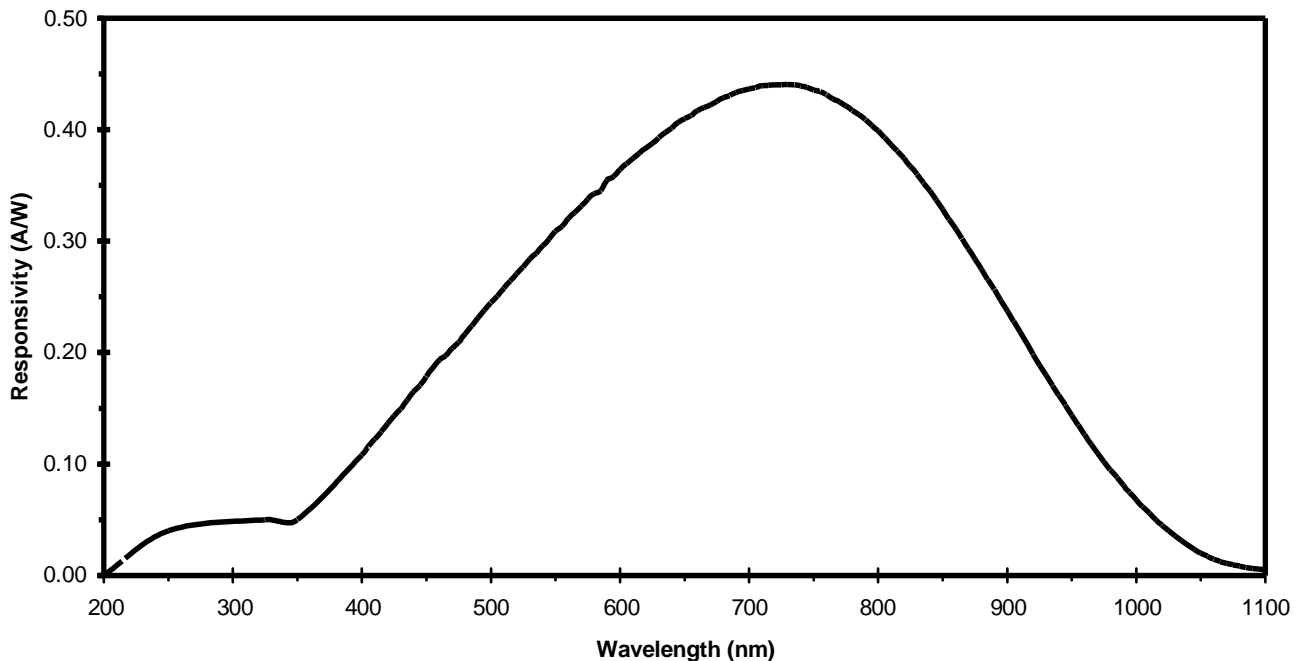
### Specifications:

Electrical		
Detector:		Silicon PIN
Active Area:		0.8mm <sup>2</sup> (∅1.0mm)
Wavelength Range:	$\lambda$	200 to 1100 nm
Peak Wavelength:	$\lambda_p$	750nm (typ)
Peak Response (typ):	$\mathfrak{R}(\lambda_p)$	0.45 A/W (typ)
Shunt Resistance:	$R_{sh}$	>10M $\Omega$
Diode Capacitance:	$C_j$	6pF
Rise/Fall Time:	$t_r$	1ns (max.)
Linearity Limit (Current):		1mA
(Power):		2mW (min @ $\lambda_p$ )
NEP (750nm):		1.9x10 <sup>-14</sup> W/√Hz (max.)
Bias Voltage:	$V_{BIAS}$	10 V (9V min)
Dark Current <sup>2</sup> :	$I_D$	0.3nA (2nA max.)
Output Voltage (50 $\Omega$ ):	$V_{OUT}$	0 to 10V
Damage Threshold:		100mW/cm <sup>2</sup>

General	
On / Off Switch:	Slide
Battery Check Switch:	Momentary Pushbutton
Output:	BNC (DC Coupled)
Package Size:	2.8"x1.9" x 0.83" 70mm x 48mm x 21mm
PD Surface Depth:	0.11" (2.8mm)
Weight:	0.2 lbs
Accessories:	SM1T1 Coupler SM1RR Retainer Ring
Storage Temp:	-25 to 70° C
Operating Temp:	10 to 50° C
Battery:	A23, 12V <sub>DC</sub> , 40mAh
Low Battery Voltage <sup>3</sup>	(See 'Battery Check')
$V_{OUT}$ (Hi-Z):	~9V
$V_{OUT}$ (50 $\Omega$ ):	~400mV

1. All measurements performed with a 50 $\Omega$  load unless stated otherwise.
2. Measured with specified Bias Voltage.
3. Assumes the battery voltage drops below 9.6V. The reverse protection diode generates a 0.6V drop.

**Figure 1 - DET10A Spectral Responsivity Curve**



## Operation

Thorlabs DET series are ideal for measuring both pulsed and CW light sources. The DET10A includes a reversed-biased PIN photo diode, bias battery, and ON/OFF switch packaged in a rugged housing. The BNC output signal is the direct photocurrent out of the photo diode anode and is a function of the incident light power ( $P$ ) and wavelength ( $\lambda$ ). The Spectral Responsivity,  $\mathfrak{R}(\lambda)$ , can be obtained from Figure 1 to estimate the amount of photocurrent to expect. Most users will wish to convert this photocurrent to a voltage ( $V_{OUT}$ ) for viewing on an oscilloscope or DVM. This is accomplished by adding an external load resistance,  $R_{LOAD}$ . The output voltage is derived as:

$$V_{OUT} = P * \mathfrak{R}(\lambda) * R_{LOAD}$$

It should be noted that the load resistor will react with the photodetector junction capacitance ( $C_J$ ) to limit the bandwidth. For best frequency response, a  $50\ \Omega$  terminator should be used. The bandwidth ( $f_{BW}$ ) and the rise-time response ( $t_R$ ) can be approximated using the diode capacitance ( $C_J$ ) and the load resistance ( $R_{LOAD}$ ) as shown below:

$$f_{BW} = 1 / (2 * \pi * R_{LOAD} * C_J)$$
$$t_R = 0.35 / f_{BW}$$

For maximum bandwidth, we recommend using a  $50\ \Omega$  coax cable with a  $50\ \Omega$  terminating resistor at the opposite end of the coax. This will also minimize ringing by matching the coax with its characteristic impedance. If bandwidth is not important, you may increase the amount of voltage for a given input light by increasing the  $R_{LOAD}$ .

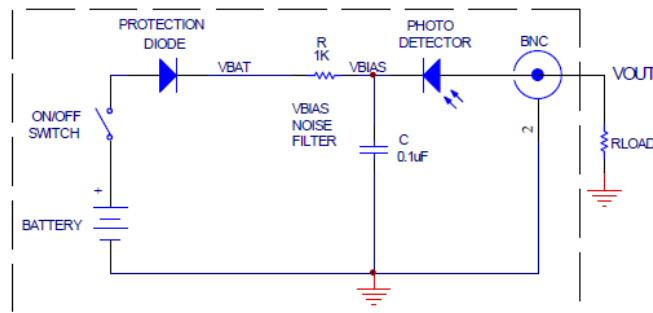


Figure 2 – Circuit Schematic

## Setups

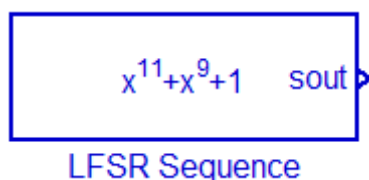
- Unpack the optical head, install a Thorlabs TR-series  $\frac{1}{2}$ " diameter post into one of the #8-32 (M4 on /M version) tapped holes, located on the bottom and side of the sensor, and mount into a PH-series post holder.
- Attach a  $50\ \Omega$  coax cable (i.e. RG-58U) to the output of the DET. Select and install a terminating resistor to the remaining end of the cable and connect to a voltage measurement device. See the 'Operation' Section to determine resistor values. Thorlabs sells a  $50\ \Omega$  terminator (T4119) for best frequency performance and a variable terminator (VT1) for output voltage flexibility. Note the input impedance of your measurement device since this will act as a terminating resistor. A load resistor is not necessary when using current measurement devices.
- Power the DET on using the power switch. To check battery voltage, see 'Battery Check' below.
- Install any desired filters, optics, adapters, or fiber adapters to the input aperture. **Caution:** The DET10A was designed to allow maximum accessibility to the photodetector by having the front surface of the diode flush with the outside of the DET housing. When using fiber adapters, make sure that the fiber ferrule does not crash into the detector. Failure to do so may cause damage to the diode and / or the fiber. An easy way to accomplish this is to install a SM1RR retaining ring (included with the DET10A) inside the 1" threaded coupler *before* installing the fiber adapter
- Apply a light source to the detector.

## **Anexo 6**

### **Programación y simulación en bloques del diseño en Matlab (Simulink)**

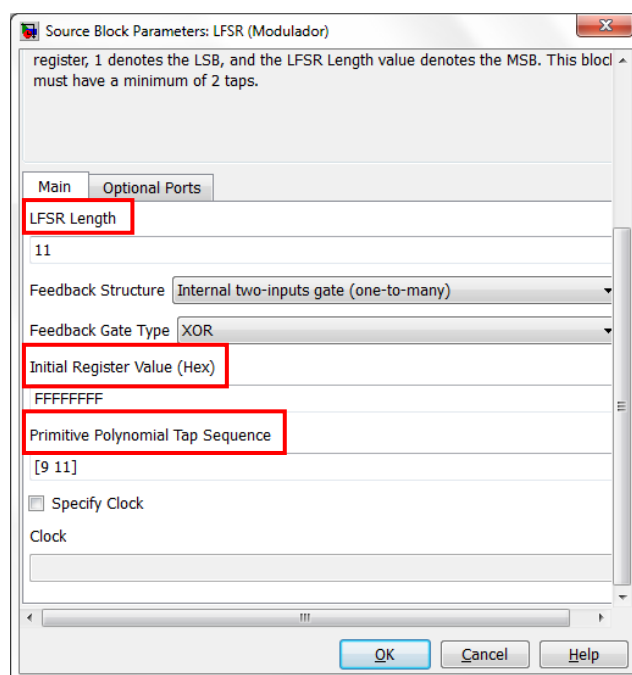
## DISEÑO PARA LA SIMULACIÓN

Para el diseño del modulador OOK se utilizó el bloque de altera llamado LFSR (Linear Feedback Shift Register), el cual permite obtener una secuencia de bits (1's y 0's) pseudoaleatorios en un periodo repetitivo indefinido, que es lo que requiere básicamente el modulador.



**Figura 1** *LFSR Sequence AlteraBlockset*<sup>1</sup>

Para el modulador se requiere la configuración de los siguientes parámetros:



**Figura 2** *Parámetros del LFSR*<sup>2</sup>

- **LFSR length**, especifica su longitud como un entero en este caso igual a 11, para tener  $2^{11} - 1 = 2047$  bits.

<sup>1</sup> Imagen extraída de Matlab/Simulink/Altera DSP Builer Blockset/Gate&Control

<sup>2</sup> Captura de los parámetros del bloque LFSR (main) extraída de Matlab/Simulink/Altera R2010a



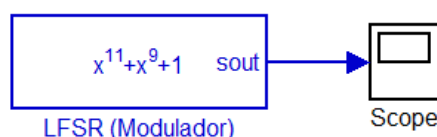
- **Initial Register Value (HEX)**, dimensiona al LFSR en relación a los bits que se desea transmitir, es decir que si se pone el valor hexadecimal F se podrán transmitir sólo 15 bits, en este caso se dimensionó con el valor de FFFFFFFF para tener una mayor cantidad de bits pseudoaleatorios en la transmisión.
- **Primitive Polynomial Tap Sequence**, son números obtenidos de tablas polinomiales que ya se encuentran calculadas y establecidas en relación a cualquier valor de LFSR length.

$n$	LFSR-2	LFSR-4
2	2, 1	
3	3, 2	
4	4, 3	
5	5, 3	5, 4, 3, 2
6	6, 5	6, 5, 3, 2
7	7, 6	7, 6, 5, 4
8		8, 6, 5, 4
9	9, 5	9, 8, 6, 5
10	10, 7	10, 9, 7, 6
11	11, 9	11, 10, 9, 7
12		12, 11, 8, 6
13		13, 12, 10, 9
14		14, 13, 11, 9
15	15, 14	15, 14, 13, 11
16		16, 14, 13, 11
17	17, 14	17, 16, 15, 14
18	18, 11	18, 17, 16, 13
19		19, 18, 17, 14
20	20, 17	20, 19, 16, 14
21	21, 19	21, 20, 19, 16
22	22, 21	22, 19, 18, 17
23	23, 18	23, 22, 20, 18

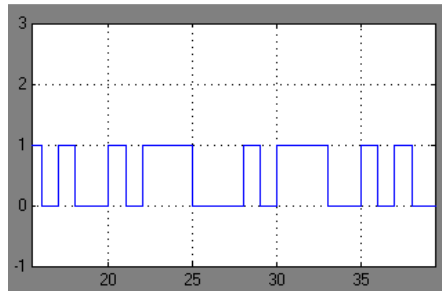
**Figura 3** *Tabla de LFSR*<sup>3</sup>

## Simulación

Con los parámetros ya establecidos se puede visualizar la secuencia de bits proporcionados por el LFSR.



<sup>3</sup> Imagen extraída de “Table of Linear Feedback Shift Registers”, [http://www.eej.ulst.ac.uk/~ian/modules/EEE515/files/old\\_files/lfsr/lfsr\\_table.pdf](http://www.eej.ulst.ac.uk/~ian/modules/EEE515/files/old_files/lfsr/lfsr_table.pdf)



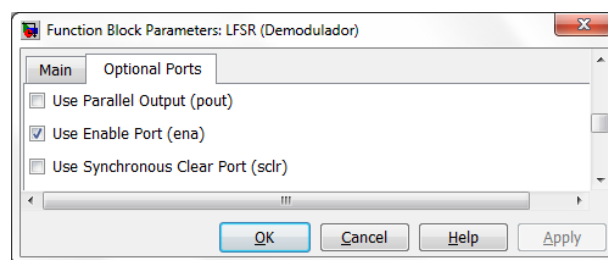
**Figura 3** Visualización de la secuencia LFSR en un osciloscopio virtual <sup>4</sup>

## DISEÑO Y SIMULACIÓN DEL DEMODULADOR OOK

### Diseño

Para el diseño del demodulador se desarrolló un programa de sincronización a base de contadores y compuertas lógicas, el cual permite comparar los bits del transmisor con los bits del receptor para sincronizar y recuperar la señal emitida.

Al igual que en el diseño del modulador, el demodulador también requiere del uso del bloque LFSR, el cual se configuró con los mismos parámetros del modulador para así poder comparar los bits emitidos por el transmisor mediante una compuerta XOR. La única variante que se realizó en el LFSR del demodulador es el Enable Port, para lo cual hay que seleccionarlo.



**Figura 4** Activación del Enable Port del LFSR (Demodulador) <sup>5</sup>

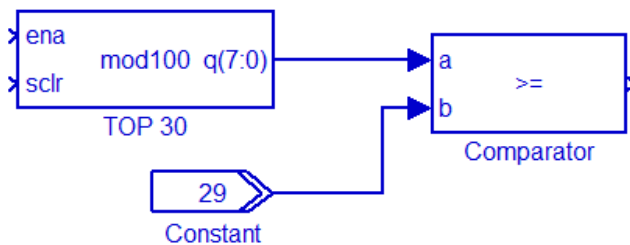
<sup>4</sup> Captura del diseño y visualización del modulador elaborado por los tesisistas en el software Matlab/Simulink R2010a

<sup>5</sup> Captura de los parámetros del bloque LFSR (Optional Ports) del demodulador, extraída de Matlab/Simulink/Altera R2010a

El Enable Port del LFSR (Demodulador), se activará mediante la salida de un conjunto de contadores que tienen por objetivo ir comparando bit a bit las señales del transmisor y receptor, hasta el punto en que se sincronicen y se compruebe a la salida de la compuerta XOR, obteniendo como resultado 0 lógico.

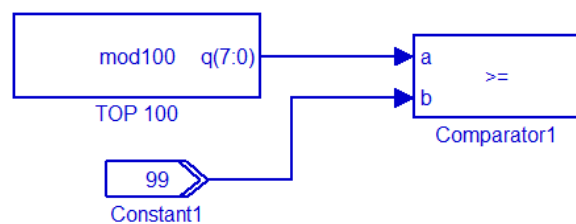
Para ello se utilizó dos contadores TOP:

- **Un contador TOP 30:** El cual se activa con los 1's de la salida de la compuerta XOR, que significan la desincronización de la señal. Una vez que existan 29 incoherencias en la señal, la compuerta debe mandar un 1 lógico, el cual entra a una compuerta lógica AND conjuntamente con la salida del contador TOP 100.



**Figura 5** Contador TOP 30<sup>6</sup>

- **Un contador TOP 100:** El cual funciona indefinidamente y manda 1's cada vez que cuenta 99, cuando coinciden los dos contadores TOP enviando ambos un 1 lógico, se tiene a la salida de la compuerta AND un 1 lógico el cual resetea al contador TOP 30. Posteriormente para que se active al LFSR demodulador, se colocó una compuerta NOT; todo esto para ajustar las señales de transmisión y recepción y lograr la sincronización.



**Figura 6** Contador TOP 100<sup>7</sup>

<sup>6</sup> Captura del diseño del contador TOP 30 elaborado por los tesisistas en el software Matlab/Simulink R2010a

Tanto para el diseño como para la simulación se utilizó un retardo (delay) a la salida del modulador para poder retrasar la señal y comprobar su correcto funcionamiento.

Para los contadores se requiere la configuración de los siguientes parámetros:

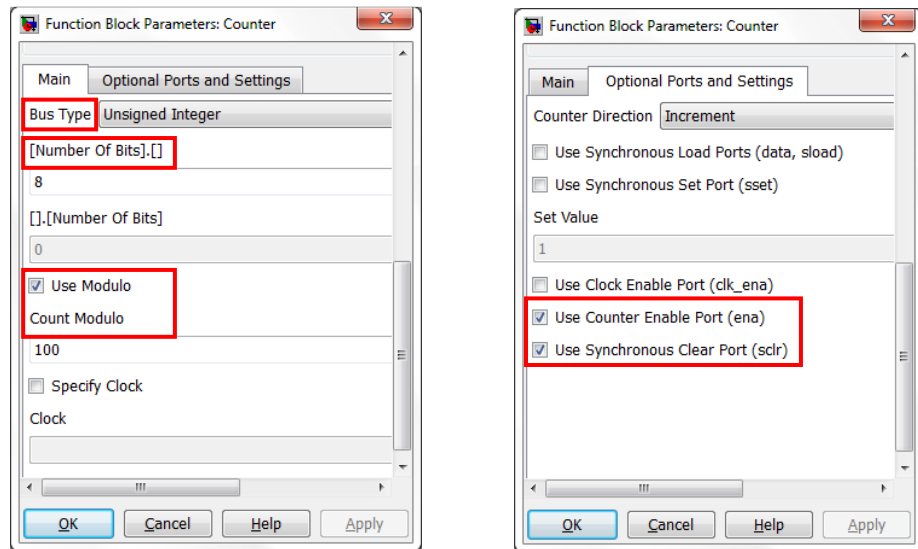


Figura 7 Parámetros del contador<sup>8</sup>

#### En Main:

- **Bus Type:** Permite establecer el formato para el contador, en este caso se utilizó números enteros sin signo.
- **Number Of Bits:** Especifica el número de bits a la izquierda del punto binario.
- **Use modulo:** Para activar Count Modulo y establecer el valor del contador que se va a utilizar, en este caso “100”.

#### En Optional Port and settings:

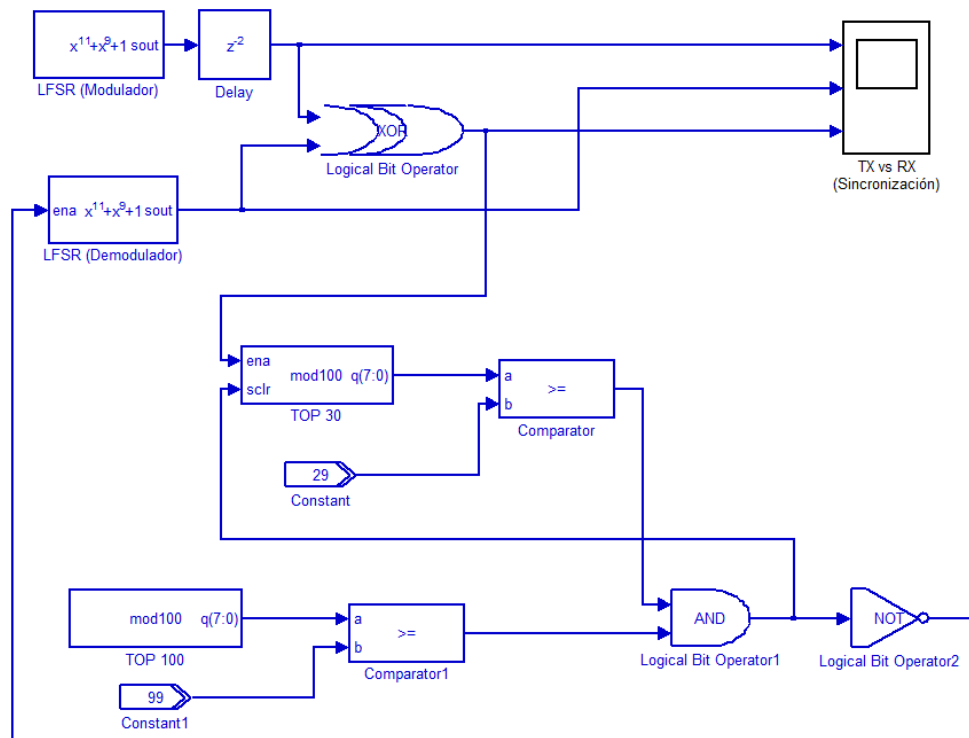
- **Use Counter Enale Port (ena):** Entrada para habilitar el contador, en este caso para el contador TOP 30.
- **Use Synchronous Clear Port (sclr):** Entrada para resetear el contador, este caso para el contador TOP 30.

<sup>7</sup> Captura del diseño del contador TOP 100 elaborado por los tesisistas en el software Matlab/Simulink R2010a

<sup>8</sup> Captura de los parámetros del bloque Counter (Main y Optional Ports and Settings) extraída de Matlab/Simulink/Altera R2010a

## Simulación

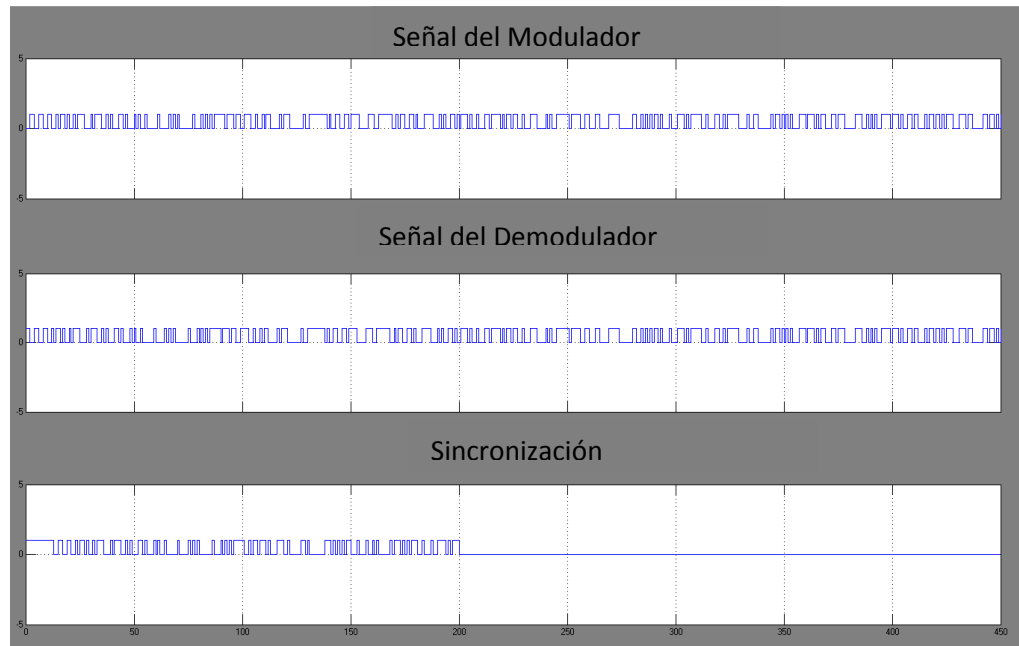
Al diseño de la Figura 9 se lo sometió a su respectiva simulación.



**Figura 8** Diseño del demodulador y sincronización<sup>9</sup>

A la salida de la compuerta XOR, la cual muestra la sincronización entre el modulador y demodulador, se obtuvieron los siguientes resultados:

<sup>9</sup> Captura del diseño del modulador y sincronización elaborado por los tesisistas en el software Matlab/Simulink R2010a



**Figura 9** Salida de la compuerta XOR (Modulador vs Demodulador) <sup>10</sup>

En la Figura 10 se puede observar el funcionamiento del diseño del demodulador, el cual se compara con la señal del modulador mediante una compuerta XOR, hasta que se tiene en su salida 0 lógico, lo cual demuestra la sincronización de las señales, es decir, que el demodulador está recibiendo la misma señal enviada, en este caso la señal se sincronizó en 200 bits.

## DISEÑO Y SIMULACIÓN CONTADOR DE ERRORES EN MATLAB (SIMULINK)

### Diseño

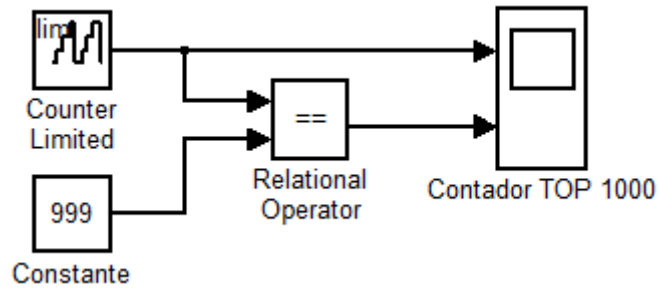
Para el diseño del contador de errores se desarrolló un programa, el cual permita ingresar errores cada cierto tiempo determinado, simulando de esta manera los ruidos que se pueden generar externamente.

Dicho programa se elaboró con bloques de Simulink de Matlab, el cual está compuesto por:

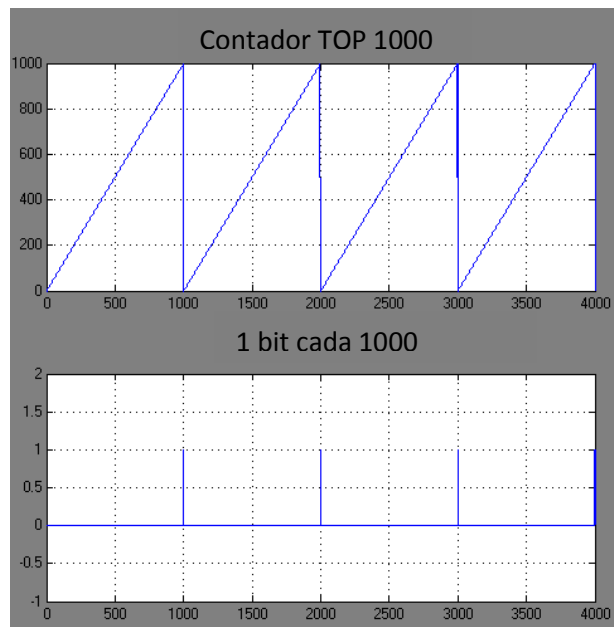
---

<sup>10</sup> Captura de resultados del diseño del demodulador y sincronización elaborado por los testistas en el software Matlab/Simulink R2010a

- **Contador TOP 1000 (modificable):** Envía un 1 lógico para que habilite la entrada 1 del switch.



**Figura 10** Contador TOP 1000 con bloques de Matlab/Simulink<sup>11</sup>

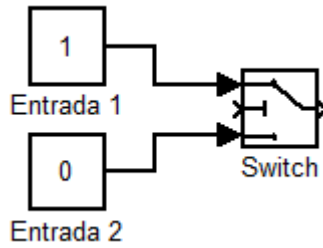


**Figura 11** Visualización del contador TOP 1000<sup>12</sup>

- **Switch:** Selecciona una entrada de acuerdo al umbral establecido, en este caso  $0.5$ , es decir cuando el selector del switch sea mayor a  $0.5$ , seleccionará la Entrada 1 y cuando sea menor a  $0.5$  seleccionará la Entrada 2.

<sup>11</sup> Captura del diseño del contador TOP 1000 elaborado por los tesisistas en el software Matlab/Simulink R2010a

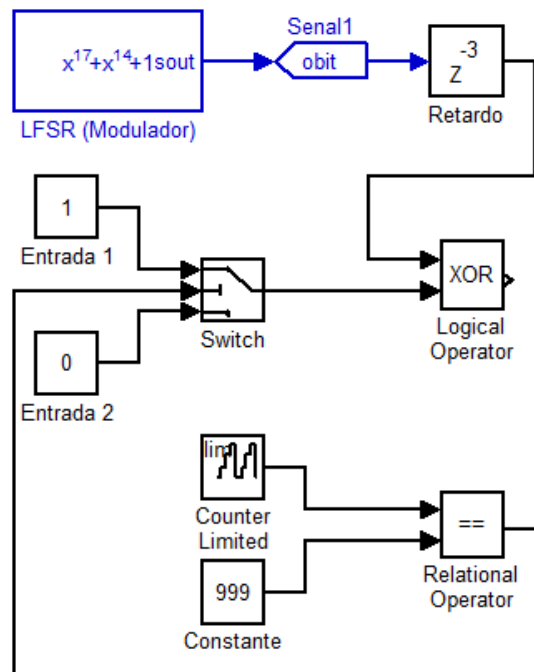
<sup>12</sup> Captura de resultados del diseño del contador TOP 1000 elaborado por los tesisistas en el software Matlab/Simulink R2010a



**Figura 12** Switch con sus respectivas entradas <sup>13</sup>

- **Compuerta XOR y Delay:** La compuerta XOR compara la señal del switch con la señal retardada del modulador, obteniendo a su salida la señal del modulador con el bit erróneo proporcionado por el contador TOP 1000.

La función del delay es retardar la señal del modulador para poder apreciar la sincronización y el bit erróneo.



**Figura 13** Diseño del programa para introducir bits erróneos <sup>14</sup>

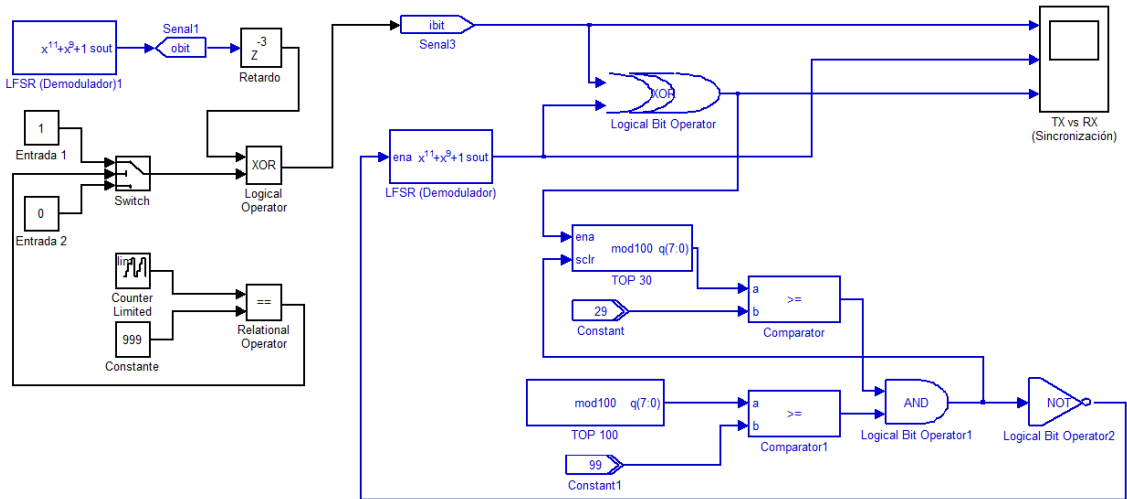
<sup>13</sup> Captura de la configuración del switch con sus respectivas entradas elaborado por los tesisistas en el software Matlab/Simulink R2010a

<sup>14</sup> Captura del diseño elaborado por los tesisistas en el software Matlab/Simulink R2010a



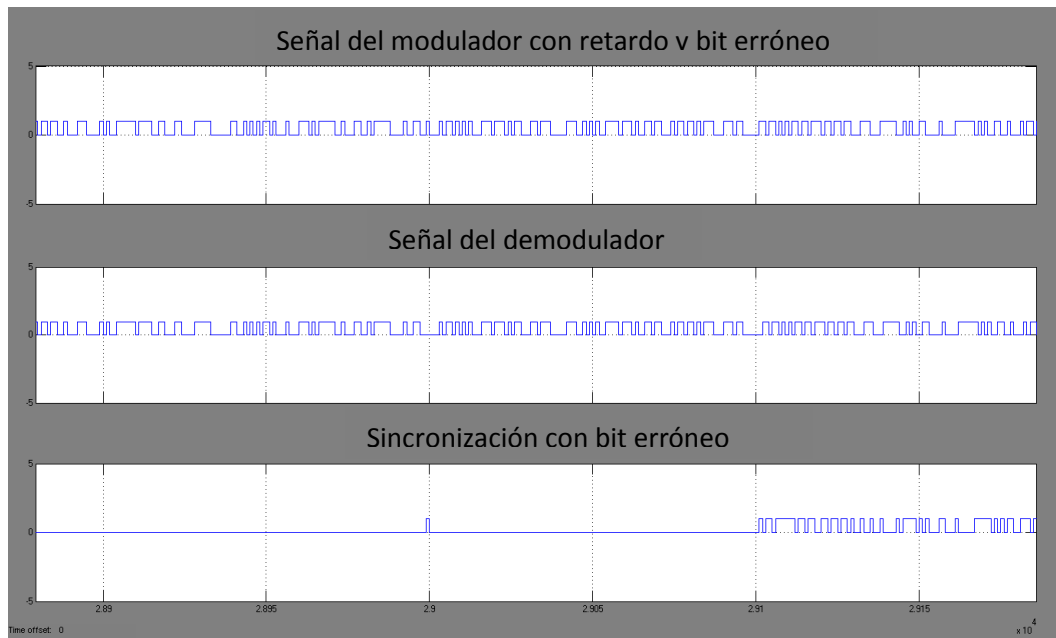
## Simulación

El diseño de la Figura 14, se lo empleó en el programa de sincronización descrito anteriormente (Figura 9), de la siguiente manera:



**Figura 14** Programa de sincronización con bits erróneos <sup>15</sup>

A la salida de la compuerta XOR, la cual indica la sincronización entre el modulador y demodulador, y la visualización del bit erróneo se obtuvieron los siguientes resultados:



**Figura 15** Salida de la compuerta XOR (Modulador vs Demodulador), con bit erróneo cada 1000 bits <sup>16</sup>

<sup>15</sup> Captura del programa de sincronización y bits erróneos elaborado por los tesisistas en el software Matlab/Simulink R2010a

Como se puede apreciar en la figura 15, a una cierta cantidad de bits erróneos en un tiempo determinado, la señal se desincroniza y el conjunto de contadores top no son suficientes para lograr el sincronismo, es por eso, que se utiliza dos contadores top adicionales para resolver este inconveniente.

Se añadió un contador Top 100000 que se activa con la misma salida que se activa el demodulador para que empiece a funcionar cuando se sincronice la señal, y se resetee con la salida de la compuerta AND entre la XOR y la salida del contador top 1000 enclavado y de esta manera determinar la cantidad de bits erróneos en la transmisión una vez sincronizada la señal y saber con exactitud el BER. La función específica de este contador TOP es resetear el bloque contador de errores, una vez que se receptan 100000 bits.

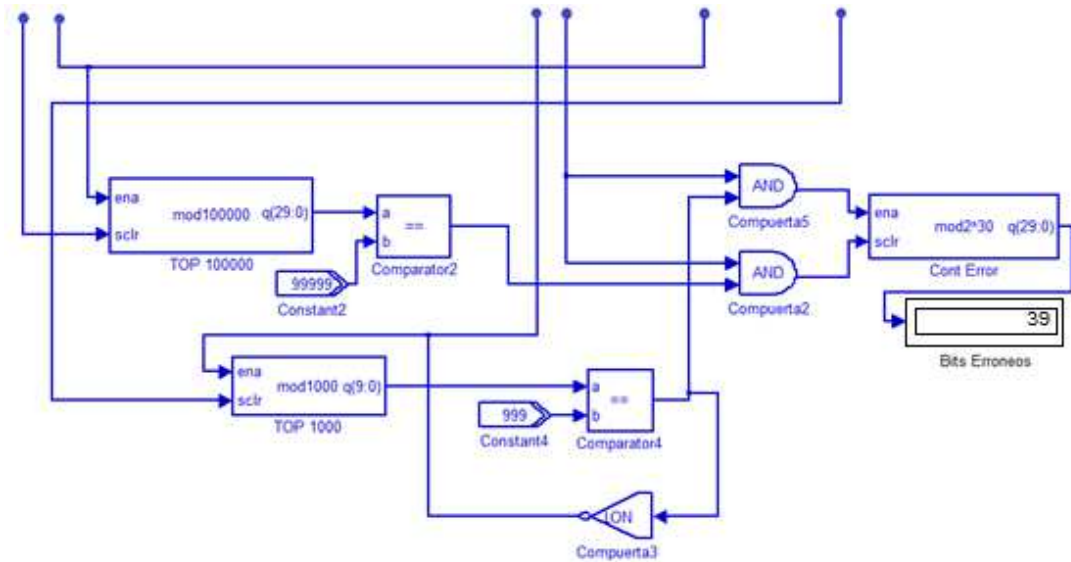
Adicionalmente se requiere de un contador top 1000 el cual se enclava al contar 1000 bits a través de una compuerta NOT, obteniendo a la salida un 1 lógico que se compara con la señal de la compuerta XOR mediante una compuerta AND y la salida de ésta habilita el contador de errores para determinar los bits equívocos en la transmisión. Este contador se resetea con la salida de la compuerta AND del contador TOP 30 y TOP 100.

## **Simulación**

El diseño de la Figura 16, se lo empleó en el programa de sincronización descrito anteriormente y en el cual se utilizó un tiempo de bit de 40000 por tanto, el contador de errores devuelve el valor de 39 ya que se está enviando 1 bit equívoco cada 1000 bits transmitidos, y se observa que la señal ya no se desincroniza a partir de los 30000 bits. Los primeros 1000 bits no se los considera hasta que se establezca la transmisión.

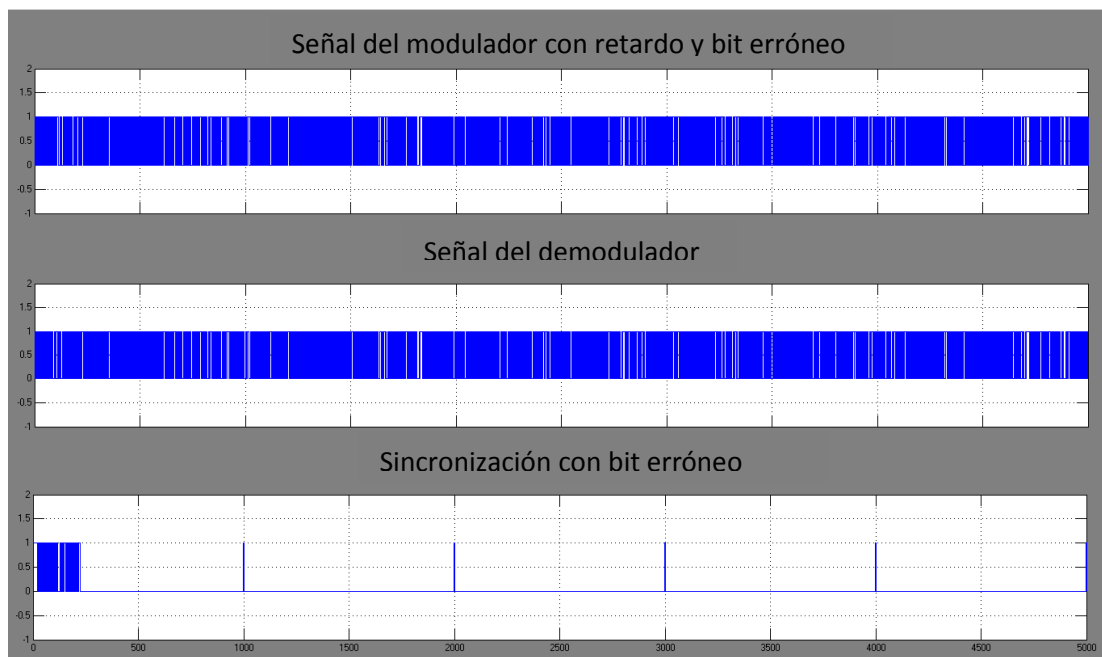
---

<sup>16</sup> Captura de salida de compuerta XOR con bit erróneo elaborado por los tesisistas en el software Matlab/Simulink R2010a



**Figura 16** Contadores TOP 10000 y TOP 1000 <sup>17</sup>

Se obtuvieron los siguientes resultados:



**Figura 17** Salida de la compuerta XOR (Modulador vs Demodulador), con bit erróneo cada 1000 bits y contadores TOP añadidos <sup>18</sup>

<sup>17</sup> Captura de Contadores TOP 100000 y TOP 1000 elaborado por los tesisistas en el software Matlab/Simulink R2010a

<sup>18</sup> Captura de salida de compuerta XOR con bit erróneo elaborado por los tesisistas en el software Matlab/Simulink R2010a

## CONFIGURACIÓN PARÁMETROS PARA LA IMPLEMENTACIÓN

A continuación se detallan los bloques que son necesarios para compilar y programar la tarjeta FPGA.

### - Clock

El clock es el reloj principal con el que trabaja la tarjeta FPGA es de 50 MHz, por lo tanto, su período es de 200 ns y su bloque es el siguiente:



**Figura 18** *Clock*<sup>19</sup>

### - PLL

El PLL es un reloj secundario, el cual se utiliza para generar relojes derivados en función del reloj principal realizando una multiplicación ó división, para señales cuadradas.



**Figura 19** *Clock*<sup>20</sup>

Para la configuración de este reloj es necesario establecer la frecuencia de transmisión con la que se desea trabajar, en este caso se debe realizar un cálculo de la siguiente manera:

Por ejemplo, para lograr una transmisión de 8 KHz, se debe dividir esta frecuencia a la mitad y este resultado se lo debe invertir para obtener el valor deseado.

---

<sup>19</sup> Captura del clock principal en el software Matlab/Simulink R2010a

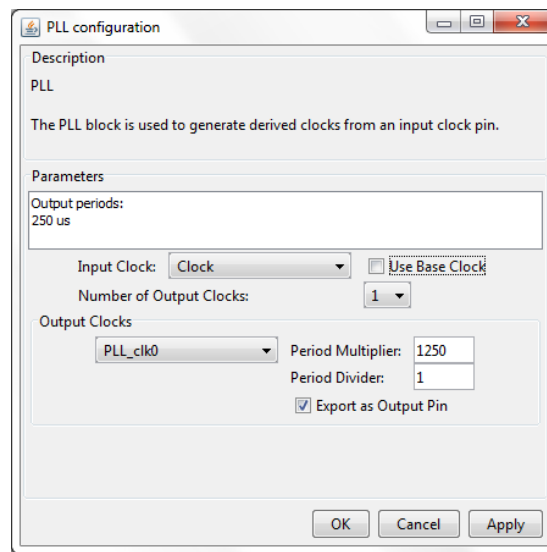
<sup>20</sup> Captura del PLL en el software Matlab/Simulink R2010a

$$f_{transmisión} = 8KHz$$

El valor deseado es:

$$T = \frac{2}{f_{transmisión}} = \frac{1}{4KHz} = 250us$$

Ahora para determinar los 250us, se debe buscar un factor de multiplicación (en este caso 1250) el cual será ingresado en la configuración del bloque hasta lograr el valor de periodo deseado.



**Figura 20** PLL configuration <sup>21</sup>

### - Signal Compiler

Bloque que convierte la programación en bloques en código VHDL, para su respectiva compilación y programación en la FPGA.



**Figura 21** Signal Compiler <sup>22</sup>

<sup>21</sup> Captura del PLL configuration en el software Matlab/Simulink R2010a

<sup>22</sup> Captura del PLL configuration en el software Matlab/Simulink R2010a

- **Cyclone III EP3C120 FPGA**

Es necesario establecer este bloque en el programa, porque indica el modelo de la tarjeta que se desea utilizar. Sin este bloque es imposible la generación del código.



**Figura 22** Tarjeta FPGA <sup>23</sup>

- **Signal Tap**

Se utiliza para obtener valores a través de un osciloscopio virtual.



**Figura 23** Signal Tap <sup>24</sup>

- **Salidas y entradas digitales**

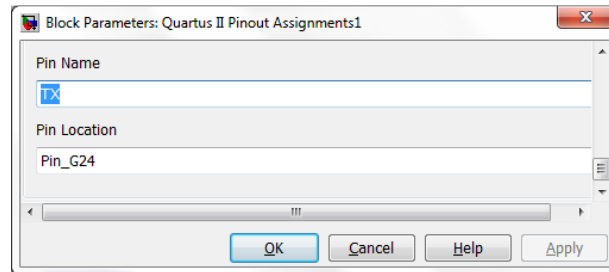
Para asignar las salidas y entradas digitales se debe utilizar el bloque “Quartus II Pinout Assignments” y los bloques de entrada y salida de Altera.

*Quartus II Pinout Assignments:* este bloque permite asignar las salidas y entradas digitales de la FPGA tanto en hardware como en software, utilizando la nomenclatura correspondiente a cada pin del “HSMC Port B (J9) – (Debug Header Shown)” de acuerdo a la hoja de datos de la FPGA (Anexo 1) y al nombre asignando a los bloques de entradas y salidas en el programa.

---

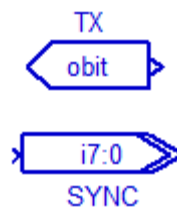
<sup>23</sup> Captura del Tarjeta FPGA en el software Matlab/Simulink R2010a

<sup>24</sup> Captura del Signal Tap en el software Matlab/Simulink R2010a



**Figura 24** *Quartus II Pinout Assignments*<sup>25</sup>

*Bloque de entradas y salidas digitales:* en este caso se nombro TX a una salida digital y SYNC a una entrada digital.



**Figura 25** *Bloque de entradas y salidas digitales*<sup>26</sup>

<sup>25</sup> Captura del bloque Quartus II Pinout Assignments en el software Matlab/Simulink R2010a

<sup>26</sup> Captura del bloque de entradas y salidas digitales en el software Matlab/Simulink R2010a

**Anexo 7**  
**Artículo en formato IEEE**



**Anexo 8**

**Artículo en formato de la revista INGENIUS**