



**UNIVERSIDAD POLITÉCNICA SALESIANA**

**Sede Cuenca**

**Carrera Ingeniería Electrónica**

**TESIS DE PREGRADO**

**“DISEÑO E IMPLEMENTACIÓN DEL  
SISTEMA DE CONTROL DE UN INVERSOR  
MULTINIVEL DE FUENTES  
INDEPENDIENTES, POR MEDIO DE  
MODULACIÓN VECTORIAL ESPACIAL”**

por

**Juan Carlos Galarza Galarza**

Cuenca, diciembre 2012

**UNIVERSIDAD POLITÉCNICA  
SALESIANA**

**SEDE CUENCA**

**CARRERA INGENIERÍA ELECTRÓNICA**

Tesis previa a la obtención del  
título de Ingeniero Electrónico

**“DISEÑO E IMPLEMENTACIÓN DEL  
SISTEMA DE CONTROL DE UN INVERSOR  
MULTINIVEL DE FUENTES  
INDEPENDIENTES, POR MEDIO DE  
MODULACIÓN VECTORIAL ESPACIAL”**

**Autor:**

**Juan Carlos Galarza Galarza**

**Director:**

**Ing. Flavio Quizhpi**

**Cuenca, diciembre 2012**

Yo, Juan Carlos Galarza Galarza, con CI 0104167481, estudiante de la Universidad Politécnica Salesiana, me hago responsable de los conceptos desarrollados, análisis realizados y las conclusiones del presente trabajo. Autorizo a la Universidad Politécnica Salesiana el uso de este trabajo para fines académicos.

Cuenca, 30 de diciembre del 2012.



---

Juan Carlos Galarza Galarza  
CI: 0104167481

Luego de haber culminado el presente trabajo de tesis, certifico que el mismo fue realizado por el señor Juan Carlos Galarza Galarza.

Cuenca, 30 de diciembre del 2012.

A handwritten signature in blue ink, consisting of a large loop at the top and several smaller, overlapping strokes below it, positioned above a horizontal line.

---

Ing. Flavio Quizhpi

“No creo que haya alguna emoción más intensa para un inventor que ver alguna de sus creaciones funcionando. Esa emoción hace que uno se olvide de comer, de dormir, de todo” (Nikola Tesla).

# Dedicatoria

Dedico esta tesis a mis padres, quienes con su incondicional apoyo y sus sabias enseñanzas, siempre me han guiado por el camino del bien.

A mis hermanos por su incondicional ayuda y sus palabras de aliento en las situaciones más difíciles.

# Agradecimientos

Mi agradecimiento al profesor Flavio Quizhpi, quien confió en mí y mi trabajo y me brindó su apoyo humano y técnico, para la consecución de esta tesis.

A mi hermano Manolo quien siempre me apoyó y alentó en todo momento y sobre todo en los más duros, durante la consecución de esta tesis y a lo largo de mi vida.

También a Pablo Portocarrero, quien supo confiar en mí y prestarme la placa electrónica utilizada en esta tesis, también a la Universidad Politécnica Salesiana por facilitarme los laboratorios y equipos necesarios para la consecución de esta tesis.

# Índice general

<b>Introducción</b>	<b>1</b>
<b>1. Métodos de modulación vectorial espacial.</b>	<b>3</b>
1.1. Métodos de modulación vectorial espacial. . . . .	3
1.1.1. Introducción a los inversores multinivel. . . . .	3
1.1.2. Clasificación de los inversores multinivel . . . . .	4
1.1.3. Topologías para inversores multinivel de fuentes de tensión. . . . .	5
1.1.4. Métodos de modulación para inversores multinivel. . . . .	10
1.1.5. Métodos de modulación vectorial espacial. . . . .	13
1.2. Ventajas y desventajas de los métodos de modulación vectorial espacial. . . . .	14
<b>2. Diseño del sistema de control.</b>	<b>16</b>
2.1. Modulación vectorial espacial elegido. . . . .	16
2.1.1. Introducción. . . . .	16
2.1.2. Transformada de Park. . . . .	17
2.1.3. Método de modulación vectorial de consideraciones geométricas. . . . .	20
2.2. Descripción del sistema de control. . . . .	50
2.2.1. Descripción. . . . .	53
2.2.2. Almacenamiento y selección de los parámetros del inversor. . . . .	54
2.2.3. Visualización de los parámetros del inversor. . . . .	55
2.2.4. Sensado de la tensión de las fuentes. . . . .	55
2.2.5. Sensado de las corrientes en la carga. . . . .	56
2.2.6. Sistema de protección del inversor. . . . .	56
2.2.7. Generador del vector de referencia. . . . .	57
2.2.8. Normalización y achatamiento del vector de referencia. . . . .	57
2.2.9. Cálculo de los estados y tiempos de conmutación. . . . .	58
2.2.10. Conmutación de los estados en un tiempo de muestreo $T_m$ . . . . .	58



<b>3. Diseño de la parte eléctrica y electrónica.</b>	<b>60</b>
3.1. Tipos de topologías de inversores multinivel. . . . .	60
3.2. Topología de fuentes independientes. . . . .	61
3.3. Diseño de la topología multinivel utilizada. . . . .	61
3.3.1. Descripción básica de los IGBT's. . . . .	62
3.3.2. Descripción de la topología usada. . . . .	63
3.3.3. Estados del convertidor de fuentes independientes de 4 ni- veles. . . . .	69
3.3.4. Máxima tensión que puede generar el inversor. . . . .	73
<b>4. Programación del algoritmo de control.</b>	<b>76</b>
4.1. Sistema FPGA. . . . .	76
4.1.1. ¿Qué es un FPGA?. . . . .	76
4.1.2. Tipos de FPGA's. . . . .	77
4.1.3. Ventajas y desventajas de los FPGA's. . . . .	78
4.1.4. Lenguajes de programación para FPGA. . . . .	79
4.2. Simulación del algoritmo de control. . . . .	80
4.2.1. Simulación del algoritmo de consideraciones geométrica en Matlab. . . . .	80
4.3. Diagrama de bloques del algoritmo de control. . . . .	86
4.3.1. MicroBlaze Development Kit Spartan-3E 1600E. . . . .	88
4.3.2. Voltajes y corrientes. . . . .	89
4.3.3. Control y visualización. . . . .	111
4.3.4. Generador de Clark. . . . .	119
4.3.5. Algoritmo Clark 1. . . . .	132
4.3.6. Conmutación. . . . .	134
4.3.7. Sistema de protección. . . . .	139
<b>5. Pruebas de funcionamiento.</b>	<b>145</b>
5.1. Simulación del algoritmo mediante Isim. . . . .	145
5.1.1. Simulación del bloque del generador de Clark. . . . .	145
5.1.2. Simulación del bloque del algoritmo. . . . .	148
5.2. Verificación del algoritmo mediante ChipScope. . . . .	152
5.2.1. Verificación del bloque del generador de Clark. . . . .	152
5.2.2. Verificación del bloque del algoritmo. . . . .	154
5.3. Pruebas del algoritmo con el circuito de potencia. . . . .	157
5.3.1. Prueba con carga resistiva. . . . .	157

5.3.2. Pruebas con carga resistiva inductiva en serie. . . . .	159
5.3.3. Pruebas con un motor asíncrono de 4 polos. . . . .	160
<b>6. Analisis de resultados.</b>	<b>169</b>
<b>Conclusiones</b>	<b>172</b>
<b>Recomendaciones</b>	<b>175</b>
<b>A. Estados del inversor de 4 niveles.</b>	<b>176</b>
<b>B. Algoritmo de consideraciones geométricas en Matlab.</b>	<b>193</b>
<b>Bibliografía</b>	<b>200</b>
<b>Nomenclatura</b>	<b>202</b>

# Índice de figuras

1.1. Elementos de un Inversor Multinivel. . . . .	3
1.2. Ondas de un inversor multinivel . . . . .	4
1.3. Inversor de medio puente y circuito equivalente. . . . .	5
1.4. Inversor de tres niveles NPC. . . . .	6
1.5. Conversor NPC de 3 niveles y de n niveles . . . . .	7
1.6. Esquema de un inversor de tres niveles DMC. . . . .	8
1.7. Mallas de condensadores del inversor DMC. . . . .	8
1.8. Inversores monofásico en cascada . . . . .	9
1.9. Inversor trifásico en cascada . . . . .	9
1.10. Onda senoidal moduladora y triangular portadora . . . . .	11
1.11. Ondas senoidal moduladora y triangulares portadoras para inver- sores multinivel . . . . .	12
1.12. Espacio vectorial de un inversor de 4 niveles . . . . .	13
2.1. Transformada de Clark [1]. . . . .	18
2.2. Transformada de Park [1]. . . . .	19
2.3. Hexágonos normales y normalizados . . . . .	21
2.4. Espacio de estados normalizados . . . . .	22
2.5. Zonas del plano achatado. . . . .	22
2.6. Flujograma para determinar la zona en la que se encuentra el vector de referencia. . . . .	23
2.7. Vectores de estado de un convertidor de 5 niveles de la zona 1. . .	24
2.8. Vectores de estado de un convertidor de 5 niveles de la zona 2. . .	25
2.9. Vectores de estado de un convertidor de 5 niveles de la zona 3. . .	27
2.10. Región geométrica en la zona 1. . . . .	29
2.11. Región geométrica en la zona 2. . . . .	31
2.12. Región geométrica en la zona 3. . . . .	33
2.13. Coordenadas de los niveles del inversor de la zona 1. . . . .	34
2.14. Coordenadas de los niveles del inversor de la zona 2. . . . .	35

2.15. Coordenadas de los niveles del inversor de la zona 3. . . . .	35
2.16. Diagrama del sistema de control del inversor. . . . .	52
2.17. Bloque de almacenamiento y selección de los parámetros del inversor. . . . .	54
2.18. Bloque de visualización de los parámetros del inversor. . . . .	55
2.19. Bloque de sensado de la tensión de las fuentes. . . . .	55
2.20. Bloque de sensado de la corriente en la carga. . . . .	56
2.21. Bloque del sistema de protección del inversor. . . . .	56
2.22. Bloque del generador del vector de referencia. . . . .	57
2.23. Bloque de normalización y achatamiento del vector de referencia. . . . .	58
2.24. Bloque de cálculo de los estados y tiempos de conmutación. . . . .	58
2.25. Bloque de conmutación de los estados en un tiempo de muestreo $T_m$ . . . . .	59
3.1. Rama de un convertidor de puentes monofásicos de 5 niveles . . . . .	61
3.2. Convertidor trifásico de puentes monofásicos en estrella de 3 niveles. . . . .	62
3.3. Convertidor trifásico de puentes en cascada de 4 niveles. . . . .	62
3.4. Circuito equivalente del IGBT. . . . .	63
3.5. Símbolo del IGBT. . . . .	63
3.6. Fuente DC PE-5000 de K and H. . . . .	64
3.7. Esquema del convertidor monofásico. . . . .	65
3.8. Banco de IGBT's monofásico PE-5310-4F de K and H. . . . .	65
3.9. Esquema del puente convertidor trifásico. . . . .	66
3.10. Banco de IGBT's universales PE-5310-4F de K and H. . . . .	66
3.11. Transductor de corriente PE-5310-2C de K and H. . . . .	67
3.12. Esquema del conversor de fuentes independientes de 4 niveles. . . . .	68
3.13. Estado <i>100000000</i> del convertidor de 4 niveles. . . . .	69
3.14. Estado simplificado <i>100000000</i> del convertidor de 4 niveles. . . . .	70
3.15. Espacio vectorial normalizado del inversor de 4 niveles. . . . .	71
3.16. Espacio vectorial en donde el inversor no se satura. . . . .	75
4.1. Estructura general de un FPGA[2]. . . . .	77
4.2. Espacio vectorial y vector de referencia sin alterar. . . . .	81
4.3. Espacio vectorial y vector de referencia normalizado. . . . .	83
4.4. Espacio vectorial y vector de referencia normalizado y achatado. . . . .	84
4.5. Espacios vectoriales en las distintas etapas del algoritmo. . . . .	85
4.6. Diagrama de bloques montado en el sistema FPGA. . . . .	87
4.7. Tarjeta MicroBlaze Development Kit Spartan-3E 1600E[3]. . . . .	89
4.8. Distribución de pines del MCP3204[4]. . . . .	90

4.9. Comunicación con el MCP3204[4]. . . . .	91
4.10. Sensor de efecto Hall[5]. . . . .	93
4.11. Circuito de resistencias del voltaje de referencia para la medición de tensión de las fuentes. . . . .	94
4.12. Partidor de tensión para la medición de la tensión de las fuentes. .	94
4.13. Fuente de 3.3v. . . . .	95
4.14. Circuito de acoplamiento para la medición de la suma de corrientes.	96
4.15. Circuito acoplador para la medición de la corriente en la carga. . .	98
4.16. Circuitos de acoplamiento para la medición de las corrientes. . . .	99
4.17. Conexión de los MCP3204. . . . .	100
4.18. Bloque de voltajes y corrientes. . . . .	101
4.19. Bloques internos del bloque de voltajes y corrientes. . . . .	103
4.20. Bloque de control del conversor analógico digital. . . . .	104
4.21. Maquina de estados para el control de los ADC's. . . . .	106
4.22. Bloque para el promediado de las tensiones de la fuente. . . . .	107
4.23. Maquina de estados del bloque del promediado de tensiones. . . .	107
4.24. Bloque de constantes de voltaje. . . . .	108
4.25. Bloques de multiplicación del voltaje VDC . . . . .	110
4.26. Bloques para completar datos de voltaje. . . . .	110
4.27. Bloque de control y visualización. . . . .	112
4.28. Bloques interiores del bloque de control y visualización. . . . .	113
4.29. Bloque de manejo del scroll. . . . .	114
4.30. Maquina de estados del botón de selección. . . . .	116
4.31. Bloque de cálculo del voltaje de linea . . . . .	116
4.32. Bloques interiores del bloque voltaje vll. . . . .	117
4.33. Bloque de manejo del LCD. . . . .	118
4.34. Bloque del generador de Clark. . . . .	119
4.35. Bloques interiores del bloque del generador de Clark. . . . .	120
4.36. Bloque de división entre frecuencias. . . . .	125
4.37. Bloque del generador de pulsos. . . . .	126
4.38. Bloques de generación de las componentes d y q del vector de referencia. . . . .	127
4.39. Multiplicación de voltajes. . . . .	130
4.40. División de voltaje. . . . .	131
4.41. Bloque del algoritmo Clark. . . . .	132
4.42. Maquina de estados del algoritmo. . . . .	134
4.43. Bloque de conmutación. . . . .	135

4.44. Bloques interiores del bloque de conmutación. . . . .	136
4.45. Bloque de vectores. . . . .	136
4.46. Bloque de control de salidas. . . . .	139
4.47. Bloque del sistema de protección. . . . .	140
4.48. Bloques interiores del sistema de protección. . . . .	140
4.49. Bloque de control de voltajes. . . . .	141
4.50. Bloque de control de corrientes. . . . .	142
5.1. Simulación del bloque del generador de Clark. . . . .	147
5.2. Simulación del bloque del algoritmo. . . . .	149
5.3. Componente d del vector de referencia capturado por el ChipScope. . . . .	153
5.4. Componente q del vector de referencia capturado por el ChipScope. . . . .	153
5.5. Espacio vectorial capturado con el ChipScope. . . . .	154
5.6. Estados y tiempos de conmutación capturados por medio del ChipScope. . . . .	155
5.7. Tensiones fase neutro medidas en 2 de las fases. . . . .	157
5.8. Frecuencia de salida con una carga de $300\Omega$ . . . . .	158
5.9. Espectro de la onda de tensión con una carga de $300\Omega$ . . . . .	159
5.10. Tensión línea línea en 2 de las fases con una carga R. . . . .	159
5.11. Corriente en una de las fases con una carga R. . . . .	160
5.12. Tensión fase neutro en 2 de las fases con carga RL. . . . .	160
5.13. Frecuencia y tensión fase neutro en la onda de tensión de salida con carga RL. . . . .	161
5.14. Espectro de la onda de tensión con una carga RL. . . . .	161
5.15. Corriente de fase con una carga RL. . . . .	162
5.16. Espectro de la onda de corriente con una carga RL. . . . .	162
5.17. Tensión de fase y corriente de fase con carga RL. . . . .	163
5.18. Tensión fase neutro del motor a 60Hz. . . . .	163
5.19. Tensión línea línea del motor a 60Hz. . . . .	164
5.20. Espectro de la onda de tensión de fase, con el motor a 60Hz. . . . .	164
5.21. Espectro de la onda de tensión de línea, con el motor a 60Hz. . . . .	165
5.22. Corriente del motor a 60Hz. . . . .	165
5.23. Espectro de la onda de corriente, con el motor a 90Hz. . . . .	166
5.24. Tensión de fase y corriente del motor a 60Hz. . . . .	166
5.25. Tensión fase neutro del motor a 90Hz. . . . .	167
5.26. Tensión línea línea del motor a 90Hz. . . . .	167
5.27. Corriente del motor a 90Hz. . . . .	167

5.28. Espectro de la onda de corriente, con el motor a 90Hz. . . . .	168
5.29. Tensión de fase y corriente del motor a 90Hz. . . . .	168

# Índice de tablas

1.1. Comparación entre los requerimientos de componentes de las topologías básicas. . . . .	9
2.1. Vectores de estado y tiempos de conmutación en las 3 zonas del plano complejo. . . . .	51
3.1. Estados del convertidor monofásico. . . . .	64
3.2. Estados del convertidor trifásico. . . . .	66
3.3. Estados utilizados en este trabajo transformado al plano d-q. . . .	72
4.1. Descripción de los pines del MCP3204[4]. . . . .	90
4.2. Bits de configuración del MCP3204[4]. . . . .	91
4.3. Valores para la desactivación de los demás periféricos en el bus SPI[3]. . . . .	106
A.1. Estados del inversor de 4 niveles de fuentes independientes del 0 al 31. . . . .	177
A.2. Estados del inversor de 4 niveles de fuentes independientes del 32 al 63. . . . .	178
A.3. Estados del inversor de 4 niveles de fuentes independientes del 64 al 95. . . . .	179
A.4. Estados del inversor de 4 niveles de fuentes independientes del 96 al 127. . . . .	180
A.5. Estados del inversor de 4 niveles de fuentes independientes del 128 al 159. . . . .	181
A.6. Estados del inversor de 4 niveles de fuentes independientes del 160 al 191. . . . .	182
A.7. Estados del inversor de 4 niveles de fuentes independientes del 192 al 223. . . . .	183
A.8. Estados del inversor de 4 niveles de fuentes independientes del 224 al 255. . . . .	184



A.9. Estados del inversor de 4 niveles de fuentes independientes del 256	
al 287. . . . .	185
A.10.Estados del inversor de 4 niveles de fuentes independientes del 288	
al 319. . . . .	186
A.11.Estados del inversor de 4 niveles de fuentes independientes del 320	
al 351. . . . .	187
A.12.Estados del inversor de 4 niveles de fuentes independientes del 352	
al 383. . . . .	188
A.13.Estados del inversor de 4 niveles de fuentes independientes del 384	
al 415. . . . .	189
A.14.Estados del inversor de 4 niveles de fuentes independientes del 416	
al 447. . . . .	190
A.15.Estados del inversor de 4 niveles de fuentes independientes del 448	
al 479. . . . .	191
A.16.Estados del inversor de 4 niveles de fuentes independientes del 480	
al 511. . . . .	192

# Introducción

Desde la introducción de los convertidores CD/CA ya hace varios años, su estudio y utilización se han venido incrementado, debido a sus diversas aplicaciones, que van desde variadores de frecuencia para motores asíncronos hasta para sistema de corrección del factor de potencia y/o para la compensación de corrientes reactivas.

Estos conversores CD/CA también llamados inversores, tienen la función de convertir una tensión fija de corriente continua a una tensión simétrica de corriente alterna con frecuencia y tensión deseada, esta frecuencia y tensión pueden ser ajustables según se desee en ciertos casos.

La tensión simétrica alterna se consigue al conectar la carga a la fuente de alimentación en un sentido u otro, por medio de interruptores de potencia, los mismo que pueden conmutar varias veces por ciclos para conseguir la tensión deseada.

Estos interruptores de potencia también han permitido el adelanto en cuanto a los inversores, ya que los mismo se han vuelto más rápidos y con una mayor potencia con el paso de los años, lo que ha generado una serie de técnicas de control, que van desde las basadas en la generación de ondas cuadradas simétricas a la frecuencia deseada, los que necesitan semiconductores de baja velocidad, pasado por técnicas PWM con requerimiento de semiconductores de gran velocidad, pero con la ventaja se consigue una menor distorsión armónica y un ajuste de la tensión de salida casi independiente de la fuente de tensión de la alimentación, hasta técnicas más avanzadas, como el control vectorial espacial, que al igual que las técnicas PWM necesitan semiconductores de gran velocidad, pero con prestaciones aun mejores que la técnica PWM, ya que la distorsión armónica es mucho menor y también un control más exacto de la tensión a obtener a la salida.

También estas tensiones a obtener en la salida, han desencadenado una serie de estudios de la estructura de los inversores llamadas topologías, las cuales van desde la más simple con 3 niveles en donde se hace conmutar los interruptores para que a la carga le llegue una tensión igual a 0 voltios, más o menos la tensión de alimentación, hasta las topologías multinivel en donde la tensión que le llega a

la carga es una fracción de la tensión de alimentación o se conectan varias fuentes en cascada para generar los distintos niveles a su salida.

Las topologías multinivel ofrecen varias ventajas con respecto a las topologías de 3 niveles, ya que salida produce una menor distorsión armónica y también que necesitan semiconductores de potencia de menores voltajes porque solo manejan una fracción de la tensión de alimentación, que en los casos de inversores de potencia pueden ser una gran ventaja porque a mayor tensión que maneja un semiconductor, su costo es muchísimo mayor.

Una de las topologías que se usan generalmente, es la topología de fuentes independientes también conocida como de puentes monofásicos en cascada, tiene la característica de que puede implementarse de forma modular, ya que para incrementar los niveles solo basta con agregar más puentes en cascada, además esta topología es controlada por medio de técnicas de control vectorial espacial por su eficiencia, y principalmente por que en la actualidad los dispositivos electrónicos como los DSP y FPGA, utilizados para su control se han abarato.

El abaratamiento de los FPGA y DSP, han permitido estudiar de una manera más detallada del comportamiento de esta topología de fuentes independientes, como la realizada en este trabajo, en donde se investigo algunos de estos algoritmos de vector espacial y se puso a prueba el funcionamiento de uno de estos, el de consideraciones geométricas descrito en [6] y se probó su funcionamiento, el algoritmo se implementó en un sistema FPGA, y se probó sobre un motor asíncrono, verificando su comportamiento.

# 1. Métodos de modulación vectorial espacial.

## 1.1. Métodos de modulación vectorial espacial.

### 1.1.1. Introducción a los inversores multinivel.

Los inversores multinivel y los inversores convencionales, son sistemas electrónicos destinados principalmente a transformar de corriente continua a corriente alterna y su utilización esta en aumento, debido principalmente a sus posibles aplicaciones en el futuro, en sistemas de energía renovable[7] en corrección de factores de potencia o eliminación de armónicos en las redes de transmisión y distribución eléctricas [8].

Los inversores multinivel como ya se menciono convierten de corriente continua a corriente alterna, tienen la característica que utilizan más un nivel de voltaje para generar la onda seno a su salida, desencadenando una serie de ventajas con respecto a los convertidores convencionales de un solo nivel, como son menores contenidos armónicos entre otros, que son de especial interés en sistemas eléctricos de potencia ya que son usados para inyectar energía en las mismas a partir de fuentes de continua[6].

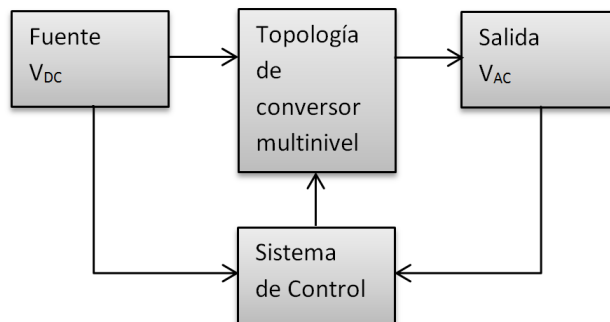
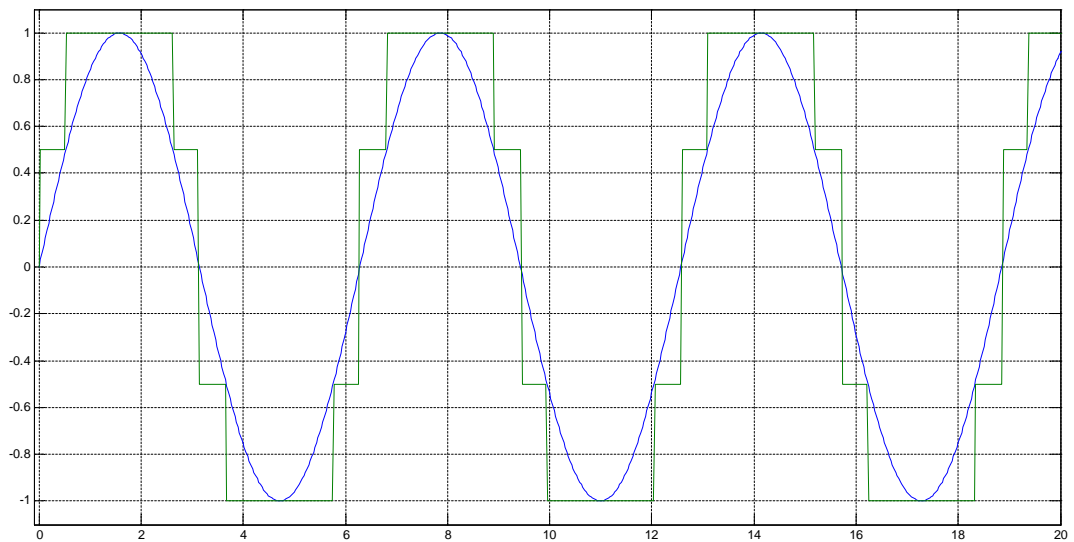


Figura 1.1.: Elementos de un Inversor Multinivel.

Los inversores multinivel como se ve en la Figura 1.1, son sistemas de semiconductores electrónicos de potencia, fuentes de voltaje, condensadores y sistemas de control, arreglados de tal forma que a partir de fuentes de corriente continua o condensadores conectadas a los semiconductores electrónicos de potencia (Topología de convertidor multinivel) se cierran y abren, por el mando del sistema de control, para generar ondas cuadradas moduladas o no, que tratan de asemejarse a una onda senoidal a su salida como se ve en la Figura 1.2, además el sistema de control recibe señales de las fuentes de tensión y de la salida para mejorar su eficiencia.



**Figura 1.2.:** Ondas de un inversor multinivel

### 1.1.2. Clasificación de los inversores multinivel

Los inversores multinivel según [6], pueden clasificarse de varias formas pero entre las principales son las siguientes:

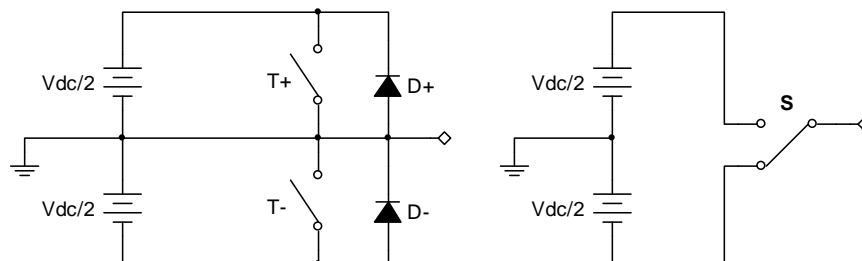
- Tipo de fuentes de continua.
  - Fuente de corriente
  - Fuente de tensión
- Tipo de dispositivos interruptores.
  - BJT

- MOSFET
- Tiristor
- GTO
- IGBT
- IGCT
- Tipo de topología usado.
  - Convertidores de niveles
  - Convertidores multinivel
- Técnica de control usado.
  - Baja frecuencia: onda cuadrada como la mostrada en la Figura 1.2.
  - Alta frecuencia: con modulación por ancho de pulso o vectorial espacial

### 1.1.3. Topologías para inversores multinivel de fuentes de tensión.

La topología de un conversor o inversor multinivel, es la disposición de los semiconductores de potencia y en ciertas topologías diodos y capacitores, que conmutan los distintos niveles de voltaje.

Una forma sencilla de entender la topología de un inversor, es la de dos interruptores de potencia mostrados en la Figura 1.3, en donde los interruptores son complementarios, al cerrar el interruptor superior a la carga llega un voltaje  $+V_{DC}/2$  y viceversa con lo que en la carga se genere una onda cuadrada de  $\pm V_{DC}/2$ , que ya es un tipo de inversor simple, entonces la topología es el arreglo de los interruptores con la fuente y los diodos.



**Figura 1.3.:** Inversor de medio puente y circuito equivalente.

Existen varias topologías de inversores multinivel, pero entre las más básicas se encuentran:

- Convertidor con diodo enclavado (Diode-Clamped converter).
- Convertidor con capacitor flotante (Flying-Capacitor converter).
- Convertidor con conexión en cascada de puentes monofásicos (Cascaded Full-Bridge converter).

Pero también existe otras más que no son muy estudiadas ni utilizadas, algunas de ellas son:

- Convertidor asimétrico híbrido.
- Convertidor con topología multinivel en cascada.
- Inversores acoplados por transformador, entre otros.

### 1.1.3.1. Conversor con diodo enclavado.

Los conversores de diodo enclavado (Diode Clamped), también conocidos como NPC o DCI, se caracterizan por que la fuente de tensión de continua se divide en la serie de niveles de tensión del inversor, por medio de puntos medios y/o intermedios creado por los condensadores y por el cierre de los interruptores, esto se puede observar en la Figura 1.4.

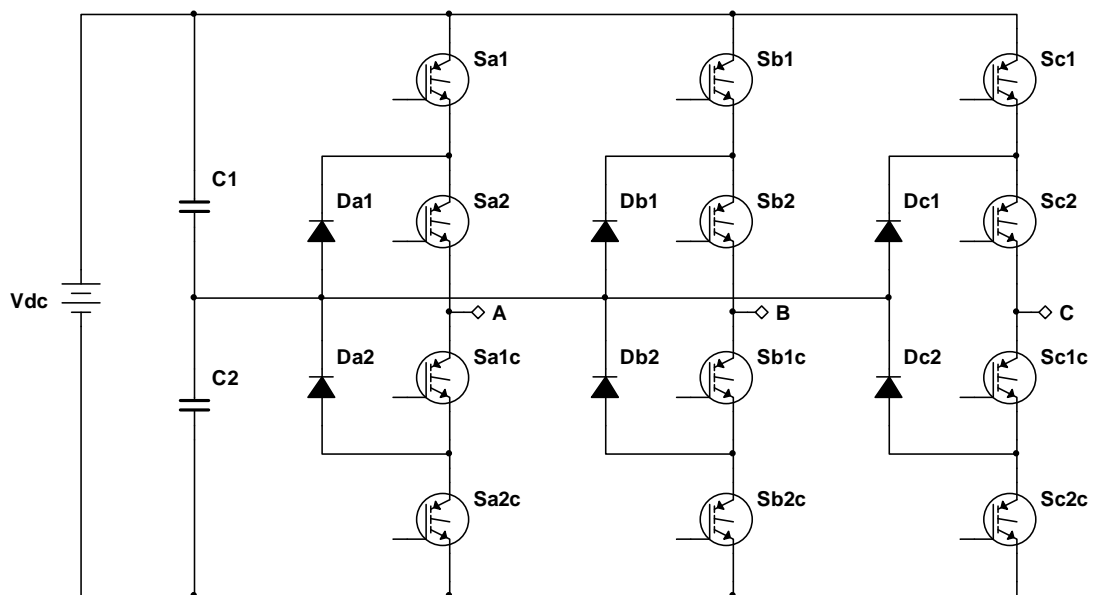
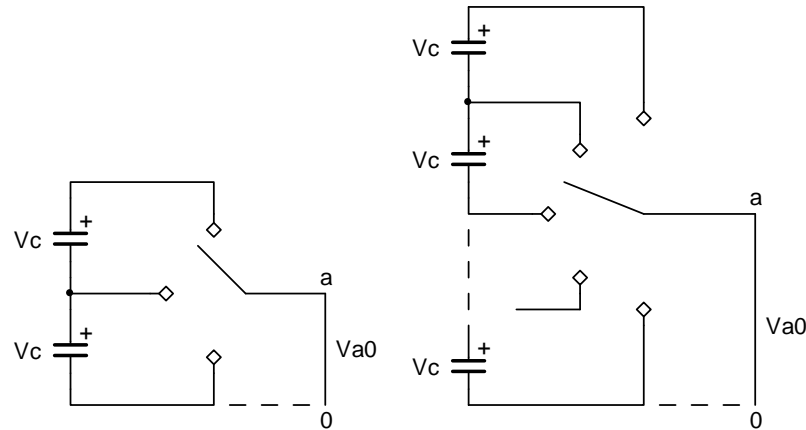


Figura 1.4.: Inversor de tres niveles NPC.

Para esta topología en número de condensadores necesarios para  $n$  niveles es igual a  $(n-1)$  condensadores, esto se puede observar en la Figura 1.5.



**Figura 1.5.:** Conversor NPC de 3 niveles y de  $n$  niveles

Las características principales de este tipo de topología son:

- Bajo número de condensadores.
- Tiene la ventaja de que necesita solo una fuente de alimentación.
- El sistema de control es más complicado cuando se incrementa el número de niveles, ya que el voltaje de los condensadores se desequilibra.

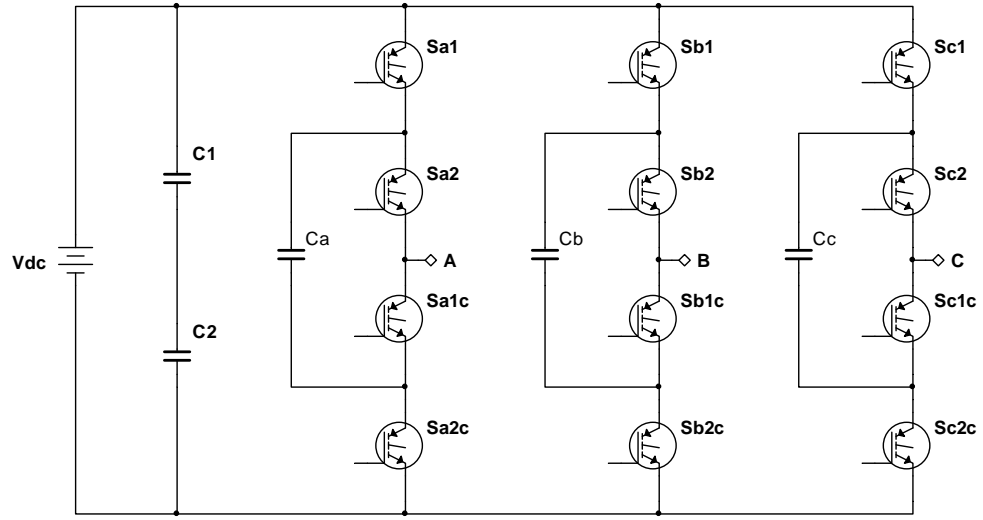
### 1.1.3.2. Conversor con capacitor flotante

Esta topología también conocida como DCM, se dispone de una serie de condensadores flotantes los que permiten generar los distintos niveles de tensión esta topología, se puede ver en la Figura 1.6, los niveles se generan al conectar y desconectar ciertos condensadores, los mismos que están cargados con niveles de tensión diferentes y forman mallas, esto se puede ver en la Figura 1.7.

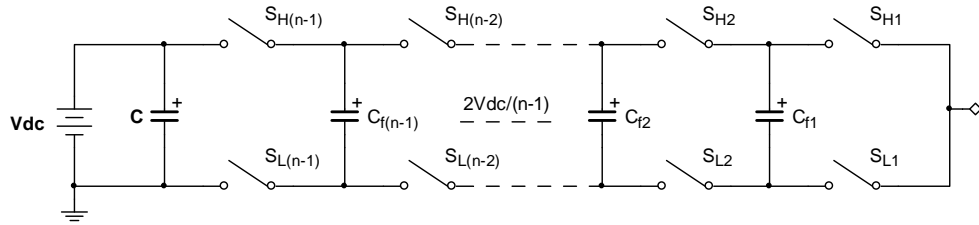
Las características principales de este tipo de topología son:

- Se necesita un número de condensadores mayor que la DCI.
- Tiene la ventaja de que necesita solo una fuente de alimentación.
- Existen una mayor cantidad de combinaciones en los interruptores para alcanzar el mismo nivel de salida.
- El sistema de control es más complicado cuando se incrementa el número de niveles, ya que el voltaje de los condensadores se desequilibra.





**Figura 1.6.:** Esquema de un inversor de tres niveles DMC.



**Figura 1.7.:** Mallas de condensadores del inversor DMC.

### 1.1.3.3. Conversor con conexión en cascada de puente monofásico

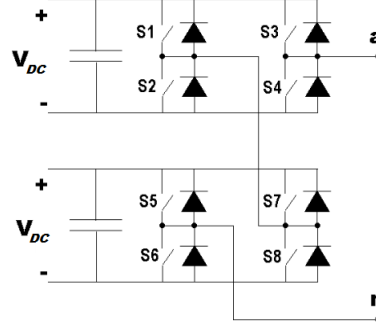
En esta topología se usan varias fuentes independientes, se utiliza una fuente para generar dos niveles de tensión en la salida, y si se desean más niveles se conectan varias fuentes con sus interruptores en cascada como se muestra en la Figura 1.8, la tensión de salida es la suma de las tensiones de ingreso pudiéndose obtener cinco valores distintos:  $+2V_{cc}$ ,  $+V_{cc}$ ,  $0$ ,  $-V_{cc}$ ,  $-2V_{cc}$ .

Al conectar varios puentes en conexión estrella se logran obtener un inversor trifásico como se muestra en la Figura 1.9.

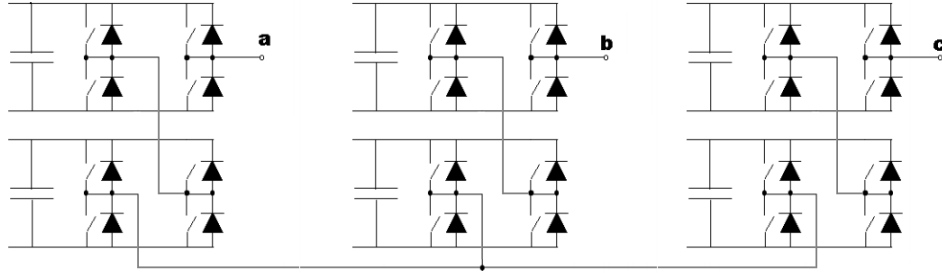
Las características principales de este tipo de topología son:

- Se necesita un número mayor de fuentes de tensión independientes entre sí.
- Existen una mayor cantidad de combinaciones en los interruptores para alcanzar el mismo nivel de salida.
- El sistema de control no se complica tanto al incrementa el número de niveles, ya que el voltaje de las fuentes es más estable.

- Gran capacidad de modularidad, ya que para aumentar o quitar niveles solo se necesita agregar fuentes e interruptores en cascada.



**Figura 1.8.:** Inversores monofásico en cascada



**Figura 1.9.:** Inversor trifásico en cascada

### 1.1.3.4. Comparación entre las topologías básicas.

Las topologías básicas nos muestran distintas ventajas y desventajas entre ellas, pero la principal característica a tomar en cuenta es el número de componentes que utiliza, en la Tabla 1.1 se muestra una comparación de las distintas topologías, tomada de [6], en esta tabla se da el número de componentes por fase, siendo la topología en cascada la que menos requerimientos presenta.

Configuración	DCM	Condensador flotante	Cascada
Interruptores principales	$2(n-1)$	$2(n-1)$	$2(n-1)$
Diodos principales	$2(n-1)$	$2(n-1)$	$2(n-1)$
Diodos de conexión	$(n-1)(n-2)$	0	0
Condensadores del bus de continua	$(n-1)$	$(n-1)$	$(n-1)/2$
Condensadores de equilibrado	0	$(n-1)(n-2)/2$	0

**Tabla 1.1.:** Comparación entre los requerimientos de componentes de las topologías básicas.

### 1.1.4. Métodos de modulación para inversores multinivel.

Las técnicas de modulación para los algoritmos multinivel son programas o circuitos electrónicos que manejan a los semiconductores de potencia, para que enciendan o apaguen ciertos niveles del inversor para conseguir una forma de onda a la salida que se asemeje a la onda seno requerida.

Las técnicas de modulación son tan variadas, que van desde generar ondas cuadradas simples a la salida hasta técnicas basadas en técnicas de modulación vectorial espacial, las principales técnicas de modulación para inversores multinivel son las siguientes:

- Método de modulación SPWM.
- Métodos de modulación vectorial espacial.

En general la elección de un método u otro modulación depende de algunos factores entre ellos la frecuencia de conmutación de los interruptores, los recursos de hardware en cuanto al procesamiento del algoritmo y la finalidad del sistema, esto por el contenido de armónicos en la salida del sistema.

#### 1.1.4.1. Modulación SPWM

**Descripción.** La modulación SPWM o PWM senoidal, se basa en la comparar una onda senoidal llamada moduladora, de frecuencia fundamental ( $f_r$ ) con otra triangular o diente de sierra llamada portadora con frecuencia ( $f_c$ ), la misma que es mucho mayor a la moduladora, si en un instante de tiempo la portadora es mayor a la moduladora se enciende un interruptor de potencia de esa fase, esto se puede ver en la Figura 1.10. Al variar la magnitud de la moduladora  $A_r$ , varían los anchos de pulso que van a los interruptores de potencia y su índice de modulación  $m_a$ , con lo que se regula el voltaje RMS a la salida.

$$m_a = \frac{A_r}{A_c} \tag{1.1}$$

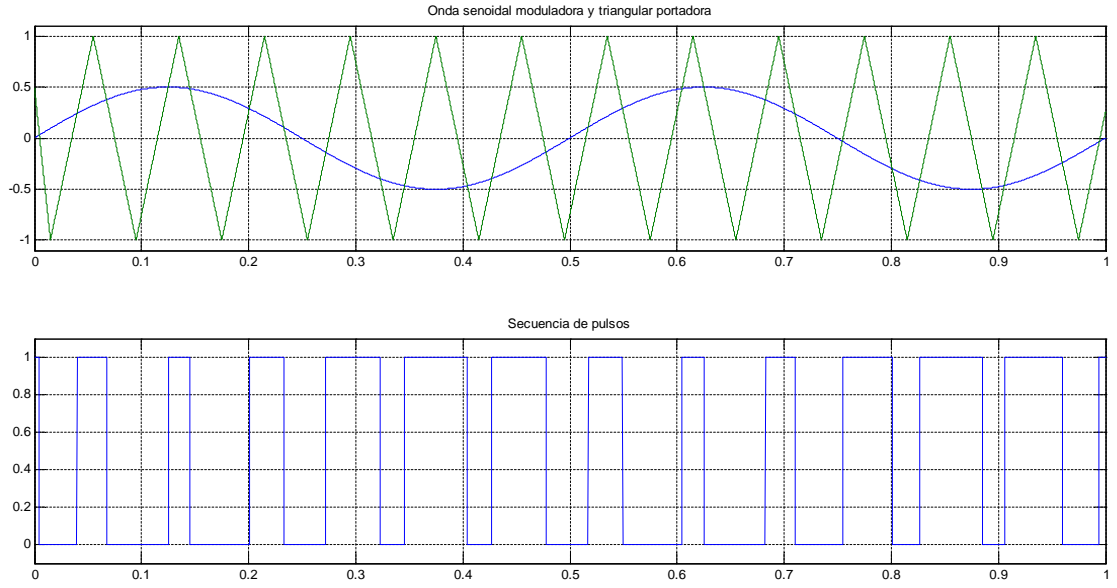
Donde:

$m_a$ : índice de modulación.

$A_r$ : amplitud de la onda moduladora.

$A_c$ : amplitud de la onda portadora.

## 1.1 Métodos de modulación vectorial espacial.



**Figura 1.10.:** Onda senoidal moduladora y triangular portadora

Al variar la frecuencia de la onda moduladora, se varia la frecuencia de la onda de salida del sistema, y la relación de frecuencia  $m_f$ .

$$m_f = \frac{f_c}{f_r} \quad (1.2)$$

Donde:

$m_f$ : relación de frecuencias.

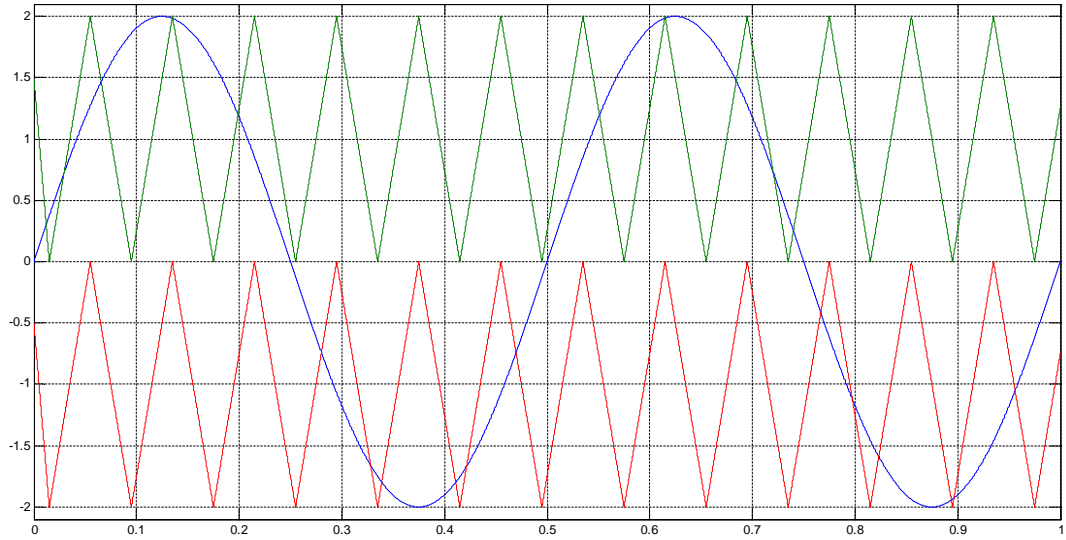
$f_r$ : frecuencia de la onda moduladora.

$f_c$ : frecuencia de la onda portadora.

**Modulación SPWM multinivel.** La modulación SPWM multinivel tiene el mismo principio que la SPWM simple presentada en la sección anterior con la diferencia que se cuenta con más de una portadora la misma por cada moduladora como se muestra en la Figura 1.11.

En ocasiones a las portadoras se las desfase  $180^\circ$  para que el contenido armónico baje y mejora la salida.

Para número  $n$  de niveles, es necesario un número  $(n - 1)$  de portadoras.



**Figura 1.11.:** Ondas senoidal moduladora y triangulares portadoras para inversores multinivel

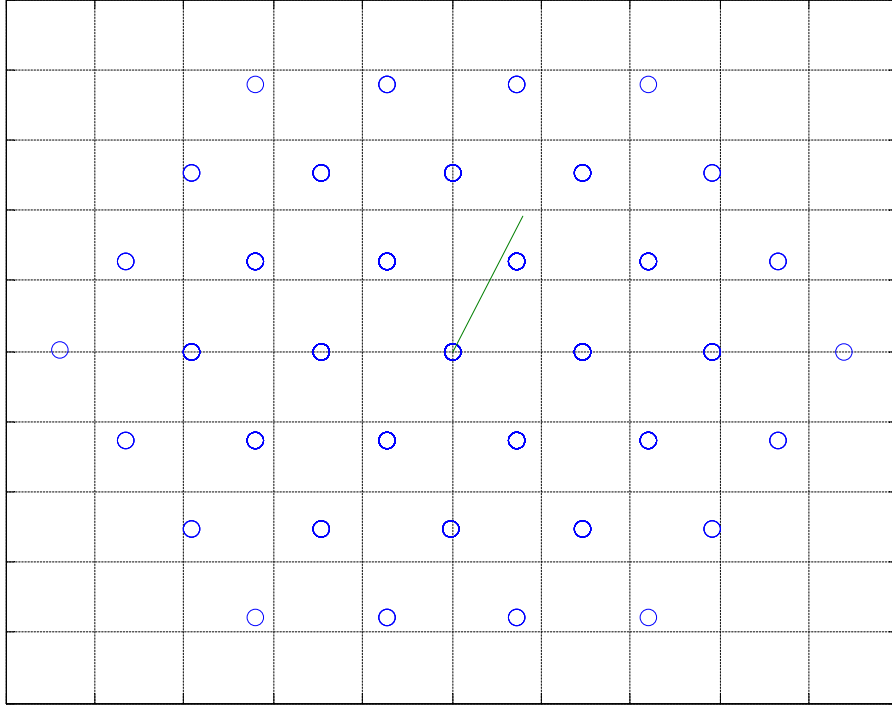
### 1.1.4.2. Método de modulación vectorial espacial (SVM).

**Descripción.** Esta técnica de modulación se basa en obtener la secuencia de disparos de los interruptores de potencia a partir de una terna de valores  $[a, b, c]$  que son voltajes de referencia de un sistema trifásico, que por medio de la transformada d-q se transforma a un vector de referencia  $U_{ref}$  proporcional a la terna de valores trifásico, que giran en un plano a la misma frecuencia que se desea obtener a la salida.

El objetivo de esta transformación, es que a partir del vector de referencia en un tiempo de muestreo  $T_m$ , se obtenga la conmutación de los estados del inversor más cercanos, que también fueron transformados como se ve en la Figura 1.12, al vector de referencia los mismos que se encienden durante un tiempo menor o igual a  $T_m$ , dando como resultado que al sumarse sus contribuciones nos den un valor igual al vector de referencia, de la siguiente manera.

$$U_{ref} \cdot T_m = U_{E1} \cdot t_1 + U_{E2} \cdot t_2 + U_{E3} \cdot t_3 \quad (1.3)$$

$$t_1 + t_2 + t_3 = T_m \quad (1.4)$$



**Figura 1.12.:** Espacio vectorial de un inversor de 4 niveles

En el algoritmo el vector de referencia  $U_{ref}$  es constante durante el tiempo de conmutación  $T_m$  y es igual a la suma de los vectores de referencia por el tiempo en el que permanecen activos los mismos.

Esta técnica de modulación presenta serias ventajas con respecto a la técnica SPWM, ya que según el circuito de control y la topología elegida se pueden minimizar las conmutaciones al igual que el contenido armónico de la señal de salida.

### 1.1.5. Métodos de modulación vectorial espacial.

En cuanto a los métodos de modulación vectorial espacial existen muchos que se basan desde consideraciones geométricas, pasando por métodos iterativos hasta métodos trigonométricos, a continuación se enumeran algunos de ellos:

- Algoritmo de modulación iterativo descrito en [6], que divide al espacio vectorial en 6 sextantes y estos en triángulos, para luego buscar en que triángulo se encuentra el vector referencia, para a partir de este calcular los tiempos de conmutación.

- Algoritmo de modulación basado en consideraciones geométricas descrito en [6], con bases en el algoritmo de modulación iterativo, que transforma el espacio vectorial en un rombo achatado y a partir de consideraciones geométricas generadas por el achatamiento del espacio vectorial se encuentra el triángulo en el que se encuentra el vector de referencia y los tiempos de conmutación.
- Algoritmo con bases trigonométricas como el descrito en [9], en donde por medio del calculo del angulo del vector de referencia se establecen los tiempos de conmutación, pero debido al uso de funciones trigonométricas su implementación es más difícil.
- Algoritmo de modulación vectorial 3D descritos en [10, 11] con una carga computacional mucho más grande que los anteriores.

En nuestro caso elegimos el algoritmo de modulación basado en consideraciones geométricas, debido a su baja carga computacional y fácil implementación en un sistema basado en FPGA.

## 1.2. Ventajas y desventajas de los métodos de modulación vectorial espacial.

Los métodos de modulación vectorial espacial tienen varias ventajas y desventajas frente a los métodos de SPWM, al igual que ventajas entre ellos mismos, a continuación se enumeran algunos:

La ventaja principal entre los métodos de modulación vectorial espacial frente los métodos SPWM, es que los SVM llegan a tener un menor indice de THD, pero con la desventaja que el sistema de control para el SVM es mucho más complejo, ya que el mismo necesita el calculo de tiempos de conmutación y estado a partir de un vector de referencia transformado de los componentes trifásicos en un tiempo dado, pero debido a los bajos costos de los DSP y FPGA en donde se pueden implementar estos algoritmos, esta desventajas esta desapareciendo.

En cambio entre los distintos algoritmos de modulación vectorial espacial existen varias ventajas y desventajas entre los mismos las mismas que son numeradas a continuación:

- Algoritmo de modulación iterativo mencionado anteriormente, tiene la ventaja que es aplicable para cualquier número de niveles, pero el vector de

referencia tiene que ser transportado al primer sextante para calcular los estados y luego al sextante de origen para calcular los tiempos, y al ser un algoritmo iterativo necesita una lógica secuencial para su implementación, por lo que su velocidad de procesamiento se puede ver comprometida si el número de niveles es muy grande o el sistema de control es muy lento.

- Algoritmo de modulación basado en consideraciones geométricas descrito en [6], al igual que el anterior es aplicable para cualquier número de niveles, y su carga computacional es independiente del número de niveles, es decir que es la misma para cualquier número de niveles, y su mayor ventaja es que no necesita el calculo de funciones trigonométricas para se implementación, que en el caso de implementar en FPGA es una gran ventaja ya que su descripción se simplifica.
- Algoritmo con bases trigonométricas como el descrito en [9], tiene desventajas con respecto a los anteriores, porque necesita el calculo de funciones trigonométricas para localizar la posición del vector de referencia, los estados y el tiempo de conmutación, que en el caso ser implementados en FPGA, su descripción se hace más difícil y los recursos necesarios del mismo son mayores.
- Algoritmo de modulación vectorial 3D descritos en [10, 11] tienen una carga computacional mucho más grande que los anteriores, pero con la ventaja que se pueden generar estados de conmutación con la señal fundamental sumada a armónicos que en ciertas aplicaciones pueden ser de gran utilidad.



## **2. Diseño del sistema de control.**

### **2.1. Modulación vectorial espacial elegido.**

#### **2.1.1. Introducción.**

Los sistemas de control para inversores multinivel o convencionales, pueden ser de tipo analógicos, digitales o una mezcla de los dos dependiendo del tipo de modulación elegido para su control y los recursos con los que se cuenten para la realización del mismo, pero en general lo que se busca es reducir estos circuitos ya sea reduciendo las cargas computacionales en los sistemas de control o su circuito de control.

En el caso de los inversores, ya sean multinivel o convencionales, con un método de modulación vectorial espacial la mejor opción son sistemas digitales, por la facilidad de implementación de los algoritmos que los gobiernan, en sistemas basados en FPGA o DSP ya que los mismos permiten realizar modificaciones en su programación o comportamiento sin que sus conexiones externas requieran cambios, al igual que su tamaño reducido y gran capacidad, son la mejor opción como se menciona en [12, 8, 7, 13, 6].

Los métodos de modulación vectorial espacial se basan en la consideración que la terna  $[a,b,c]$  de voltajes en un instante de tiempo, se pueden transformar a un sistema d-q de un vector de magnitud proporcional al voltaje de la terna y de frecuencia de giro igual a la frecuencia de la terna, a esto se le conoce como transformada de Park, a partir de este vector se calculan las conmutaciones necesarias del sistema.

### 2.1.2. Transformada de Park.

La transformada de Park, conocida también como transformada d-q es un método usado para convertir los componente [a,b,c] de un sistema trifásico senoidal a un sistema [0,d,q]. Esto se consigue multiplicado el vector trifásico [a,b,c] por una matriz de transformación [T] como se muestran en la siguiente expresión.

$$v_{0dq}^r = R(\theta_r) \cdot P(0) \cdot v_{abc} \quad (2.1)$$

Donde:

$v_{abc}$  = vector del sistema trifásico senoidal.

$v_{0dq}^r$  = vector del sistema transformado.

$R(\theta_r)$  = matriz de transformación a un sistema coordenado giratorio denominado  $d - q$ .

$P(0)$  = matriz de transformación a un sistema coordenado estacionario denominado  $\alpha\beta$ .

#### 2.1.2.1. Transformación a un sistema de referencia estacionario.

La transformación a un sistema de referencia estacionario o transformada de Clark es multiplicar el vector de voltajes [a,b,c] por la matriz de transformación  $P(0)$  mostrada en la siguiente expresión, que da como resultado ejes 0,  $\alpha$  y  $\beta$ [14].

$$P(0) = \frac{2}{3} \cdot \begin{bmatrix} \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & -\frac{\sqrt{2}}{3} & \frac{\sqrt{2}}{3} \end{bmatrix} \quad (2.2)$$

En algunos documentos reemplazan  $\frac{2}{3}$ , con  $\sqrt{\frac{2}{3}}$  es por que se asume que son valores pico de voltaje[15].

$$v_{0\alpha\beta} = P(0) \cdot v_{abc} \quad (2.3)$$

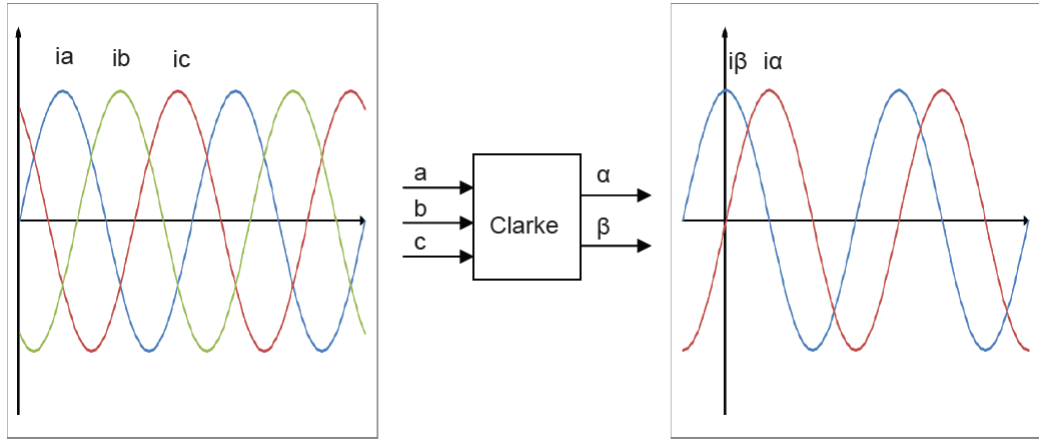
## 2.1 Modulación vectorial espacial elegido.

En algunos casos se asume que el sistema de referencia estacionario dado por  $v_{0\alpha\beta}$  es directamente el valor de la transformada de Park.

$$v_\alpha = v_d = \frac{1}{3} \cdot (2v_a - v_b - v_c) \quad (2.4)$$

$$v_\beta = v_q = \frac{1}{\sqrt{3}} \cdot (v_b - v_c) \quad (2.5)$$

En el caso de ser un sistema de componentes simétricos el valor de  $v_0$  es igual a cero.



**Figura 2.1.:** Transformada de Clark [1].

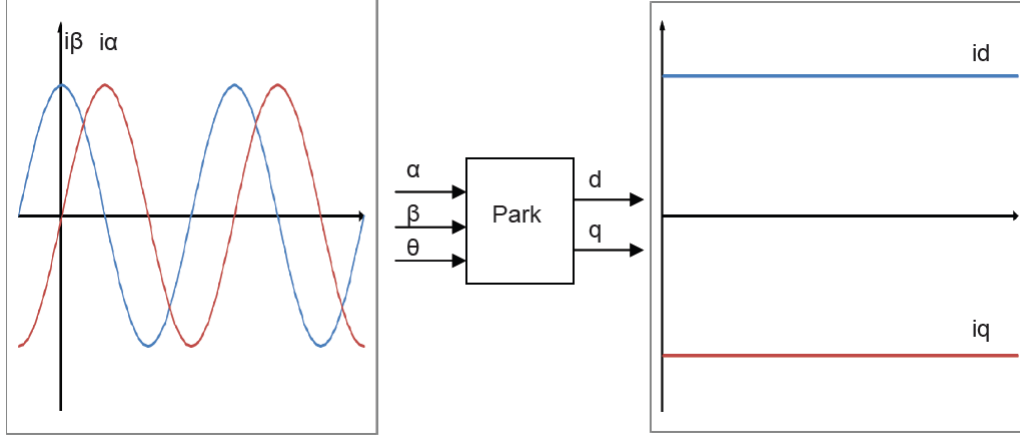
### 2.1.2.2. Transformación a un sistema de referencia giratorio.

La transformación a un sistema de referencia giratorio es multiplicar el vector transformado a un sistema estacionario por la matriz de transformación  $R(\theta_r)$  mostrada en la siguiente expresión, que da como resultado ejes  $0$ ,  $d$  y  $q$ [14].

$$R(\theta_r) = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos(\theta_r) & -\text{sen}(\theta_r) \\ 0 & \text{sen}(\theta_r) & \cos(\theta_r) \end{bmatrix} \quad (2.6)$$

## 2.1 Modulación vectorial espacial elegido.

$$v_{0dq} = P(\theta_r) \cdot v_{0\alpha\beta} \quad (2.7)$$



**Figura 2.2.:** Transformada de Park [1].

Combinando ambas matrices en una sola, la matriz de transformación queda como se muestra en la siguiente expresión:

$$P(\theta_r) = R(\theta_r) \cdot P(0) \quad (2.8)$$

$$v_{0dq}^r = P(\theta_r) \cdot v_{abc} \quad (2.9)$$

$$\begin{bmatrix} v_0^r \\ v_d^r \\ v_q^r \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \\ \cos(\theta_r) & \cos\left(\theta_r - \frac{2\pi}{3}\right) & \cos\left(\theta_r + \frac{2\pi}{3}\right) \\ \sin(\theta_r) & \sin\left(\theta_r - \frac{2\pi}{3}\right) & \sin\left(\theta_r + \frac{2\pi}{3}\right) \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.10)$$

### 2.1.3. Método de modulación vectorial de consideraciones geométricas.

#### 2.1.3.1. Introducción.

Este método de modulación descrito en [6], nos brinda la posibilidad de implementarlo en DSP o FPGA fácilmente debido principalmente a que su carga computacional es pequeña y otra ventaja que muestra es que se puede implementar para cualquier número de niveles, sin que su complejidad aumente y sin la necesidad de almacenar datos en memorias o tablas para su procesamiento.

#### 2.1.3.2. Descripción del algoritmo.

Este algoritmo de modulación busca generar una secuencia de conmutación en cada tiempo de muestreo  $T_m$ , estableciendo cuales son los niveles a usar y los tiempos en los cuales permanecen activos.

#### Paso 1: Normalizar el vector de referencia.

La entrada del algoritmo es un vector de tensión normalizado  $u^*$ , que depende del número de niveles y de la tensión de la fuente o los condensadores, y sus componentes en el plano d-q vienen dadas por la siguiente expresión.

$$u^* = \begin{bmatrix} v_d^{v_a v_b v_c} \\ v_q^{v_a v_b v_c} \end{bmatrix} = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.11)$$

Donde:

$v_d^{E_a E_b E_c}$  = Componente d del vector de referencia normalizado.

$v_q^{E_a E_b E_c}$  = Componente q del vector de referencia normalizado.

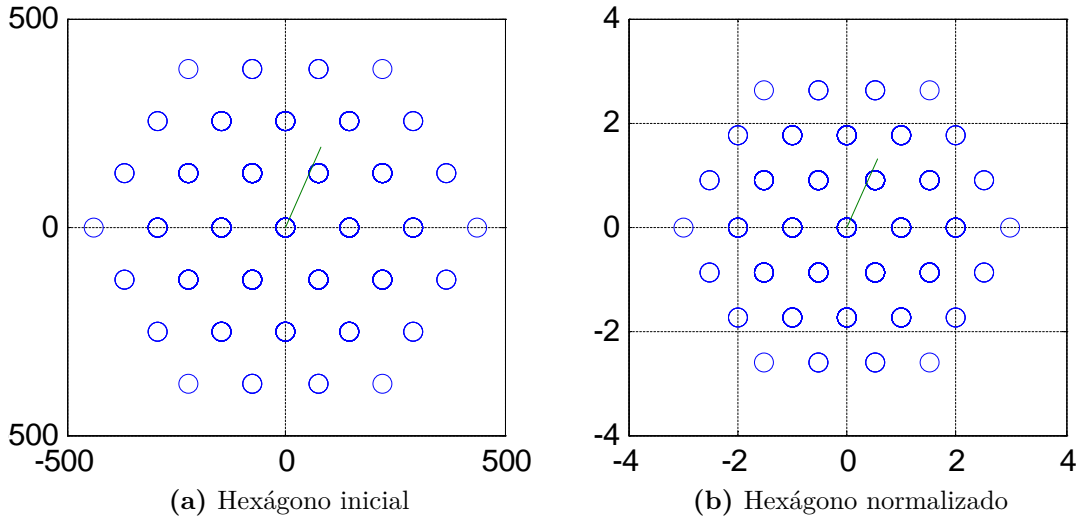
$n$  = número de niveles del inversor.

$V_{DC}$  = Tensión de la fuente o de los condensadores.

$v_a, v_b, v_c$  = Vector de tensiones pico del sistema trifásico senoidal en un tiempo.

## 2.1 Modulación vectorial espacial elegido.

En si lo que se hizo fue transformar de un sistema trifásico senoidal a uno estacionario por medio de la matriz de Clark y a esto normalizarlo para su procesamiento, en la Figura 2.3 se puede ver el resultado de la transformación y normalización de un inversor de 4 niveles, lo mismo se hizo con los niveles del inversor.



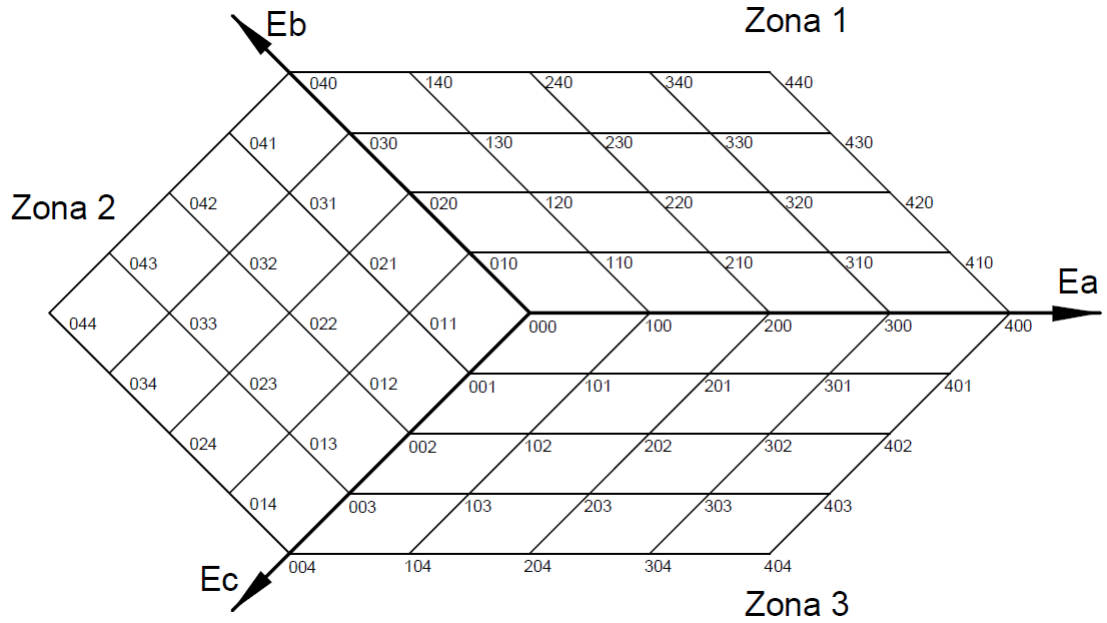
**Figura 2.3.:** Hexágonos normales y normalizados

### Paso 2: Achatar el espacio vectorial.

El siguiente paso es multiplicar a la parte imaginaria (componente q) del vector de referencia  $u^*$  y de los niveles del inversor por  $1/\sqrt{3}$ , con lo que los estados que inicialmente se encuentran a  $60^\circ$  queden a  $45^\circ$  y se elimine la necesidad del cálculo de ángulos y funciones trigonométricas y faciliten los cálculos del tiempo y los estados a conmutar.

$$u^*_{transformado} = Re\{u^*\} + j\frac{1}{\sqrt{3}}Im\{u^*\} \quad (2.12)$$

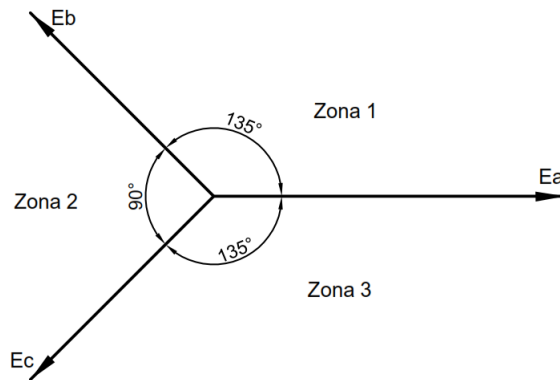
Hecho esto en el hexágono achatado cada nivel del inversor queda representado por el valor de una terna  $[E_a, E_b, E_c]$  y dividido en 3 zonas como se ve en la Figura 2.4.



**Figura 2.4.:** Espacio de estados normalizados

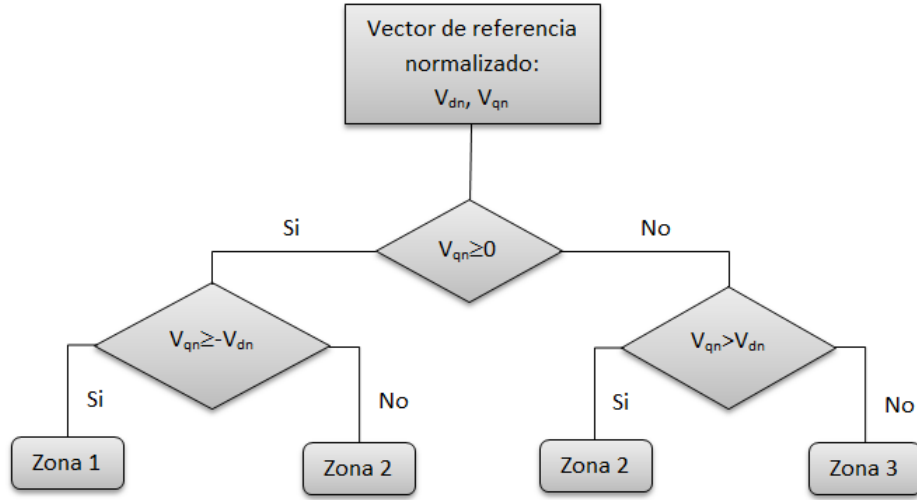
**Paso 3: Elección de la zona en la que se encuentra el vector de referencia.**

Ahora debemos establecer la zona en la que se encuentra el vector de referencia transformado, las zonas se indica en la Figura 2.5.



**Figura 2.5.:** Zonas del plano achatado.

La elección de la zona se lo hace por comparación entre la parte real e imaginaria del vector de referencia transformado, la forma de establecerlo se muestra en el flujograma de la Figura 2.6.



**Figura 2.6.:** Flujograma para determinar la zona en la que se encuentra el vector de referencia.

**Paso 4: Cálculo de las coordenadas del vértice de un sector triangular.**

El siguiente paso es encontrar el vértice del sector en el que se encuentra el vector de referencia, este vértice debe ser lo más próximo al origen del espacio vectorial.

Como ya se menciono anteriormente las coordenadas  $[E_a, E_b, E_c]$  representan un nivel del inversor y a partir de esto se calcula el vértice.

**Zona 1:**

Cualquier vector localizado entre las lineas paralelas inclinadas mostradas en la Figura 2.7 debe cumplir la siguiente inecuación:

$$-v_{dn} + 1 < v_{qn} < -v_{dn} + 2 \quad (2.13)$$

$$1 < v_{qn} + v_{dn} < 2 \quad (2.14)$$

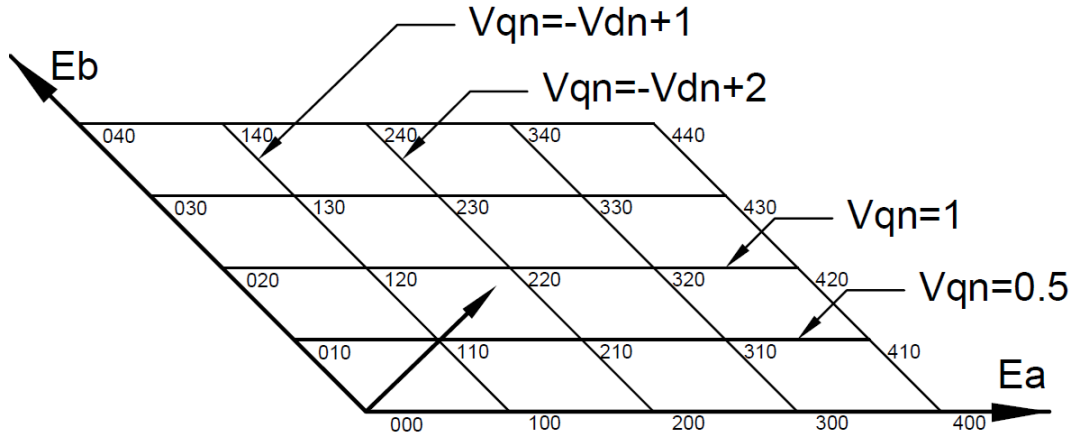
Entonces el valor del vértice para este vector en el eje  $E_a$  siempre es igual a uno a lo largo de las lineas paralelas inclinadas, con lo que el valor del vértice en el



## 2.1 Modulación vectorial espacial elegido.

eje  $E_a$  es igual a:

$$E_a = \text{Parte entera}(v_{dn} + v_{qn}) \quad (2.15)$$



**Figura 2.7.:** Vectores de estado de un convertidor de 5 niveles de la zona 1.

Cualquier vector localizado entre las líneas paralelas horizontales mostradas en la Figura 2.7 debe cumplir la siguiente inecuación:

$$0,5 < v_{qn} < 1 \quad (2.16)$$

$$1 < v_{qn} < 2 \quad (2.17)$$

Entonces el valor del vértice para este vector en el eje  $E_b$  siempre es igual a uno a lo largo de las líneas paralelas horizontales, con lo que el valor del vértice en el eje  $E_b$  es igual a:

$$E_b = \text{Parte entera}(2 \cdot v_{qn}) \quad (2.18)$$

Y el valor en el eje  $E_c$  en esta zona es igual a 0.

**Zona 2:**

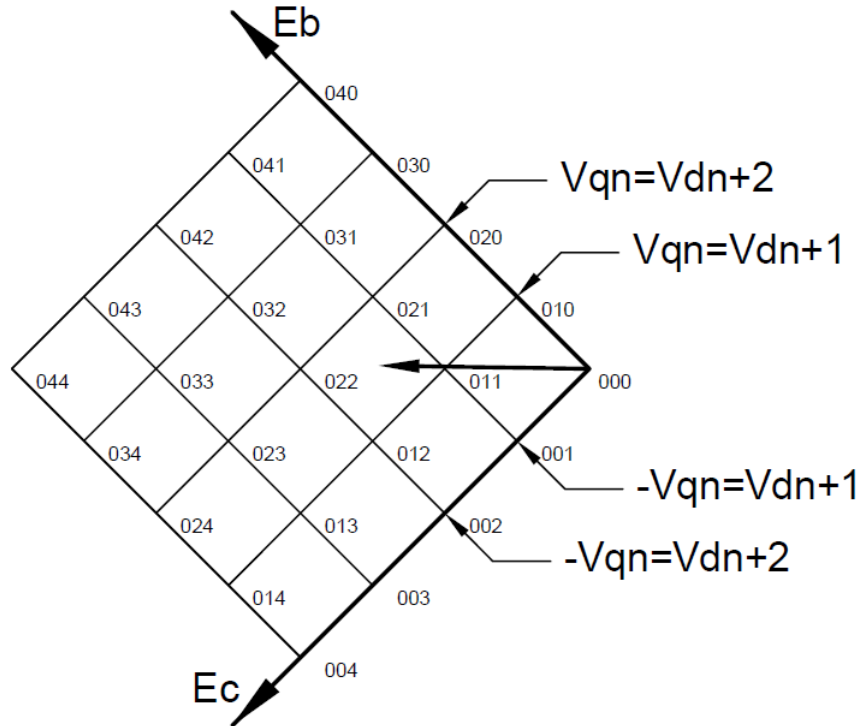
Cualquier vector localizado entre las líneas paralelas inclinadas perpendiculares al eje  $E_b$  mostradas en la Figura 2.8 debe cumplir la siguiente inecuación:

$$v_{dn} + 1 < v_{qn} < v_{dn} + 2 \quad (2.19)$$

$$1 < v_{qn} - v_{dn} < 2 \quad (2.20)$$

Entonces el valor del vértice para este vector en el eje  $E_b$  siempre es igual a uno a lo largo de las líneas paralelas inclinadas perpendiculares a este eje, con lo que el valor del vértice en el eje  $E_b$  es igual a:

$$E_b = \text{Parte entera}(-v_{dn} + v_{qn}) \quad (2.21)$$



**Figura 2.8.:** Vectores de estado de un convertidor de 5 niveles de la zona 2.

## 2.1 Modulación vectorial espacial elegido.

---

Cualquier vector localizado entre las lineas paralelas inclinadas perpendiculares al eje  $E_c$  mostradas en la Figura 2.8 debe cumplir la siguiente inecuación:

$$v_{dn} + 1 < -v_{qn} < v_{dn} + 2 \quad (2.22)$$

$$1 < -v_{qn} - v_{dn} < 2 \quad (2.23)$$

Entonces el valor del vértice para este vector en el eje  $E_c$  siempre es igual a uno a lo largo de las lineas paralelas inclinadas perpendiculares a este eje, con lo que el valor del vértice en el eje  $E_c$  es igual a:

$$E_c = \text{Parte entera}(-v_{dn} - v_{qn}) \quad (2.24)$$

Y el valor en el eje  $E_a$  en esta zona es igual a 0.

### **Zona 3:**

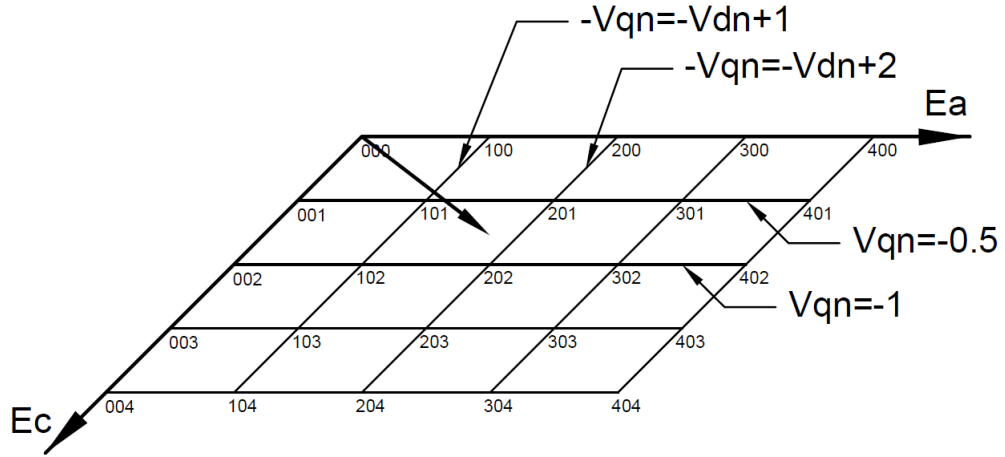
Cualquier vector localizado entre las lineas paralelas e inclinadas mostradas en la Figura 2.9 debe cumplir la siguiente inecuación:

$$-v_{dn} + 1 < -v_{qn} < -v_{dn} + 2 \quad (2.25)$$

$$1 < -v_{qn} + v_{dn} < 2 \quad (2.26)$$

Entonces el valor del vértice para este vector en el eje  $E_a$  siempre es igual a uno a lo largo de las lineas paralelas inclinadas, con lo que el valor del vértice en el eje  $E_a$  es igual a:

$$E_a = \text{Parte entera}(v_{dn} - v_{qn}) \quad (2.27)$$



**Figura 2.9.:** Vectores de estado de un convertidor de 5 niveles de la zona 3.

Cualquier vector localizado entre las líneas paralelas horizontales mostradas en la Figura 2.9 debe cumplir la siguiente inecuación:

$$-0,5 > v_{qn} > -1 \quad (2.28)$$

$$-1 > v_{qn} > -2 \quad (2.29)$$

Entonces el valor del vértice para este vector en el eje  $E_c$  siempre es igual a uno a lo largo de las líneas paralelas horizontales, con lo que el valor del vértice en el eje  $E_c$  es igual a:

$$E_c = \text{Parte entera}(-2 \cdot v_{qn}) \quad (2.30)$$

Y el valor en el eje  $E_b$  en este zona es igual a 0.

### Paso 5: Orientación del sector triangular

Una vez determinado el vértice del sector en donde se encuentra el vector de referencia como se describió en el paso anterior, el siguiente paso es dividir al sector en dos sectores triangulares y encontrar en que sector triangular se encuentra el vector de referencia.

## 2.1 Modulación vectorial espacial elegido.

---

Lo primero que hace es transformar el estado vértice mediante la transformada de Park descrita anteriormente donde.

$$\begin{bmatrix} e_{dn}^{E_a, E_b, E_c} \\ e_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} e_d^{E_a, E_b, E_c} \\ \frac{1}{\sqrt{3}} e_q^{E_a, E_b, E_c} \end{bmatrix} \quad (2.31)$$

Siendo:

$$\begin{bmatrix} e_d^{E_a, E_b, E_c} \\ e_q^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.32)$$

Por lo tanto:

$$\begin{bmatrix} e_{dn}^{E_a, E_b, E_c} \\ e_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.33)$$

### **Zona 1:**

Calculamos el valor del vértice del sector en donde se encuentra el vector de referencia.

$$\begin{bmatrix} e_{dn}^{E_a, E_b, E_c} \\ e_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.34)$$

$$e_{dn}^{E_a, E_b, E_c} = E_a - \frac{E_b}{2} \quad (2.35)$$

$$e_{qn}^{E_a, E_b, E_c} = \frac{E_b}{2} \quad (2.36)$$

## 2.1 Modulación vectorial espacial elegido.

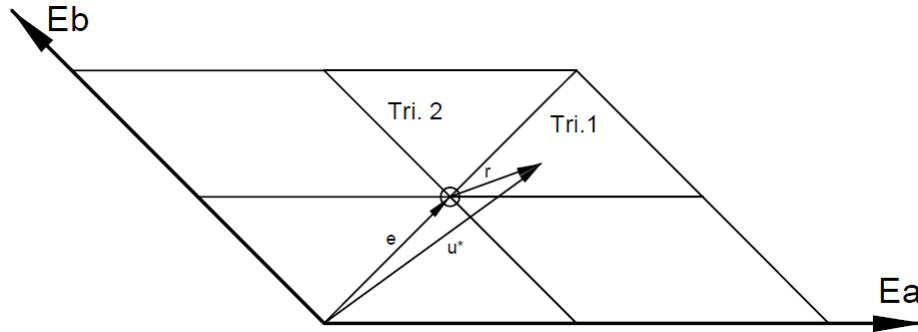
Como se ve en la Figura 2.10 al vector de referencia  $\vec{u}^*$  es igual a la suma del vector  $\vec{e}_{qn}$  que apunta al vértice del vector de referencia, más un vector  $\vec{r}$ , por lo tanto

$$\vec{r} = \vec{u}^* - \vec{e}_{qn} = v_{dn} + j(v_{qn}) - \left[ \left( E_a - \frac{E_b}{2} \right) + j \left( \frac{E_b}{2} \right) \right] \quad (2.37)$$

Separando la parte real e imaginaria.

$$Re \{ \vec{r} \} = v_{dn} - \left( E_a - \frac{E_b}{2} \right) \quad (2.38)$$

$$Im \{ \vec{r} \} = v_{qn} - \left( \frac{E_b}{2} \right) \quad (2.39)$$



**Figura 2.10.:** Región geométrica en la zona 1.

Ahora el vector  $\vec{r}$  se encuentra en el triángulo 1 si su parte real es mayor o igual a la imaginaria con lo que:

$$Im \{ \vec{r} \} \leq Re \{ \vec{r} \} \quad \implies \quad v_{qn} - \left( \frac{E_b}{2} \right) \leq v_{dn} - \left( E_a - \frac{E_b}{2} \right) \quad (2.40)$$

Entonces resolviendo esta inecuación nos da como resultado que el vector  $\vec{u}^*$  se encuentra en triángulo 1 cuando:

$$v_{qn} - v_{dn} \leq -E_a + E_b \quad (2.41)$$

Por lo tanto se encuentra en el triangulo 2 cuando:

$$v_{qn} - v_{dn} > -E_a + E_b \quad (2.42)$$

### Zona 2:

Calculamos el valor del vértice del sector en donde se encuentra el vector de referencia.

$$\begin{bmatrix} e_{dn}^{E_a, E_b, E_c} \\ e_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.43)$$

$$e_{dn}^{E_a, E_b, E_c} = -\frac{E_b}{2} - \frac{E_c}{2} \quad (2.44)$$

$$e_{qn}^{E_a, E_b, E_c} = \frac{E_b}{2} - \frac{E_c}{2} \quad (2.45)$$

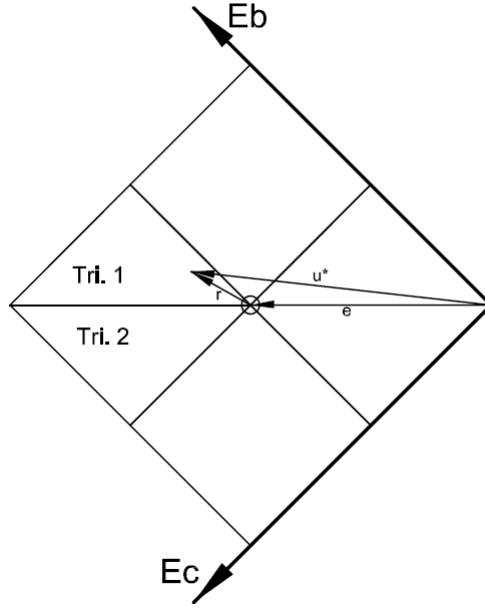
Como se ve en la Figura 2.11 al vector de referencia  $\vec{u}^*$  es igual a la suma del vector  $\vec{e}_{qn}$  que apunta al vértice del vector de referencia, más un vector  $\vec{r}$ , por lo tanto

$$\vec{r} = \vec{u}^* - \vec{e}_{qn} = v_{dn} + j(v_{qn}) - \left[ \left( -\frac{E_b}{2} - \frac{E_c}{2} \right) + j \left( \frac{E_b}{2} - \frac{E_c}{2} \right) \right] \quad (2.46)$$

Separando la parte real e imaginaria.

$$Re \{ \vec{r} \} = v_{dn} - \left( -\frac{E_b}{2} - \frac{E_c}{2} \right) \quad (2.47)$$

$$Im \{ \vec{r} \} = v_{qn} - \left( \frac{E_b}{2} - \frac{E_c}{2} \right) \quad (2.48)$$



**Figura 2.11.:** Región geométrica en la zona 2.

Ahora el vector  $\vec{r}$  se encuentra en el triángulo si su parte imaginaria es mayor o igual a cero con lo que:

$$\text{Im} \{ \vec{r} \} \geq 0 \quad \Rightarrow \quad v_{qn} - \left( \frac{E_b}{2} - \frac{E_c}{2} \right) \geq 0 \quad (2.49)$$

Entonces resolviendo esta inecuación nos da como resultado que el vector  $\vec{u}^*$  se encuentra en triángulo 1 cuando:

$$2v_{qn} \geq E_b - E_c \quad (2.50)$$

Por lo tanto se encuentra en el triángulo 2 cuando:

$$2v_{qn} < E_b - E_c \quad (2.51)$$



### Zona 3:

Calculamos el valor del vértice del sector en donde se encuentra el vector de referencia.

$$\begin{bmatrix} e_{dn}^{E_a, E_b, E_c} \\ e_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.52)$$

$$e_{dn}^{E_a, E_b, E_c} = E_a - \frac{E_c}{2} \quad (2.53)$$

$$e_{qn}^{E_a, E_b, E_c} = -\frac{E_c}{2} \quad (2.54)$$

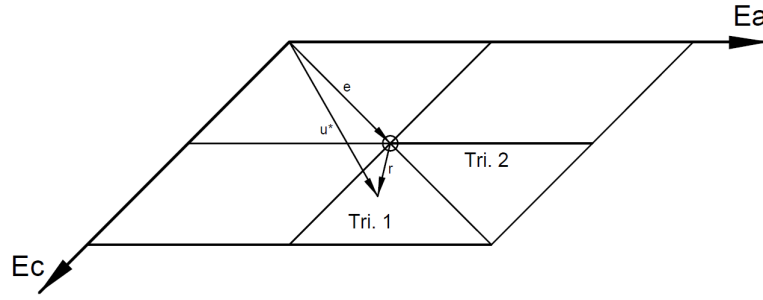
Como se ve en la Figura 2.12 al vector de referencia  $\vec{u}^*$  es igual a la suma del vector  $\vec{e}_{qn}$  que apunta al vértice del vector de referencia, más un vector  $\vec{r}$ , por lo tanto

$$\vec{r} = \vec{u}^* - \vec{e}_{qn} = v_{dn} + j(v_{qn}) - \left[ \left( E_a - \frac{E_c}{2} \right) + j \left( -\frac{E_c}{2} \right) \right] \quad (2.55)$$

Separando la parte real e imaginaria.

$$Re \{ \vec{r} \} = v_{dn} - \left( E_a - \frac{E_c}{2} \right) \quad (2.56)$$

$$Im \{ \vec{r} \} = v_{qn} + \left( \frac{E_c}{2} \right) \quad (2.57)$$



**Figura 2.12.:** Región geométrica en la zona 3.

Ahora el vector  $\vec{r}$  se encuentra en el triángulo 1 si su parte real es menor o igual a menos su parte imaginaria con lo que:

$$-Im\{\vec{r}\} \geq Re\{\vec{r}\} \quad \implies \quad -\left[v_{qn} + \left(\frac{E_c}{2}\right)\right] \geq v_{dn} - \left(E_a - \frac{E_c}{2}\right) \quad (2.58)$$

Entonces resolviendo esta inecuación nos da como resultado que el vector  $\vec{u}^*$  se encuentra en triángulo 1 cuando:

$$v_{qn} + v_{dn} \leq E_a - E_c \quad (2.59)$$

Por lo tanto se encuentra en el triángulo 2 cuando:

$$v_{qn} + v_{dn} > -E_a - E_c \quad (2.60)$$

#### **Paso 6: Cálculo de los tres vectores más cercanos al vector de referencia**

Una vez conocido el vértice  $[E_a, E_b, E_c]$  y la orientación del sector triangular en donde se encuentra el vector de referencia, establecer los estados de conmutación es fácil como se muestra a continuación:

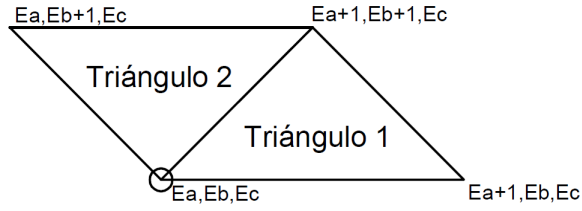
**Zona 1:**

Sector triangular 1:

$$\begin{array}{lll} \text{Estado 1 : } E_a, E_b, E_c; & \text{Estado 2 : } E_a+1, E_b, E_c; & \text{Estado 3 : } E_a+1, E_b+1, E_c \end{array} \quad (2.61)$$

Sector triangular 2:

$$\begin{array}{lll} \text{Estado 1 : } E_a, E_b, E_c; & \text{Estado 2 : } E_a+1, E_b+1, E_c; & \text{Estado 3 : } E_a, E_b+1, E_c \end{array} \quad (2.62)$$



**Figura 2.13.:** Coordenadas de los niveles del inversor de la zona 1.

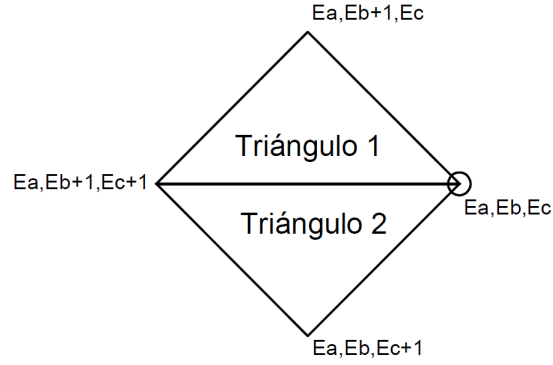
**Zona 2:**

Sector triangular 1:

$$\begin{array}{lll} \text{Estado 1 : } E_a, E_b, E_c; & \text{Estado 2 : } E_a, E_b+1, E_c+1; & \text{Estado 3 : } E_a, E_b+1, E_c \end{array} \quad (2.63)$$

Sector triangular 2:

$$\begin{array}{lll} \text{Estado 1 : } E_a, E_b, E_c; & \text{Estado 2 : } E_a, E_b, E_c+1; & \text{Estado 3 : } E_a, E_b+1, E_c+1 \end{array} \quad (2.64)$$



**Figura 2.14.:** Coordenadas de los niveles del inversor de la zona 2.

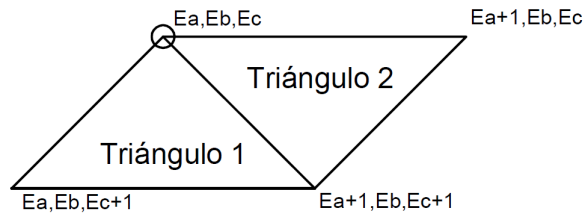
### Zona 3:

Sector triangular 1:

$$\begin{aligned} \text{Estado 1 : } E_a, E_b, E_c; \quad \text{Estado 2 : } E_a, E_b, E_c+1; \quad \text{Estado 3 : } E_a+1, E_b, E_c+1 \end{aligned} \quad (2.65)$$

Sector triangular 2:

$$\begin{aligned} \text{Estado 1 : } E_a, E_b, E_c; \quad \text{Estado 2 : } E_a+1, E_b, E_c+1; \quad \text{Estado 3 : } E_a+1, E_b, E_c \end{aligned} \quad (2.66)$$



**Figura 2.15.:** Coordenadas de los niveles del inversor de la zona 3.

### Paso 7: Cálculo de los tiempos de conmutación de los vectores activos.

La ventaja que presenta este algoritmo es la facilidad del calculo de los tiempos de conmutación, ya que el mismo se realiza por simple adición de la parte real e imaginaria del vector de referencia de tensión y las componentes  $E_a$ ,  $E_b$ , y  $E_c$ .

## 2.1 Modulación vectorial espacial elegido.

---

El calculo de tiempos se basa en la trasformación de Park descrita anteriormente donde.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{pmatrix} v_d^{E_a, E_b, E_c} \\ \frac{1}{\sqrt{3}} v_q^{E_a, E_b, E_c} \end{pmatrix} \quad (2.67)$$

Siendo:

$$\begin{bmatrix} v_d^{E_a, E_b, E_c} \\ v_q^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.68)$$

Por lo tanto:

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.69)$$

Entonces los pasos a seguir, es sumar la contribución de las parte real e imaginaria de los tres vectores activos generados por el vector de referencia en un tiempo, y que esto sea igual a la parte real  $v_{dn}$  e imaginaria  $v_{qn}$  del vector de referencia en un tiempo igual a 1, de la siguiente manera:

### **Zona 1:**

#### **Sector triangular 1:**

Estado 1: en donde permanece activo durante un tiempo 1.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.70)$$

$$v_{dn}^{E_a, E_b, E_c} = E_a - \frac{E_b}{2} \quad (2.71)$$

$$v_{qn}^{E_a, E_b, E_c} = \frac{E_b}{2} \quad (2.72)$$

Estado 2: en donde permanece activo durante un tiempo 2.

$$\begin{bmatrix} v_{dn}^{E_a+1, E_b, E_c} \\ v_{qn}^{E_a+1, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a + 1 \\ E_b \\ E_c \end{bmatrix} \quad (2.73)$$

$$v_{dn}^{E_a+1, E_b, E_c} = E_a + 1 - \frac{E_b}{2} \quad (2.74)$$

$$v_{qn}^{E_a+1, E_b, E_c} = \frac{E_b}{2} \quad (2.75)$$

Estado 3: en donde permanece activo durante un tiempo 3.

$$\begin{bmatrix} v_{dn}^{E_a+1, E_b+1, E_c} \\ v_{qn}^{E_a+1, E_b+1, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a + 1 \\ E_b + 1 \\ E_c \end{bmatrix} \quad (2.76)$$

$$v_{dn}^{E_a+1, E_b+1, E_c} = E_a + 1 - \frac{E_b + 1}{2} = E_a - \frac{E_b}{2} + \frac{1}{2} \quad (2.77)$$

$$v_{qn}^{E_a+1, E_b+1, E_c} = \frac{E_b + 1}{2} \quad (2.78)$$

## 2.1 Modulación vectorial espacial elegido.

---

Entonces sumamos las aportaciones de las distintos niveles y nos da:

$$v_{dn} \cdot 1 = \left(v_{dn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{dn}^{E_a+1, E_b, E_c}\right) t_2 + \left(v_{dn}^{E_a+1, E_b+1, E_c}\right) t_3 \quad (2.79)$$

$$v_{dn} = \left(E_a - \frac{E_b}{2}\right) t_1 + \left(E_a - \frac{E_b}{2} + 1\right) t_2 + \left(E_a - \frac{E_b}{2} + \frac{1}{2}\right) t_3 \quad (2.80)$$

$$v_{qn} \cdot 1 = \left(v_{qn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{qn}^{E_a+1, E_b, E_c}\right) t_2 + \left(v_{qn}^{E_a+1, E_b+1, E_c}\right) t_3 \quad (2.81)$$

$$v_{qn} = \left(\frac{E_b}{2}\right) t_1 + \left(\frac{E_b}{2}\right) t_2 + \left(\frac{E_b+1}{2}\right) t_3 \quad (2.82)$$

$$t_1 + t_2 + t_3 = 1 \quad (2.83)$$

Resolviendo el sistema de ecuaciones generado por la Ecuación 2.80, Ecuación 2.82 y Ecuación 2.83, los tiempos de conmutación son:

$$t_1 = 1 + E_a - v_{dn} - v_{qn} \quad (2.84)$$

$$t_2 = -E_a + E_b + v_{dn} - v_{qn} \quad (2.85)$$

$$t_3 = -E_b + v_{qn} \quad (2.86)$$

**Sector triangular 2:**

Estado 1: en donde permanece activo durante un tiempo 1.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.87)$$

$$v_{dn}^{E_a, E_b, E_c} = E_a - \frac{E_b}{2} \quad (2.88)$$

$$v_{qn}^{E_a, E_b, E_c} = \frac{E_b}{2} \quad (2.89)$$

Estado 2: en donde permanece activo durante un tiempo 2.

$$\begin{bmatrix} v_{dn}^{E_a+1, E_b+1, E_c} \\ v_{qn}^{E_a+1, E_b+1, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a + 1 \\ E_b + 1 \\ E_c \end{bmatrix} \quad (2.90)$$

$$v_{dn}^{E_a+1, E_b+1, E_c} = E_a + 1 - \frac{E_b + 1}{2} = E_a - \frac{E_b}{2} + \frac{1}{2} \quad (2.91)$$

$$v_{qn}^{E_a+1, E_b+1, E_c} = \frac{E_b + 1}{2} \quad (2.92)$$

Estado 3: en donde permanece activo durante un tiempo 3.

$$\begin{bmatrix} v_{dn}^{E_a, E_b+1, E_c} \\ v_{qn}^{E_a, E_b+1, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b + 1 \\ E_c \end{bmatrix} \quad (2.93)$$



## 2.1 Modulación vectorial espacial elegido.

---

$$v_{dn}^{E_a, E_b+1, E_c} = E_a - \frac{E_b + 1}{2} = E_a - \frac{E_b}{2} - \frac{1}{2} \quad (2.94)$$

$$v_{qn}^{E_a, E_b+1, E_c} = \frac{E_b + 1}{2} \quad (2.95)$$

Entonces sumamos las aportaciones de las distintos niveles y nos da:

$$v_{dn} \cdot 1 = \left(v_{dn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{dn}^{E_a+1, E_b+1, E_c}\right) t_2 + \left(v_{dn}^{E_a, E_b+1, E_c}\right) t_3 \quad (2.96)$$

$$v_{dn} = \left(E_a - \frac{E_b}{2}\right) t_1 + \left(E_a - \frac{E_b}{2} + \frac{1}{2}\right) t_2 + \left(E_a - \frac{E_b}{2} - \frac{1}{2}\right) t_3 \quad (2.97)$$

$$v_{qn} \cdot 1 = \left(v_{qn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{qn}^{E_a+1, E_b+1, E_c}\right) t_2 + \left(v_{qn}^{E_a, E_b+1, E_c}\right) t_3 \quad (2.98)$$

$$v_{qn} = \left(\frac{E_b}{2}\right) t_1 + \left(\frac{E_b + 1}{2}\right) t_2 + \left(\frac{E_b + 1}{2}\right) t_3 \quad (2.99)$$

$$t_1 + t_2 + t_3 = 1 \quad (2.100)$$

Resolviendo el sistema de ecuaciones generado por la Ecuación 2.97, Ecuación 2.99 y Ecuación 2.100, los tiempos de conmutación son:

$$t_1 = 1 + E_b - 2v_{qn} \quad (2.101)$$

$$t_2 = -E_a + v_{dn} + v_{qn} \quad (2.102)$$

$$t_3 = E_a - E_b - v_{dn} + v_{qn} \quad (2.103)$$

### **Zona 2:**

#### **Sector triangular 1:**

Estado 1: en donde permanece activo durante un tiempo 1.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.104)$$

$$v_{dn}^{E_a, E_b, E_c} = -\frac{E_b}{2} - \frac{E_c}{2} \quad (2.105)$$

$$v_{qn}^{E_a, E_b, E_c} = \frac{E_b}{2} - \frac{E_c}{2} \quad (2.106)$$

Estado 2: en donde permanece activo durante un tiempo 2.

$$\begin{bmatrix} v_{dn}^{E_a, E_b+1, E_c+1} \\ v_{qn}^{E_a, E_b+1, E_c+1} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b + 1 \\ E_c + 1 \end{bmatrix} \quad (2.107)$$

$$v_{dn}^{E_a, E_b+1, E_c+1} = -\frac{E_b + 1}{2} - \frac{E_c + 1}{2} = -\frac{E_b}{2} - \frac{E_c}{2} - 1 \quad (2.108)$$

$$v_{qn}^{E_a, E_b+1, E_c+1} = \frac{E_b+1}{2} - \frac{E_c+1}{2} = \frac{E_b}{2} - \frac{E_c}{2} \quad (2.109)$$

Estado 3: en donde permanece activo durante un tiempo 3.

$$\begin{bmatrix} v_{dn}^{E_a, E_b+1, E_c} \\ v_{qn}^{E_a, E_b+1, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b+1 \\ E_c \end{bmatrix} \quad (2.110)$$

$$v_{dn}^{E_a, E_b+1, E_c} = -\frac{E_b+1}{2} - \frac{E_c}{2} = -\frac{E_b}{2} - \frac{E_c}{2} - \frac{1}{2} \quad (2.111)$$

$$v_{qn}^{E_a, E_b+1, E_c} = \frac{E_b+1}{2} - \frac{E_c}{2} = \frac{E_b}{2} - \frac{E_c}{2} + \frac{1}{2} \quad (2.112)$$

Entonces sumamos las aportaciones de las distintos niveles y nos da:

$$v_{dn} \cdot 1 = \left( v_{dn}^{E_a, E_b, E_c} \right) t_1 + \left( v_{dn}^{E_a, E_b+1, E_c+1} \right) t_2 + \left( v_{dn}^{E_a, E_b+1, E_c} \right) t_3 \quad (2.113)$$

$$v_{dn} = \left( -\frac{E_b}{2} - \frac{E_c}{2} \right) t_1 + \left( -\frac{E_b}{2} - \frac{E_c}{2} - 1 \right) t_2 + \left( -\frac{E_b}{2} - \frac{E_c}{2} - \frac{1}{2} \right) t_3 \quad (2.114)$$

$$v_{qn} \cdot 1 = \left( v_{qn}^{E_a, E_b, E_c} \right) t_1 + \left( v_{qn}^{E_a, E_b+1, E_c+1} \right) t_2 + \left( v_{qn}^{E_a, E_b+1, E_c} \right) t_3 \quad (2.115)$$

$$v_{qn} = \left( \frac{E_b}{2} - \frac{E_c}{2} \right) t_1 + \left( \frac{E_b}{2} - \frac{E_c}{2} \right) t_2 + \left( \frac{E_b}{2} - \frac{E_c}{2} + \frac{1}{2} \right) t_3 \quad (2.116)$$

$$t_1 + t_2 + t_3 = 1 \quad (2.117)$$

Resolviendo el sistema de ecuaciones generado por la Ecuación 2.114, Ecuación 2.116 y Ecuación 2.117, los tiempos de conmutación son:

$$t_1 = 1 + E_b + v_{dn} - v_{qn} \quad (2.118)$$

$$t_2 = -E_c - v_{dn} - v_{qn} \quad (2.119)$$

$$t_3 = E_c - E_b + 2v_{qn} \quad (2.120)$$

### Sector triangular 2:

Estado 1: en donde permanece activo durante un tiempo 1.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.121)$$

$$v_{dn}^{E_a, E_b, E_c} = -\frac{E_b}{2} - \frac{E_c}{2} \quad (2.122)$$

$$v_{qn}^{E_a, E_b, E_c} = \frac{E_b}{2} - \frac{E_c}{2} \quad (2.123)$$

Estado 2: en donde permanece activo durante un tiempo 2.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c+1} \\ v_{qn}^{E_a, E_b, E_c+1} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c + 1 \end{bmatrix} \quad (2.124)$$

$$v_{dn}^{E_a, E_b, E_c+1} = -\frac{E_b}{2} - \frac{E_c + 1}{2} = -\frac{E_b}{2} - \frac{E_c}{2} - \frac{1}{2} \quad (2.125)$$

$$v_{qn}^{E_a, E_b, E_c+1} = \frac{E_b}{2} - \frac{E_c + 1}{2} = \frac{E_b}{2} - \frac{E_c}{2} - \frac{1}{2} \quad (2.126)$$

Estado 3: en donde permanece activo durante un tiempo 3.

$$\begin{bmatrix} v_{dn}^{E_a, E_b+1, E_c+1} \\ v_{qn}^{E_a, E_b+1, E_c+1} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b + 1 \\ E_c + 1 \end{bmatrix} \quad (2.127)$$

$$v_{dn}^{E_a, E_b+1, E_c+1} = -\frac{E_b + 1}{2} - \frac{E_c + 1}{2} = -\frac{E_b}{2} - \frac{E_c}{2} - 1 \quad (2.128)$$

$$v_{qn}^{E_a, E_b+1, E_c+1} = \frac{E_b + 1}{2} - \frac{E_c + 1}{2} = \frac{E_b}{2} - \frac{E_c}{2} \quad (2.129)$$

Entonces sumamos las aportaciones de las distintos niveles y nos da:

$$v_{dn} \cdot 1 = \left( v_{dn}^{E_a, E_b, E_c} \right) t_1 + \left( v_{dn}^{E_a, E_b, E_c+1} \right) t_2 + \left( v_{dn}^{E_a, E_b+1, E_c+1} \right) t_3 \quad (2.130)$$

$$v_{dn} = \left( -\frac{E_b}{2} - \frac{E_c}{2} \right) t_1 + \left( -\frac{E_b}{2} - \frac{E_c}{2} - \frac{1}{2} \right) t_2 + \left( -\frac{E_b}{2} - \frac{E_c}{2} - 1 \right) t_3 \quad (2.131)$$

$$v_{qn} \cdot 1 = \left(v_{qn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{qn}^{E_a, E_b, E_c+1}\right) t_2 + \left(v_{qn}^{E_a, E_b+1, E_c+1}\right) t_3 \quad (2.132)$$

$$v_{qn} = \left(\frac{E_b}{2} - \frac{E_c}{2}\right) t_1 + \left(\frac{E_b}{2} - \frac{E_c}{2} - \frac{1}{2}\right) t_2 + \left(\frac{E_b}{2} - \frac{E_c}{2}\right) t_3 \quad (2.133)$$

$$t_1 + t_2 + t_3 = 1 \quad (2.134)$$

Resolviendo el sistema de ecuaciones generado por la Ecuación 2.131, Ecuación 2.133 y Ecuación 2.134, los tiempos de conmutación son:

$$t_1 = 1 + E_c + v_{dn} + v_{qn} \quad (2.135)$$

$$t_2 = E_b - E_c - 2v_{qn} \quad (2.136)$$

$$t_3 = -E_b - v_{dn} + v_{qn} \quad (2.137)$$

### **Zona 3:**

#### **Sector triangular 1:**

Estado 1: en donde permanece activo durante un tiempo 1.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.138)$$

$$v_{dn}^{E_a, E_b, E_c} = E_a - \frac{E_c}{2} \quad (2.139)$$

$$v_{qn}^{E_a, E_b, E_c} = -\frac{E_c}{2} \quad (2.140)$$

Estado 2: en donde permanece activo durante un tiempo 2.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c+1} \\ v_{qn}^{E_a, E_b, E_c+1} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c + 1 \end{bmatrix} \quad (2.141)$$

$$v_{dn}^{E_a, E_b, E_c+1} = E_a - \frac{E_c + 1}{2} \quad (2.142)$$

$$v_{qn}^{E_a, E_b, E_c+1} = -\frac{E_c + 1}{2} \quad (2.143)$$

Estado 3: en donde permanece activo durante un tiempo 3.

$$\begin{bmatrix} v_{dn}^{E_a+1, E_b, E_c+1} \\ v_{qn}^{E_a+1, E_b, E_c+1} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a + 1 \\ E_b \\ E_c + 1 \end{bmatrix} \quad (2.144)$$

$$v_{dn}^{E_a+1, E_b, E_c+1} = E_a + 1 - \frac{E_c + 1}{2} = E_a - \frac{E_c}{2} + \frac{1}{2} \quad (2.145)$$

$$v_{qn}^{E_a+1, E_b, E_c+1} = -\frac{E_c + 1}{2} \quad (2.146)$$

## 2.1 Modulación vectorial espacial elegido.

---

Entonces sumamos las aportaciones de las distintos niveles y nos da:

$$v_{dn} \cdot 1 = \left(v_{dn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{dn}^{E_a, E_b, E_c+1}\right) t_2 + \left(v_{dn}^{E_a+1, E_b, E_c+1}\right) t_3 \quad (2.147)$$

$$v_{dn} = \left(E_a - \frac{E_c}{2}\right) t_1 + \left(E_a - \frac{E_c+1}{2}\right) t_2 + \left(E_a - \frac{E_c}{2} + \frac{1}{2}\right) t_3 \quad (2.148)$$

$$v_{qn} \cdot 1 = \left(v_{qn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{qn}^{E_a, E_b, E_c+1}\right) t_2 + \left(v_{qn}^{E_a+1, E_b, E_c+1}\right) t_3 \quad (2.149)$$

$$v_{qn} = \left(-\frac{E_c}{2}\right) t_1 + \left(-\frac{E_c+1}{2}\right) t_2 + \left(-\frac{E_c+1}{2}\right) t_3 \quad (2.150)$$

$$t_1 + t_2 + t_3 = 1 \quad (2.151)$$

Resolviendo el sistema de ecuaciones generado por la Ecuación 2.148, Ecuación 2.150 y Ecuación 2.151, los tiempos de conmutación son:

$$t_1 = 1 + E_c + 2v_{qn} \quad (2.152)$$

$$t_2 = E_a - E_c - v_{dn} - v_{qn} \quad (2.153)$$

$$t_3 = -E_a + v_{dn} - v_{qn} \quad (2.154)$$



**Sector triangular 2:**

Estado 1: en donde permanece activo durante un tiempo 1.

$$\begin{bmatrix} v_{dn}^{E_a, E_b, E_c} \\ v_{qn}^{E_a, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} \quad (2.155)$$

$$v_{dn}^{E_a, E_b, E_c} = E_a - \frac{E_c}{2} \quad (2.156)$$

$$v_{qn}^{E_a, E_b, E_c} = -\frac{E_c}{2} \quad (2.157)$$

Estado 2: en donde permanece activo durante un tiempo 2.

$$\begin{bmatrix} v_{dn}^{E_a+1, E_b, E_c+1} \\ v_{qn}^{E_a+1, E_b, E_c+1} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a + 1 \\ E_b \\ E_c + 1 \end{bmatrix} \quad (2.158)$$

$$v_{dn}^{E_a+1, E_b, E_c+1} = E_a + 1 - \frac{E_c + 1}{2} = E_a - \frac{E_c}{2} + \frac{1}{2} \quad (2.159)$$

$$v_{qn}^{E_a+1, E_b, E_c+1} = -\frac{E_c + 1}{2} \quad (2.160)$$

Estado 3: en donde permanece activo durante un tiempo 3.

$$\begin{bmatrix} v_{dn}^{E_a+1, E_b, E_c} \\ v_{qn}^{E_a+1, E_b, E_c} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a + 1 \\ E_b \\ E_c \end{bmatrix} \quad (2.161)$$

## 2.1 Modulación vectorial espacial elegido.

---

$$v_{dn}^{E_a+1, E_b, E_c} = E_a + 1 - \frac{E_c}{2} = E_a - \frac{E_c}{2} + 1 \quad (2.162)$$

$$v_{qn}^{E_a+1, E_b, E_c} = -\frac{E_c}{2} \quad (2.163)$$

Entonces sumamos las aportaciones de las distintos niveles y nos da:

$$v_{dn} \cdot 1 = \left(v_{dn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{dn}^{E_a+1, E_b, E_c+1}\right) t_2 + \left(v_{dn}^{E_a+1, E_b, E_c}\right) t_3 \quad (2.164)$$

$$v_{dn} = \left(E_a - \frac{E_c}{2}\right) t_1 + \left(E_a - \frac{E_c}{2} + \frac{1}{2}\right) t_2 + \left(E_a - \frac{E_c}{2} + 1\right) t_3 \quad (2.165)$$

$$v_{qn} \cdot 1 = \left(v_{qn}^{E_a, E_b, E_c}\right) t_1 + \left(v_{qn}^{E_a+1, E_b, E_c+1}\right) t_2 + \left(v_{qn}^{E_a+1, E_b, E_c}\right) t_3 \quad (2.166)$$

$$v_{qn} = \left(-\frac{E_c}{2}\right) t_1 + \left(-\frac{E_c+1}{2}\right) t_2 + \left(-\frac{E_c}{2}\right) t_3 \quad (2.167)$$

$$t_1 + t_2 + t_3 = 1 \quad (2.168)$$

Resolviendo el sistema de ecuaciones generado por la Ecuación 2.165, Ecuación 2.167 y Ecuación 2.168, los tiempos de conmutación son:

$$t_1 = 1 + E_a - v_{dn} + v_{qn} \quad (2.169)$$

$$t_2 = -E_c - 2v_{qn} \quad (2.170)$$

$$t_3 = -E_a + E_c + v_{dn} + v_{qn} \quad (2.171)$$

En la Tabla 2.1 se muestra un resumen de los estados de conmutación y los tiempos en las distintas regiones en el plano complejo d-q.

## 2.2. Descripción del sistema de control.

El sistema de control para el inversor multinivel esta dividido en varios bloques los mismos que son:

- Almacenamiento y selección de los parámetros del inversor.
- Visualización de los parámetros del inversor.
- Sensado de la tensión de las fuentes.
- Sensado de las corrientes en la carga.
- Generador del vector de referencia.
- Normalización y achatamiento del vector de referencia.
- Cálculo de los estados y tiempos de conmutación.
- Conmutación de los estados en un tiempo de muestreo  $T_m$ .
- Sistema de protección del inversor.

Todos estos bloques se interconectan para conjuntamente generar las tensiones a la salida del inversor, su conexión se muestra en la Figura 2.16 y están descrita en las próximas secciones.

## 2.2 Descripción del sistema de control.

---

(a) Zona 1

	Triángulo 1 $v_{qn} - v_{dn} \leq E_b - E_a$	Triángulo 2 $v_{qn} - v_{dn} > E_b - E_a$
$E_a$	$\text{int}(v_{dn} + v_{qn})$	
$E_b$	$\text{int}(2v_{qn})$	
$E_c$	0	
Estado 1	$E_a, E_b, E_c$	$E_a, E_b, E_c$
Estado 2	$E_a + 1, E_b, E_c$	$E_a + 1, E_b + 1, E_c$
Estado 3	$E_a + 1, E_b + 1, E_c$	$E_a, E_b + 1, E_c$
$t_1$	$1 + E_a - v_{dn} - v_{qn}$	$1 + E_b - 2v_{qn}$
$t_2$	$E_b - E_a + v_{dn} - v_{qn}$	$-E_a + v_{dn} + v_{qn}$
$t_3$	$-E_b + 2v_{qn}$	$E_a - E_b - v_{dn} + v_{qn}$

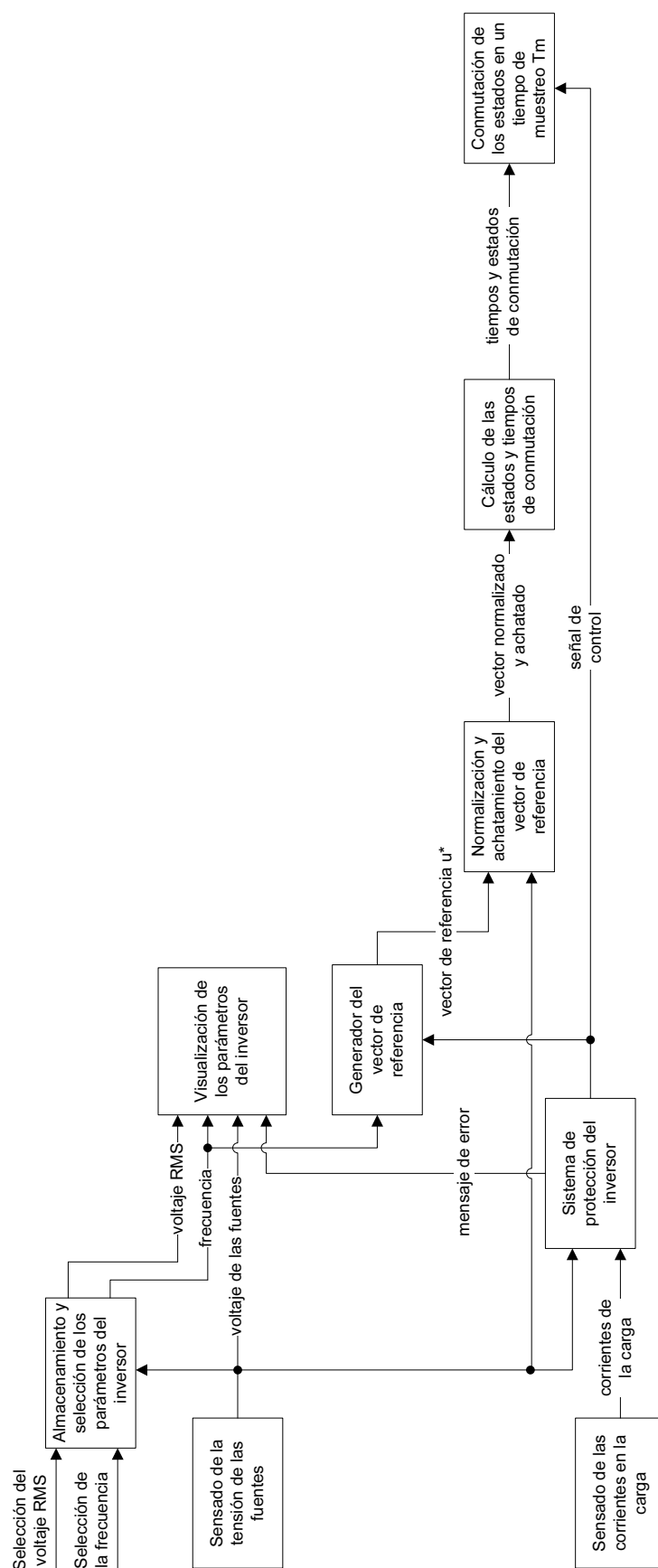
(b) Zona 2

	Triángulo 1 $2v_{qn} \geq E_b - E_c$	Triángulo 2 $2v_{qn} < E_b - E_c$
$E_a$	0	
$E_b$	$\text{int}(v_{qn} - v_{dn})$	
$E_c$	$\text{int}(-v_{dn} - v_{qn})$	
Estado 1	$E_a, E_b, E_c$	$E_a, E_b, E_c$
Estado 2	$E_a, E_b + 1, E_c + 1$	$E_a, E_b, E_c + 1$
Estado 3	$E_a, E_b + 1, E_c$	$E_a, E_b + 1, E_c + 1$
$t_1$	$1 + E_b + v_{dn} - v_{qn}$	$1 + E_c + v_{dn} + v_{qn}$
$t_2$	$-E_c - v_{dn} - v_{qn}$	$E_b - E_c - 2v_{qn}$
$t_3$	$E_c - E_b + 2v_{qn}$	$-E_b - v_{dn} + v_{qn}$

(c) Zona 3

	Triángulo 1 $v_{qn} + v_{dn} \leq E_a - E_c$	Triángulo 2 $v_{qn} + v_{dn} > E_a - E_c$
$E_a$	$\text{int}(v_{dn} - v_{qn})$	
$E_b$	0	
$E_c$	$\text{int}(-2v_{qn})$	
Estado 1	$E_a, E_b, E_c$	$E_a, E_b, E_c$
Estado 2	$E_a, E_b, E_c + 1$	$E_a + 1, E_b, E_c + 1$
Estado 3	$E_a + 1, E_b, E_c + 1$	$E_a + 1, E_b, E_c$
$t_1$	$1 + E_c + 2v_{qn}$	$1 + E_a - v_{dn} + v_{qn}$
$t_2$	$E_a - E_c - v_{dn} - v_{qn}$	$-E_c - 2v_{qn}$
$t_3$	$-E_a + v_{dn} - v_{qn}$	$E_c - E_a + v_{dn} + v_{qn}$

**Tabla 2.1.:** Vectores de estado y tiempos de conmutación en las 3 zonas del plano complejo.



**Figura 2.16.:** Diagrama del sistema de control del inversor.

### 2.2.1. Descripción.

Como se ve en la Figura 2.16 el sistema de control tiene como entradas el voltaje RMS y la frecuencia que se desea obtener a la salida del inversor, estos valores son establecidos por el operario del sistema, los parámetros son guardados en un bloque de *Almacenamiento y selección de parámetros del inversor*, otra entrada de este bloque es la tensión de las fuentes para establecer el voltaje máximo que puede entregar el inversor.

A partir de las corrientes de la carga adquiridas por el bloque de *Sensado de las corrientes en la carga* y el voltaje de las fuentes de tensión adquiridos por el bloque de *Sensado de la tensión de las fuentes*, se establece que no hay sobrecorriente en la carga o una bajada de tensión drástica en las fuentes en el bloque del *Sistema de protección del inversor*, si es así se da una señal de control afirmativa, caso contrario una señal negativa y una señal de error la salida de mensaje de error.

Los parámetros del inversor almacenados en el bloque de *Almacenamiento y selección de parámetros del inversor* y el voltaje de las fuentes de tensión adquiridos por el bloque de *Sensado de la tensión de las fuentes* son visualizados por medio del bloque de *Visualización de los parámetros del inversor*, y si existe un mensaje de error se visualiza el mismo.

A partir de la frecuencia almacenada se calcula el vector de referencia  $u^*$  en el bloque del *Generador del vector de referencia*, luego este vector, conjuntamente con el voltaje de las fuentes de tensión adquirido por el bloque de *Sensado de la tensión de las fuentes*, entran al bloque de *Normalización y achatamiento del vector de referencia*, en donde se realiza el paso 1 y paso 2 del algoritmo de consideraciones geométricas descrito en la Subsección 2.1.3, en un tiempo dado, siempre y cuando la señal de control sea afirmativa, caso contrario no se calcula el siguiente vector de referencia.

Este vector normalizado y achatado entra al bloque de *Cálculo de los estados y tiempos de conmutación* en donde se realizan los pasos 3, 4, 5, 6 y 7 del algoritmo de consideraciones geométricas descrito en la Subsección 2.1.3, en donde se calculan los tiempos y estados de conmutación.

Los tiempos y estados de conmutación calculados en el bloque *Cálculo de los estados y tiempos de conmutación* ingresan al bloque de *Conmutación de los estados en un tiempo de muestreo  $T_m$* , en donde a partir de los tiempos y estados de conmutación se encienden los interruptores de potencia del inversor que entregan

voltaje a la carga, si es que la señal de control es afirmativa, caso contrario los interruptores se apagan y a la carga le llega cero voltios.

### 2.2.2. Almacenamiento y selección de los parámetros del inversor.

#### Entradas:

Selección del voltaje RMS.

Selección de la frecuencia.

Voltaje de las fuentes.

#### Salidas:

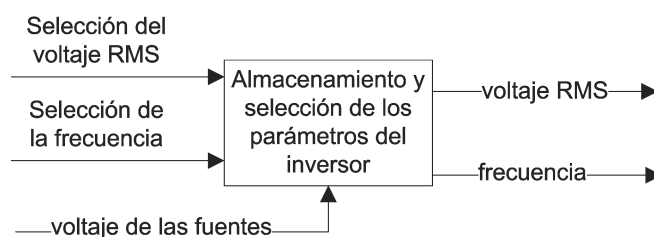
Voltaje RMS.

Frecuencia.

#### Descripción:

En las entradas de *Selección del voltaje RMS* y *Selección de la frecuencia* ingresamos el valor de tensión RMS fase neutro y de frecuencia que deseamos obtener a la salida del inversor.

Las salidas son el *Voltaje RMS* y la *frecuencia* que se va a obtener a la salida del inversor.



**Figura 2.17.:** Bloque de almacenamiento y selección de los parámetros del inversor.

### 2.2.3. Visualización de los parámetros del inversor.

#### Entradas:

Voltaje RMS.

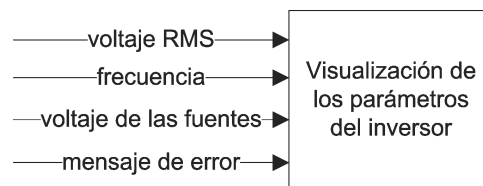
Frecuencia.

Voltaje de las fuentes.

Mensaje de error.

#### Descripción:

Las entradas son visualizadas mediante un LDC, que nos permite visualizar los parámetros que están siendo generados a la salida del inversor, la tensión y la frecuencia, al igual que la tensión en las fuentes de tensión y si se produce un error nos muestra un mensaje del mismo.



**Figura 2.18.:** Bloque de visualización de los parámetros del inversor.

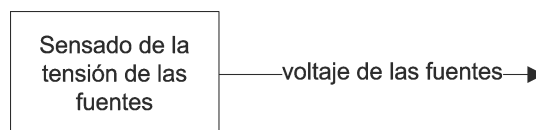
### 2.2.4. Sensado de la tensión de las fuentes.

#### Salidas:

Voltaje de las fuentes.

#### Descripción:

Bloque de *Sensado de tensión de las fuentes* tiene como única salida el voltaje de las mismas, medidos y cuantificados por medio de conversores analógicos digitales en configuración diferencial, por la característica que las fuentes son independientes.



**Figura 2.19.:** Bloque de sensado de la tensión de las fuentes.



### 2.2.5. Sensado de las corrientes en la carga.

#### Salidas:

Corrientes de la carga.

#### Descripción:

Bloque de *Sensado de las corrientes en la carga* tiene como única salida las corrientes en la misma, medidos y cuantificados por medio de conversores analógicos digitales en configuración diferencial, para evitar problemas entre las tierras del sistema de control y el sistema de potencia.

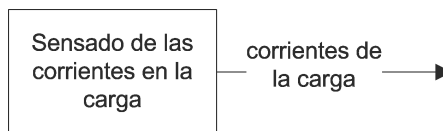


Figura 2.20.: Bloque de sensado de la corriente en la carga.

### 2.2.6. Sistema de protección del inversor.

#### Entradas:

Voltaje de la fuentes.

Corrientes de la carga.

#### Salidas:

Mensaje de error.

Señal de control.

#### Descripción:

Las entradas del bloque son las *corrientes de la carga* y el *voltaje de las fuentes*, con estas entradas se establece que no hay sobrecorriente en la carga o una bajada de tensión drástica en las fuentes, si es así se da una señal de control afirmativa, caso contrario una señal negativa y una señal de error la salida de *mensaje de error*.

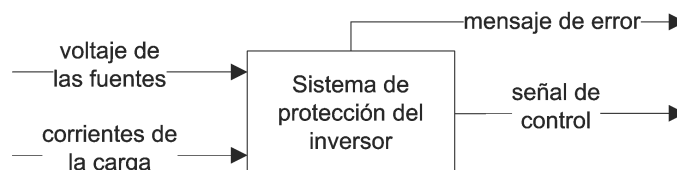


Figura 2.21.: Bloque del sistema de protección del inversor.

### 2.2.7. Generador del vector de referencia.

**Entradas:**

Frecuencia.

Señal de control.

**Salidas:**

Vector de referencia  $u^*$ .

**Descripción:**

La entrada al bloque es la *frecuencia* que se desea obtener a la salida del inversor, para que en cada instante de tiempo se genera un *vector de referencia  $u^*$*  ya transformado, siempre y cuando no se haya generado un error debido a una sobre corriente o una bajada drástica de la tensión en las fuentes de alimentación.

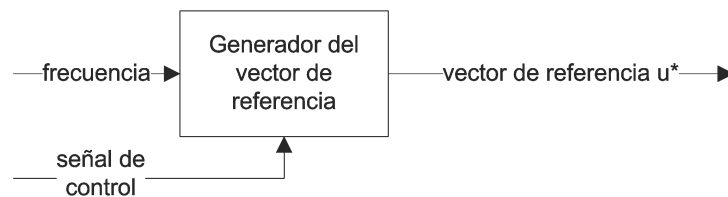


Figura 2.22.: Bloque del generador del vector de referencia.

### 2.2.8. Normalización y achatamiento del vector de referencia.

**Entradas:**

Vector de referencia  $u^*$ .

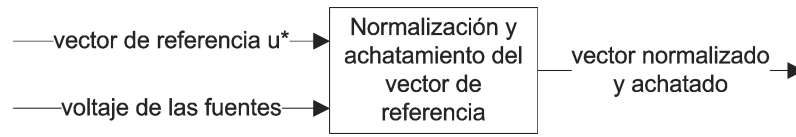
Voltaje de las fuentes.

**Salidas:**

Vector normalizado y achatado.

**Descripción:**

A este bloque ingresa el *vector de referencia  $u^*$*  y el *voltaje de las fuentes*, aquí se realiza el paso 1 y paso 2 del algoritmo de consideraciones geométricas descrito en la Subsección 2.1.3 y se obtiene el *vector normalizado y achatado*.



**Figura 2.23.:** Bloque de normalización y achatamiento del vector de referencia.

### 2.2.9. Cálculo de los estados y tiempos de conmutación.

#### Entradas:

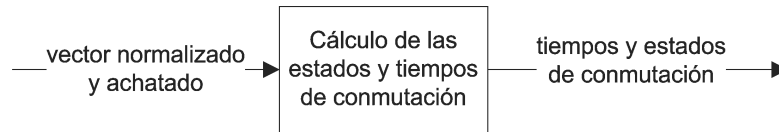
Vector normalizado y achatado.

#### Salidas:

Tiempos y estados de conmutación.

#### Descripción:

El *vector normalizado y achatado* entra al bloque de *Cálculo de los estados y tiempos de conmutación* en donde se realizan los pasos 3, 4, 5, 6 y 7 del algoritmo de consideraciones geométricas descrito en la Subsección 2.1.3, en donde se calculan los tiempos y estados de conmutación.



**Figura 2.24.:** Bloque de cálculo de los estados y tiempos de conmutación.

### 2.2.10. Conmutación de los estados en un tiempo de muestreo $T_m$ .

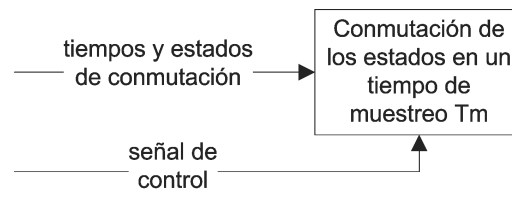
#### Entradas:

Tiempos y estados de conmutación.

Señal de control.

#### Descripción:

La entrada de los *tiempos y estados de conmutación* ingresan al bloque de *Conmutación de los estados en un tiempo de muestreo  $T_m$* , en donde a partir de los tiempos y estados de conmutación se encienden los interruptores de potencia del inversor que entregan voltaje a la carga, si es que la señal de control es afirmativa, caso contrario los interruptores se apagan y a la carga le llega cero voltios.



**Figura 2.25.:** Bloque de conmutación de los estados en un tiempo de muestreo  $T_m$

## 3. Diseño de la parte eléctrica y electrónica.

### 3.1. Tipos de topologías de inversores multinivel.

Existen varias topologías para inversores multinivel, que van desde la utilización de una solo fuente, hasta con varias fuentes para generar los distintos niveles de tensión necesarios para la salida del inversor, a continuación se enumeran algunas de las topologías de inversores multinivel:

Topologías básicas:

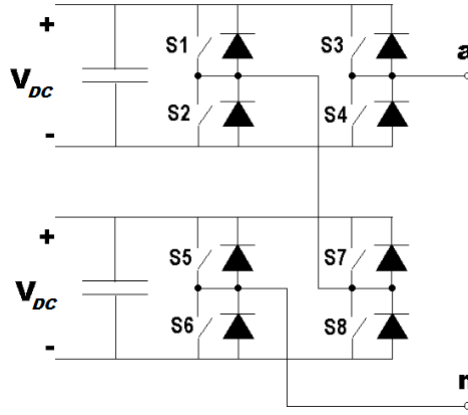
- Convertidor con diodo enclavado (Diode-Clamped converter).
- Convertidor con capacitor flotante (Flying-Capacitor converter).
- Convertidor con conexión en cascada de puentes monofásicos (Cascaded Full-Bridge converter).

Otras topologías no tan estudiadas ni usadas:

- Convertidor asimétrico híbrido.
- Convertidor con puentes en cascada y fuentes CC/CC con aislamiento.
- Convertidor con topología multinivel en cascada.
- Convertidor con conmutación suave.
- Rectificador elevador de tres niveles/Convertidor matricial.
- Inversores acoplados por transformador
- Convertidor Diode/Capacitor-Clamped
- Convertidor New Diode-Claped.
- Convertidor multinivel generalizado.

### 3.2. Topología de fuentes independientes.

La topología de fuentes independientes o también llamada topología con conexión en cascada de puentes monofásicos (*Cascaded Full-Bridge*), se basa en la conexión de varios puentes monofásicos en serie como se muestra en la Figura 3.1.



**Figura 3.1.:** Rama de un convertidor de puentes monofásicos de 5 niveles .

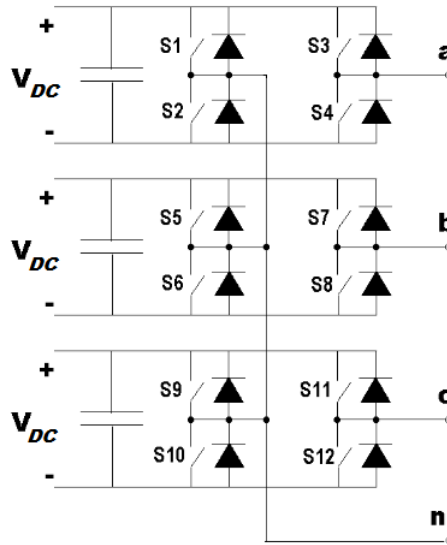
Cada puente monofásico tiene la capacidad de entregar  $+V_{DC}$ , 0 y  $-V_{DC}$ , por lo tanto al combinar la contribución de cada puentes nos da como resultado que la tensión de salida  $v_{an}$  que puede tener los valores  $+2V_{DC}$ ,  $+V_{DC}$ , 0,  $-V_{DC}$ ,  $-2V_{DC}$ .

La característica de este tipo de topología es las fuentes de tensión a la entrada deben estar aisladas entres si.

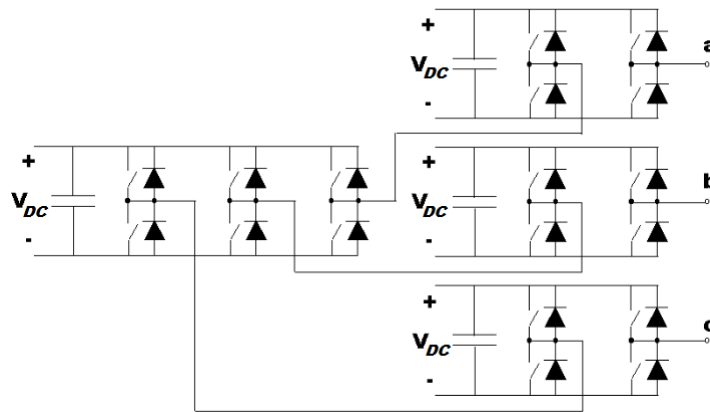
En la Figura 3.2 se muestra un convertidor trifásicos de 3 niveles conectados en estrella, pero si se desea obtener un convertidor con un número de niveles par, se empieza con un inversor trifásico al cual en cada rama del mismo se agrega un inversor monofásico como se muestra en la Figura 3.3.

### 3.3. Diseño de la topología multinivel utilizada.

Para este trabajo se eligió la topología de convertidor trifásico de puentes monofásicos de 4 niveles mostrada en la Figura 3.3, esto debido a su fácil implementación y capacidad de modularidad.



**Figura 3.2.:** Convertidor trifásico de puentes monofásicos en estrella de 3 niveles.



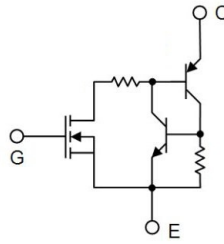
**Figura 3.3.:** Convertidor trifásico de puentes en cascada de 4 niveles.

#### 3.3.1. Descripción básica de los IGBT's.

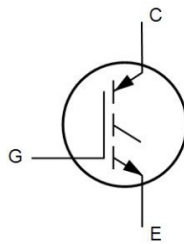
El IGBT o transistor bipolar de puerta aislada, es un dispositivo semiconductor de potencia, que combina las características de disparo de un MOSFET y las de potencia de un BJT, su circuito equivalente se muestra en la Figura 3.4.

El IGBT posee una compuerta tipo MOSFET que posee una alta impedancia de entrada y se dispara por medio de voltaje, este se activa alrededor de los 15v ofreciendo una gran ventaja si se maneja sistemas de alta tensión, ya que los 15v son pequeños en comparación a la tensión a manejar.

Ademas tienen pocas perdidas por conducción en estado activo como los BJT, y son muchos más rápidos que estos[16], pero no tanto como los MOSFET, su símbolo se muestra en la Figura 3.5.



**Figura 3.4.:** Circuito equivalente del IGBT.



**Figura 3.5.:** Símbolo del IGBT.

Posee 3 terminales denominados GATE (G) o puerta, COLECTOR (C) y EMISOR (E), y se dispara o activa cuando la puerta es más positiva que el emisor y se apaga cuando se retira la alimentación a la puerta.

Por estas características los IGBT's han permitido grandes desarrollos, en especial en los variadores de frecuencia, aplicaciones en maquinas eléctricas y convertidores de potencia.

#### **3.3.2. Descripción de la topología usada.**

la topología usada en este trabajo es la de un convertidor de puentes en cascada de cuatro niveles, armado por 3 bancos monofásicos de IGBT's, un banco trifásico de IGBT's y 4 fuentes de corriente continua independientes de la marca H&K del laboratorio de electrónica de potencia de la Universidad Politécnica Salesiana, la topología es mostrada en la Figura 3.3.

##### **3.3.2.1. Fuentes de corriente continua.**

Para las fuentes de corriente continua se usaron las fuentes PE-5310-1B del modulo de PE-5000 Power Electronics Training System de K and H, las mismas que están montadas en el laboratorio de potencia de la Universidad Politécnica Salesiana, la misma se muestra en la Figura 3.6.



### 3.3 Diseño de la topología multinivel utilizada.

---



**Figura 3.6.:** Fuente DC PE-5000 de K and H.

Estas fuentes tienen las siguientes características.

- Salida DC de 0-40V/6A.
- Ingreso AC de 220VAC y 60Hz.
- Con protección de sobrecarga.

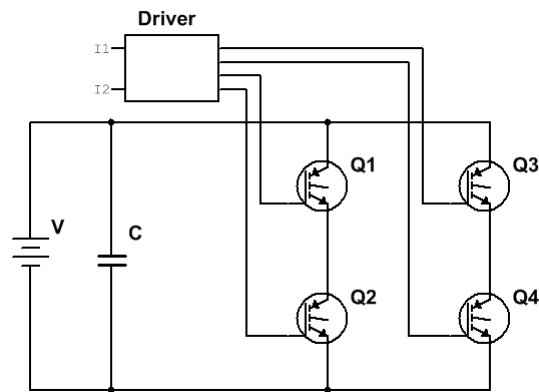
#### 3.3.2.2. Banco de IGBT'S monofásico.

El esquema del banco de IGBT's monofásico se muestran en Figura 3.7, en donde los IGBT's son controlados por un driver, el mismo que recibe una señal digital TTL que enciende un IGBT de un ramal y apaga el otro, esta señales de control digitales, están nombradas como I1 que maneja el primer ramal e I2 que maneja el segundo ramal, todo este driver esta unido a una fuente de corriente continua representada por la batería y el condensador, en el Tabla 3.1 se muestra la tabla de estados del convertidor monofásico, en donde los estados de Q1 es complementario a Q2 y Q3 es complementario a Q4.

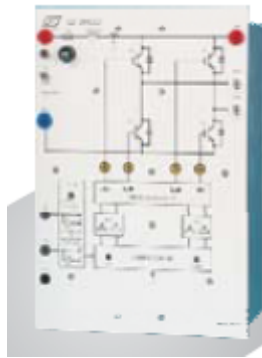
I1	I2	Q1	Q2	Q3	Q4
0	0	1	0	1	0
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	1	0	1

**Tabla 3.1.:** Estados del convertidor monofásico.

Estos bancos de IGBT's son los PE-5310-4F que son parte del modulo de PE-5000 Power Electronics Training System de K and H.



**Figura 3.7.:** Esquema del convertidor monofásico.



**Figura 3.8.:** Banco de IGBT's monofásico PE-5310-4F de K and H.

Estos bancos tienen las siguientes características:

- Voltaje de ingreso DC 20~300V.
- Voltaje de salida pico 20~300Vp.
- Circuito de driver con optoacopladores para el manejo de los IGBT's.
- Dispositivos IGBT de 800V/60A.
- Sistema de protección de sobrecorriente.
- Sistema de alimentación para su operación de 220VAC y 60Hz.

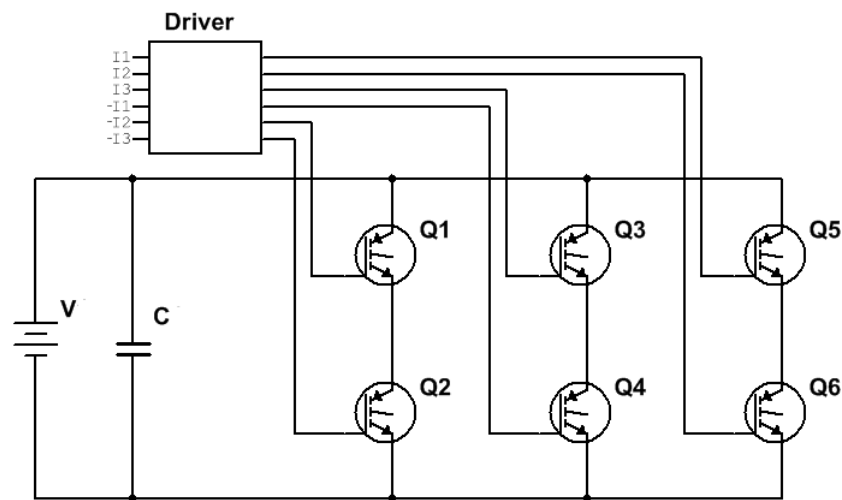
#### **3.3.2.3. Banco de IGBT'S trifásico.**

El esquema del banco de IGBT's trifásico se muestran en Figura 3.9, en donde los IGBT's son controlados por un driver, el mismo que recibe una señal digital TTL que enciende un IGBT de un ramal, para nuestro caso las señales para los IGBT's de un mismo ramal deben ser complementarias entre sí, estas señales muestran en el Tabla 3.2.

### 3.3 Diseño de la topología multinivel utilizada.

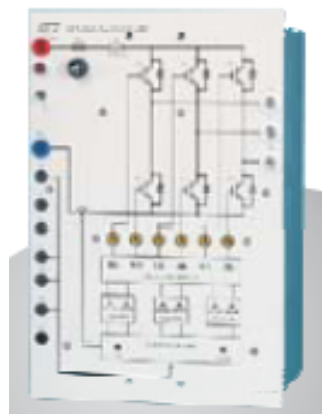
Entrada	Salida
I1	Q1
-I1	Q2
I2	Q3
-I2	Q4
I3	Q5
-I3	Q6

**Tabla 3.2.:** Estados del convertidor trifásico.



**Figura 3.9.:** Esquema del puente convertidor trifásico.

Este banco de IGBT's es el PE-5310-4K que es parte del modulo de PE-5000 Power Electronics Training System de K and H.



**Figura 3.10.:** Banco de IGBT's universales PE-5310-4F de K and H.

### 3.3 Diseño de la topología multinivel utilizada.

---

Estos bancos tienen las siguientes características:

- Seis entradas de control tipo TTL.
- Voltaje de ingreso DC 20~220V.
- Circuito de driver con optoacopladores para el manejo de los IGBT's.
- Dispositivos IGBT de 800V/50A.
- Sistema de protección de sobrecorriente ajustable.

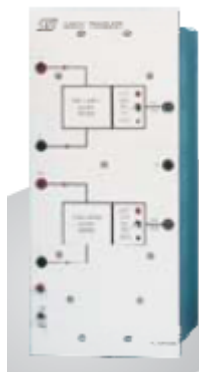
En la Figura 3.12 se puede ver el esquema de los bancos de IGBT's totalmente conectados entre si y su nomenclatura.

#### 3.3.2.4. Transductores de corriente.

Son sensores de efecto Hall PE-5310-2C que son parte del modulo de PE-5000 Power Electronics Training System de K and H, con estos medimos la corriente en la carga, el valor de la corriente es transformado a un nivel de tensión.

Estos bancos tienen las siguientes características:

- Sensor de efecto Hall con una frecuencia máxima de 200kHz.
- Entrada de 20Amp salida de 10V.
- Entrada de 5Amp salida de 10V.
- Entrada de 1Amp salida de 10V.
- Indicador de sobrecorriente.
- Sistema de alimentación para su operación de 220VAC y 60Hz.



**Figura 3.11.:** Transductor de corriente PE-5310-2C de K and H.

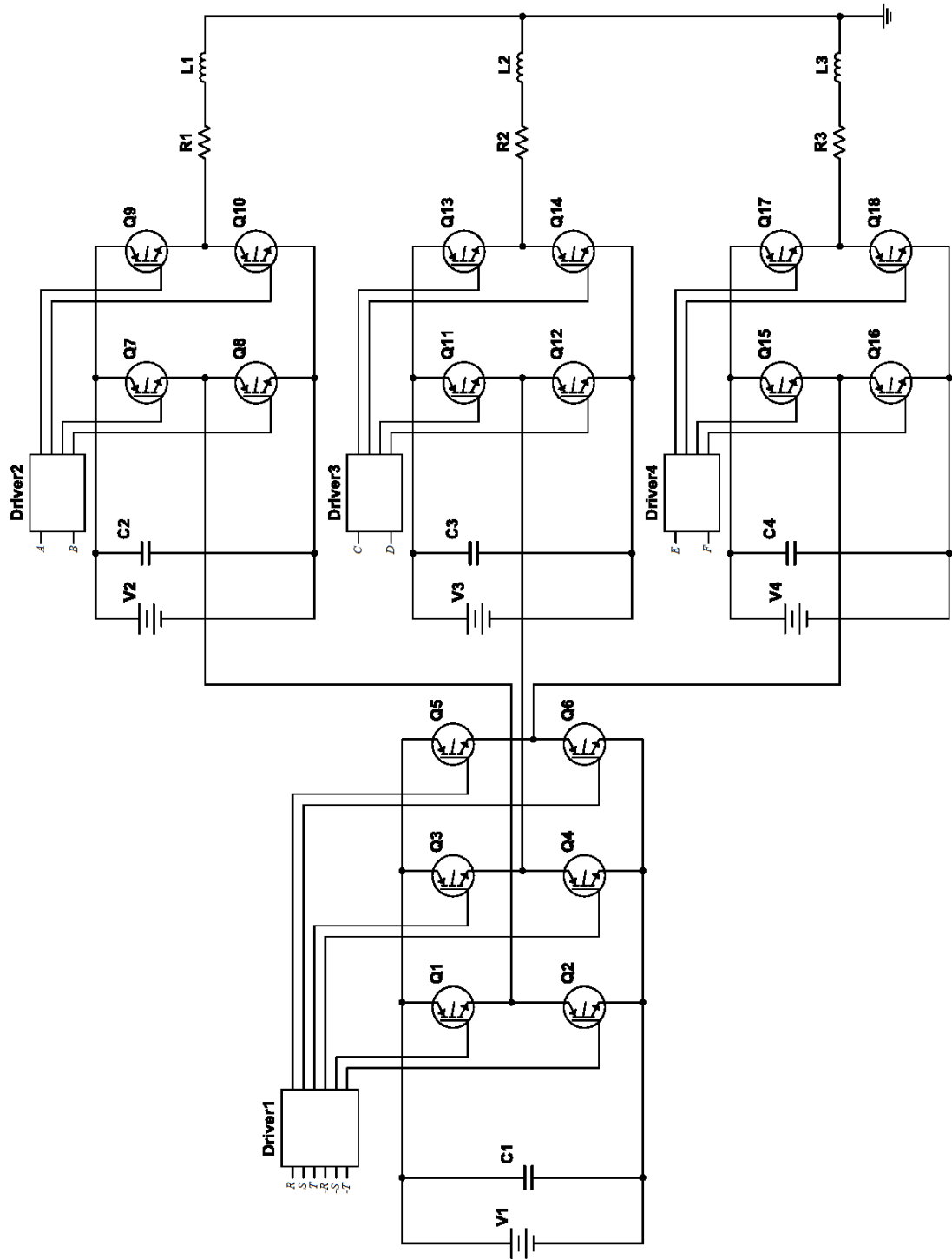


Figura 3.12.: Esquema del conversor de fuentes independientes de 4 niveles.

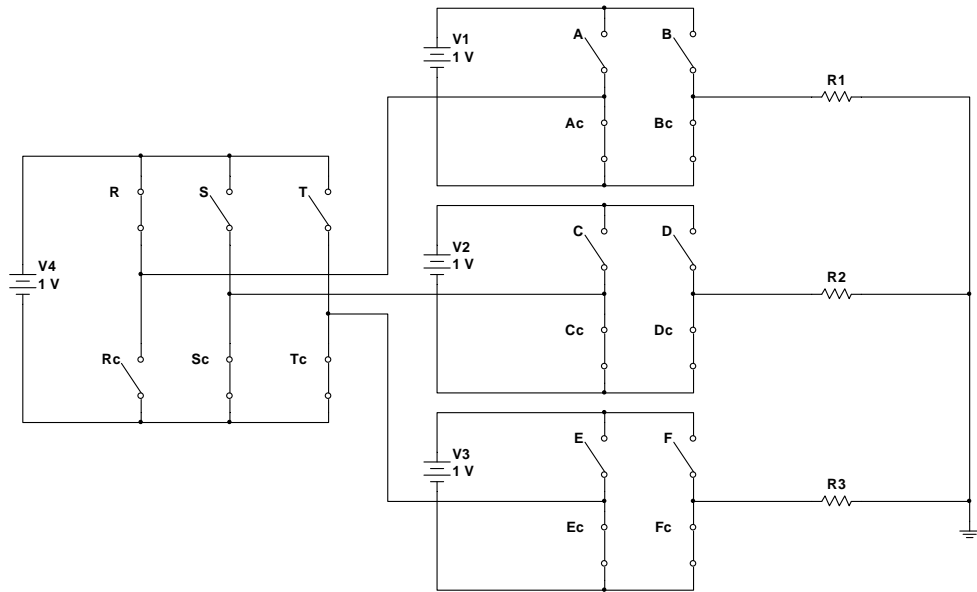
### 3.3.3. Estados del convertidor de fuentes independientes de 4 niveles.

Los estados del convertidor hacen referencia al nivel de tensión en cada fase del mismo, al tener una combinación determinada de ramas conectadas a  $+V_{dc}$  o  $-V_{dc}$ . En total existen  $2^n$  posibles combinaciones del convertidor, en donde  $n$  es el número de ramas que en este trabajo son 9, por lo tanto el número de combinaciones es:

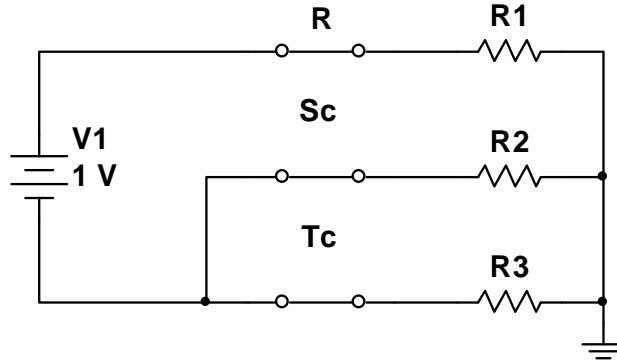
$$2^n = 2^9 = 512 \text{ posibles combinaciones} \quad (3.1)$$

En la Figura 3.13 se muestra el esquema de una de las posibles combinaciones dadas para el conversor, en donde a los IGBT's se los reemplazo por interruptores, que son complementarios en cada ramal y tienen el mismo nombre que las entradas a los drivers mostradas en la Figura 3.12, también la carga L-R se reemplazo por una resistencia para simplificar el calculo del voltaje en cada fase, y las fuentes de voltaje se normalizaron para hacer el calculo más general.

El circuito anterior se simplifica eliminando las fuentes he interruptores que no tienen efecto sobre la carga, y nos da como resultado un circuito mostrado en la Figura 3.14.



**Figura 3.13.:** Estado *100000000* del convertidor de 4 niveles.



**Figura 3.14.:** Estado simplificado *100000000* del convertidor de 4 niveles.

Ahora calculamos el voltaje en cada una de las resistencias de carga, con respecto al centro estrella formado, tomando en cuenta que es una carga equilibrada y nos da:

$$R1 = R2 = R3 \quad (3.2)$$

$$V_{R1} = V1 \frac{R1}{R1 + \frac{R2 \cdot R3}{R2 + R3}} = 1V \frac{R1}{R1 + \frac{R1 \cdot R1}{R1 + R1}} = \frac{2}{3}V \quad (3.3)$$

$$V_{R2} = -V1 \frac{\frac{R2 \cdot R3}{R2 + R3}}{R1 + \frac{R2 \cdot R3}{R2 + R3}} = -1V \frac{\frac{R1 \cdot R1}{R1 + R1}}{R1 + \frac{R1 \cdot R1}{R1 + R1}} = -\frac{1}{3}V \quad (3.4)$$

$$V_{R3} = -V1 \frac{\frac{R2 \cdot R3}{R2 + R3}}{R1 + \frac{R2 \cdot R3}{R2 + R3}} = -1V \frac{\frac{R1 \cdot R1}{R1 + R1}}{R1 + \frac{R1 \cdot R1}{R1 + R1}} = -\frac{1}{3}V \quad (3.5)$$

Lo mismo se realiza para todas las posibles combinaciones de los interruptores y se obtienen las 512 combinaciones mostradas en el Apéndice A, pero en la Tabla 3.3 se muestran las 37 combinaciones usadas en este trabajo, las mismas que fueron elegidas para que existan un menor número de conmutaciones cuando exista un cambio de estado.

### 3.3 Diseño de la topología multinivel utilizada.

---

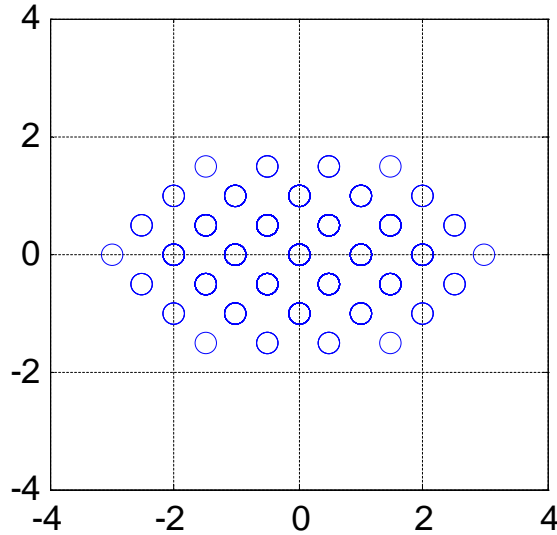
A estos estados los transformamos al plano d-q, como se describió en el capítulo anterior por medio de la ecuación:

$$\begin{bmatrix} d_{transf} \\ q_{transf} \end{bmatrix} = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} V_{R1} \\ V_{R2} \\ V_{R3} \end{bmatrix} \quad (3.6)$$

En donde n es el número de niveles que es igual a 4.

$$\begin{bmatrix} d_{transf} \\ q_{transf} \end{bmatrix} = \frac{1}{3} \cdot \frac{4-1}{V_{DC}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} V_{R1} \\ V_{R2} \\ V_{R3} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} V_{R1} \\ V_{R2} \\ V_{R3} \end{bmatrix} \quad (3.7)$$

Y se obtiene el espacio vectorial de los estados del inversor, el cual se muestra en la Figura 3.15, y los valores en la Tabla 3.3.



**Figura 3.15.:** Espacio vectorial normalizado del inversor de 4 niveles.



### 3.3 Diseño de la topología multinivel utilizada.

R	S	T	A	B	C	D	E	F	decimal	$V_{R1}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	128	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	0	0	0	1	0	0	132	-2/3	4/3	-2/3	-1	1
0	1	0	1	0	0	1	1	0	166	-1	2	-1	-1,5	1,5
1	0	0	0	0	0	0	0	0	256	2/3	-1/3	-1/3	1	0
1	1	0	0	0	0	0	0	0	384	1/3	1/3	-2/3	0,5	0,5
0	1	0	0	0	0	0	1	0	130	0	1	-1	0	1
0	1	0	0	0	0	1	1	0	134	-1/3	2/3	-1/3	-0,5	1,5
1	0	0	0	0	1	0	1	0	266	4/3	-2/3	-2/3	2	0
0	1	0	0	1	1	0	1	0	154	1	0	-1	1,5	0,5
0	1	0	0	1	0	0	1	0	146	2/3	2/3	-4/3	1	1
0	1	0	0	1	0	1	1	0	150	1/3	4/3	-5/3	0,5	1,5
1	0	0	0	1	1	0	1	0	282	2	-1	-1	3	0
1	0	0	0	1	0	0	1	0	274	5/3	-1/3	-4/3	2,5	0,5
1	0	0	0	1	0	1	1	0	278	4/3	1/3	-5/3	2	1
1	1	0	0	1	0	1	1	0	406	1	1	-2	1,5	1,5
0	0	1	0	0	0	0	0	0	64	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	0	0	0	0	0	1	65	-2/3	-2/3	3/4	-1	-1
0	0	1	1	0	1	0	0	1	105	-1	-1	2	-1,5	-1,5
0	1	1	0	0	0	0	0	0	192	-2/3	1/3	1/3	-1	0
0	0	1	0	0	0	1	0	1	69	-1	0	1	-1,5	-0,5
0	0	1	1	0	0	0	0	1	97	-4/3	-1/3	5/3	-2	-1
0	0	1	1	0	0	1	1	0	102	-1	1	0	-1,5	0,5
0	0	1	1	0	0	1	0	0	100	-4/3	2/3	2/3	-2	0
0	0	1	1	0	0	1	0	1	101	-5/3	1/3	4/3	-2,5	-0,5
0	1	0	1	0	0	1	0	0	164	-4/3	5/3	-1/3	-2	1
0	1	0	1	0	0	1	0	1	165	-5/3	4/3	1/3	-2,5	0,5
0	1	1	1	0	0	1	0	1	229	-2	1	1	-3	0
1	0	1	0	0	0	0	0	0	320	1/3	-2/3	1/3	0,5	-0,5
0	0	1	0	0	1	0	0	0	72	0	-1	1	0	-1
0	0	1	0	0	1	0	0	1	73	-1/3	-4/3	5/3	-0,5	-1,5
0	0	1	0	1	1	0	1	0	90	1	-1	0	1,5	-0,5
0	0	1	0	1	1	0	0	0	88	2/3	-4/3	2/3	1	-1
0	0	1	0	1	1	0	0	1	89	1/3	-5/3	4/3	0,5	-1,5
1	0	0	0	1	1	0	0	0	280	5/3	-4/3	-1/3	2,5	-0,5
1	0	0	0	1	1	0	0	1	281	4/3	-5/3	1/3	2	-1
1	0	1	0	1	1	0	0	1	345	1	-2	1	1,5	-1,5

**Tabla 3.3.:** Estados utilizados en este trabajo transformado al plano d-q.

### 3.3.4. Máxima tensión que puede generar el inversor.

Para calcular la máxima tensión que puede generar el inversor partimos de la ecuación de normalización descrita en el Paso 1 en la Subsección 2.1.3, en donde  $V_{RMS}$  es el voltaje eficaz fase neutro que deseamos obtener a la salida del inversor.

$$u^* = \begin{bmatrix} u_d^* \\ u_q^* \end{bmatrix} = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} \sqrt{2} \cdot V_{RMS} \cdot \sin(\theta) \\ \sqrt{2} \cdot V_{RMS} \cdot \sin(\theta + 120^\circ) \\ \sqrt{2} \cdot V_{RMS} \cdot \sin(\theta + 240^\circ) \end{bmatrix} \quad (3.8)$$

Separando el componente d tenemos.

$$u_d^* = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \cdot \left[ \sqrt{2} \cdot V_{RMS} \cdot \sin(\theta) - \frac{\sqrt{2} \cdot V_{RMS} \cdot \sin(\theta + 120^\circ)}{2} - \frac{\sqrt{2} \cdot V_{RMS} \cdot \sin(\theta + 240^\circ)}{2} \right] \quad (3.9)$$

Sabiendo que el número de niveles del inversor es 4 y aplicando la identidad trigonométrica  $\sin(\alpha + \beta) = \sin(\alpha) \cdot \cos(\beta) + \sin(\beta) \cdot \cos(\alpha)$  se obtiene.

$$u_d^* = \frac{1}{3} \cdot \frac{4-1}{V_{DC}} \cdot \frac{\sqrt{2}}{2} \cdot V_{RMS} \cdot [2 \cdot \sin(\theta) - \sin(\theta) \cdot \cos(120^\circ) - \sin(120^\circ) \cdot \cos(\theta) - \sin(\theta) \cdot \cos(240^\circ) - \sin(240^\circ) \cdot \cos(\theta)] \quad (3.10)$$

Si se sabe que  $\cos(120^\circ) = \cos(240^\circ) = -0,5$ , que  $\sin(120^\circ) = \sqrt{3}/2$  y que  $\sin(240^\circ) = -\sqrt{3}/2$ .

$$u_d^* = \frac{V_{RMS}}{\sqrt{2} \cdot V_{DC}} \cdot \left[ 2 \cdot \sin(\theta) + 0,5 \cdot \sin(\theta) - \frac{\sqrt{3}}{2} \cdot \cos(\theta) + 0,5 \cdot \sin(\theta) + \frac{\sqrt{3}}{2} \cdot \cos(\theta) \right] \quad (3.11)$$

Simplificando se obtiene.

$$u_d^* = \frac{V_{RMS}}{\sqrt{2} \cdot V_{DC}} \cdot [3 \cdot \sin(\theta)] = \frac{3}{\sqrt{2}} \cdot \frac{V_{RMS}}{V_{DC}} \cdot \sin(\theta) \quad (3.12)$$

### 3.3 Diseño de la topología multinivel utilizada.

---

Ahora separamos el componente q.

$$u_q^* = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \cdot \left[ \frac{\sqrt{3}}{2} \cdot \sqrt{2} \cdot V_{RMS} \cdot \sin(\theta + 120^\circ) - \frac{\sqrt{3}}{2} \cdot \sqrt{2} \cdot V_{RMS} \cdot \sin(\theta + 240^\circ) \right] \quad (3.13)$$

Sabiendo que el número de niveles del inversor es 4 y aplicando la identidad trigonométrica  $\sin(\alpha + \beta) = \sin(\alpha) \cdot \cos(\beta) + \sin(\beta) \cdot \cos(\alpha)$  se obtiene.

$$u_q^* = \frac{1}{3} \cdot \frac{4-1}{V_{DC}} \cdot \frac{\sqrt{3}}{\sqrt{2}} \cdot V_{RMS} \cdot [\sin(\theta) \cdot \cos(120^\circ) + \sin(120^\circ) \cdot \cos(\theta) - \sin(\theta) \cdot \cos(240^\circ) - \sin(240^\circ) \cdot \cos(\theta)] \quad (3.14)$$

Si se sabe que  $\cos(120^\circ) = \cos(240^\circ) = -0,5$ , que  $\sin(120^\circ) = \sqrt{3}/2$  y que  $\sin(240^\circ) = -\sqrt{3}/2$ .

$$u_q^* = \frac{\sqrt{3} \cdot V_{RMS}}{\sqrt{2} \cdot V_{DC}} \cdot \left[ -0,5 \cdot \sin(\theta) + \frac{\sqrt{3}}{2} \cdot \cos(\theta) + 0,5 \cdot \sin(\theta) + \frac{\sqrt{3}}{2} \cdot \cos(\theta) \right] \quad (3.15)$$

Simplificando se obtiene.

$$u_q^* = \frac{\sqrt{3} \cdot V_{RMS}}{\sqrt{2} \cdot V_{DC}} \cdot [\sqrt{3} \cdot \cos(\theta)] = \frac{3}{\sqrt{2}} \cdot \frac{V_{RMS}}{V_{DC}} \cdot \cos(\theta) \quad (3.16)$$

A esto le aplicamos el achatamiento descrito en el paso 2 en el eje q.

$$u_{q*}^* = \frac{1}{\sqrt{3}} \cdot \left[ \frac{3 \cdot V_{RMS}}{\sqrt{2} \cdot V_{DC}} \cdot \cos(\theta) \right] = \sqrt{\frac{3}{2}} \cdot \frac{V_{RMS}}{V_{DC}} \cdot \cos(\theta) \quad (3.17)$$

Ahora como se puede ver en la Figura 3.16 el máximo valor de salida que puede entregar el inversor sin que se sature, se da cuando el vector de referencia se encuentra a  $0^\circ$  o  $180^\circ$ , es decir cuando en  $E_b$  o  $E_c$  es igual a 3 según el espacio

### 3.3 Diseño de la topología multinivel utilizada.

vectorial del inversor de 4 niveles, este valor los reemplazamos en la Ecuación 2.69 que nos sirve para calcular los componentes d y q del vector de referencia.

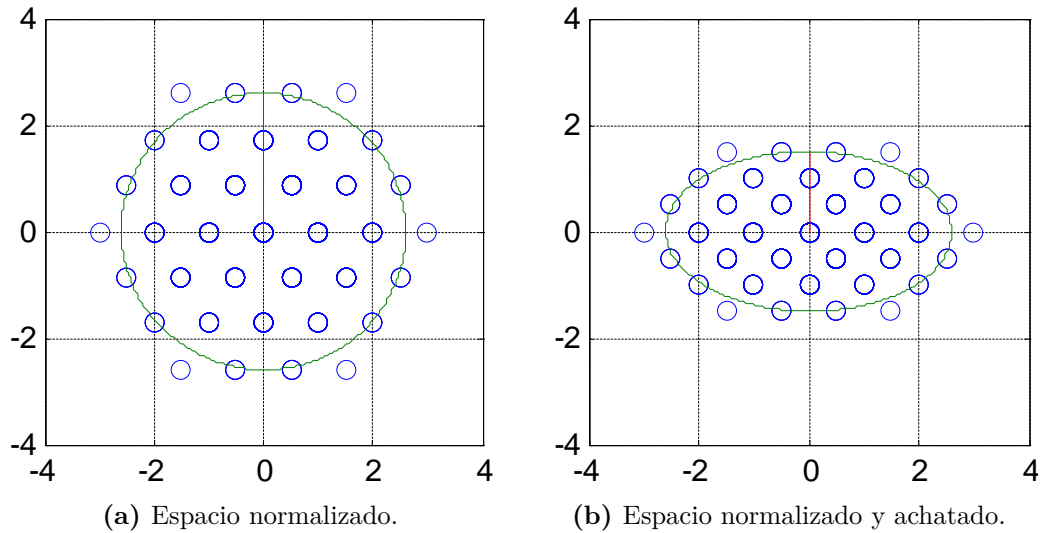
$$\begin{bmatrix} u_{dn}^{E_a,3,0} \\ u_{qn}^{E_a,3,0} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} E_a \\ 3 \\ 0 \end{bmatrix} = \left(E_a - \frac{3}{2}\right) + j \cdot \frac{3}{2} \quad (3.18)$$

Reemplazando el valor del componente q la ecuación de normalización Ecuación 3.17, en donde el angulo es de  $0^\circ$  resulta.

$$\frac{3}{2} = \sqrt{\frac{3}{2}} \cdot \frac{V_{RMSmax}}{V_{DC}} \cdot \cos(0^\circ) \quad (3.19)$$

Despejando

$$V_{RMSmax} = \sqrt{\frac{3}{2}} \cdot V_{DC} \quad (3.20)$$



**Figura 3.16.:** Espacio vectorial en donde el inversor no se satura.

El espacio vectorial en donde el inversor no se satura se encuentra dentro de la circunferencia en la Figura 3.16a y dentro de la elipse en la Figura 3.16b.

## 4. Programación del algoritmo de control.

### 4.1. Sistema FPGA.

“Desde que Xilinx los inventó en 1984, los FPGA’s han pasado de ser sencillos chips de lógica de acoplamiento a reemplazar a los circuitos integrados de aplicación específica (ASIC’s) y procesadores para procesamiento de señales y aplicaciones de control”[17].

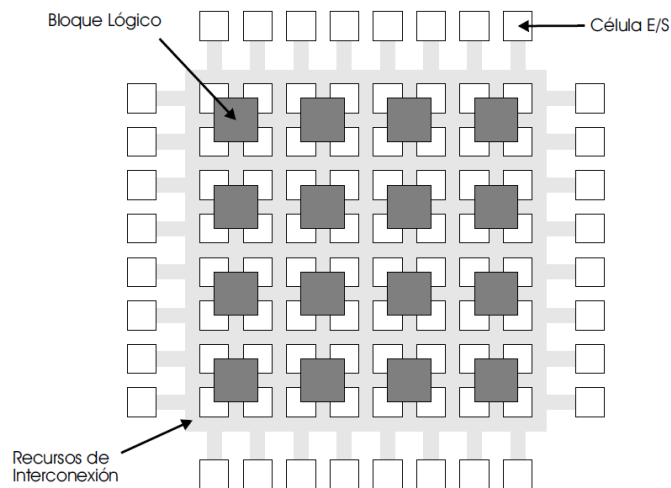
Esto se debe principalmente a que los FPGA’s son bloques de lógica pre-construidos los cuales se unen entre sí para generar bloques de hardware complejo sin tener que utilizar una tablilla de prototipos o un caudín, solo con la descripción del hardware a través de programas especializados, con lo que hace que los FPGA’s sean completamente reconfigurables.

#### 4.1.1. ¿Qué es un FPGA?.

Las FPGA’s son dispositivos lógicos para propósito general[18], los cuales son programados por los usuarios, estos contienen bloques lógicos pre-construidos comunicados por conexiones programables y bloques de entrada/salida, como se ve en la Figura 4.1.

Los elementos básicos que constituyen un FPGA como los de Xilinx son:

- Bloques lógicos: conocidos como CLB, son bloques que combinan desde simples compuertas, hasta bloques complejos que incluyen compuertas AND conectadas en forma de matriz a otra matriz de compuertas OR más bistables como los PLD, en donde se interconectan y actúan para generar una salida en función de una entrada.
- Células E/S: por donde ingresan y salen señales al exterior para interactuar con otros dispositivos.



**Figura 4.1.:** Estructura general de un FPGA[2].

- Recursos de interconexión: que son buses por donde circula la información entre los distintos CLB y/o células E/S.
- Memoria RAM: una memoria dentro del FPGA encargada de configurar los bloques y conectarlos.

Los FPGA's son circuitos integrados en los que se describe su comportamiento por medio de software y lenguaje especializado, y al momento de funcionar puede tener varios bloques funcionando paralelamente, es decir que cada proceso pueden o no ser independientes entre sí. Como resultado, el rendimiento de una parte de la aplicación no se ve afectado cuando se agregan otros procesos.

### 4.1.2. Tipos de FPGA's.

Según [18] los FPGA se pueden clasificar por:

#### Fabricantes:

- Actel.
- Altera.
- Atmel
- Lattice Semiconductor.
- SiliconBlue Technologies.
- Achronix .
- QuickLogic.

**Por la tecnología de la memoria de programación:**

- Volátiles: Basadas en RAM, en donde al quitar la alimentación se borra la descripción hecha, por lo que se requiere de una memoria externa no volátil para configurarlo al arrancar.
- No volátil: basada en ROM.
  - Reprogramables: basadas en EPROM o flash, en donde una descripción se borra y se puede volver grabar una nueva.
  - No reprogramables: basadas en fusibles, en donde solo se puede cargar una descripción en el FPGA.

**Por su tamaño:** El cual se mide en la cantidad de compuertas que contiene.

- PLD: hasta 2.5 kcompuertas.
- CPLD: hasta 15 kcompuertas.
- FPGA: hasta 4 Mcompuertas.

**Por su arquitectura[2]:**

- Matriz simétrica con los de Xilinx.
- Basada en canales, ACTEL.
- Mar de compuertas, ORCA.
- PLD jerárquica, ALTERA O CPLD's de Xilinx.

#### **4.1.3. Ventajas y desventajas de los FPGA's.**

**Ventajas:**

- Son dispositivos reconfigurables.
- Bajo costo respecto a los ASIC.
- Los circuitos se ejecutan más rápido que en otros dispositivos reprogramables como microcontroladores.
- Al ser circuitos digitales, la ejecución de cada bloque es en paralelo, no así en un microcontrolador.
- Son útiles para realizar prototipos que luego serán llevados a ASIC si es necesario.

### **Desventajas:**

- Al estar basadas en RAM, pierden su configuración al suprimir la energía (hay soluciones a ello).
- Poseen retardos de propagación mayores a los existentes en ASIC.
- Al aumentar la densidad del dispositivo su costo también aumenta considerablemente.
- No pueden competir en velocidades máximas ni en consumo con respecto a los ASIC's pero en algunas aplicaciones es suficiente.

### **4.1.4. Lenguajes de programación para FPGA.**

Los lenguajes de programación para FPGA's, son conocidos como lenguajes de descripción de hardware HDL los más utilizados son:

- VHDL.
- Verilog
- ABEL.

#### **VHDL.**

VHDL que vienen del acrónimo de VHSIC y HDL, donde VHSIC es el Very High Speed Integrated Circuit y HDL es Hardware Description Language, es un lenguaje de descripción de hardware definido por el IEEE 1076-1993, fue iniciado en los años 80 como un proyecto del Departamento de la Defensa de Estados Unidos llamado VHSIC, como una manera de describir circuitos integrados, ya que cada día estos eran más complicados, y el coste de reponerlos cada vez era mayor, porque no estaban correctamente documentados, entonces VHDL nació como una manera estándar de documentar los circuitos, entonces en 1983 se concedió a Intermetrics, IBM y Texas Instruments el contrato para desarrollar VHDL

Luego en 1987 el trabajo fue cedido al IEEE, y a partir de ese momento es un estándar abierto, y como un estándar IEEE, VHDL deben someterse a un proceso de revisión cada 5 años (o antes), para asegurar su continuidad de la relevancia de la industria, esto se realizó en 1993 donde el lenguaje fue revisado y ampliado, pasando a ser estándar IEEE 1076-1993 y en el 2000 su última modificación[19].



### **Verilog.**

Verilog fue inventado por Phil Moorby en 1985, quien quería un lenguaje con una sintaxis similar a la del lenguaje de programación C, de tal manera que le fuera familiar a los ingenieros, esto cuando trabajaba en Automated Integrated Design Systems, que luego fue comprada por Cadence Design Systems en 1990.

Luego con el creciente éxito de VHDL, Cadence decidió hacer Verilog un lenguaje abierto, que fue primero estandarizado por medio de OVI (Open Verilog International) y después enviado a la IEEE que lo convirtió en el estándar IEEE 1364-1995, habitualmente referido como Verilog 95, luego continuaron los trabajos sobre este estándar y se creó el IEEE 1364-2001, el mismo que tuvo muchos errores que fueron revisados y corregidos en la versión del 2003, conocida en la IEEE 1364-2001 revisión C.

### **ABEL.**

ABEL es el acrónimo de Advanced Boolean Expression Language, es un lenguaje de descripción de hardware creado en 1983 por Data I/O Corporation en Redmond, Washington.

Este lenguaje de descripción de hardware puede describir el comportamiento de un sistema en variedad de formas, incluyendo ecuaciones lógicas, tablas de verdad y diagramas de estados usando sentencias parecidas a las de C.

## **4.2. Simulación del algoritmo de control.**

### **4.2.1. Simulación del algoritmo de consideraciones geométrica en Matlab.**

En esta sección se describe los pasos realizados para simular el algoritmo de consideraciones geométricas mediante un software comercial de análisis matemático como es Matlab.

Lo primero que realizamos es abrir el archivo con los 37 estados del inversor seleccionados descritos en la Tabla 3.3, como ya se mencionó estos estados están normalizados, es decir que se calculó su valor con fuentes de tensión de 1V para que se pueda multiplicar su valor por un nivel de tensión cualquiera al momento de simular el algoritmo.

## 4.2 Simulación del algoritmo de control.

---

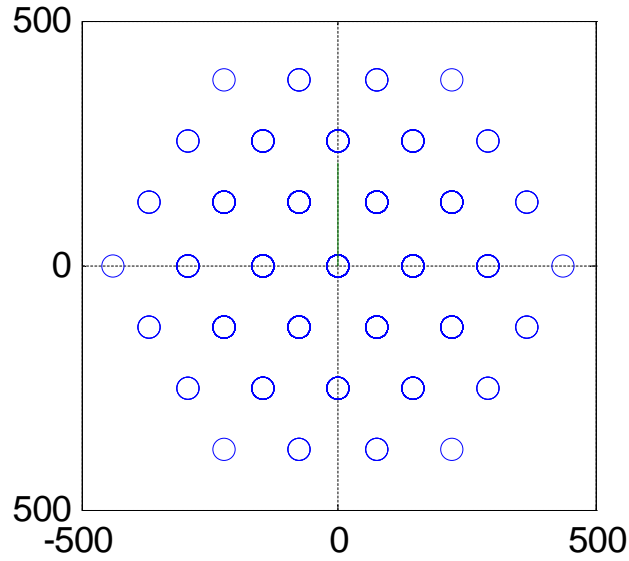
A estos estados lo multiplicamos por un valor de tensión de 179v que lo establecimos por motivos de simulación.

$$V_{DC} = 179v \quad (4.1)$$

Luego de multiplicarlo por 179v, realizamos la transformada de Clark de los estados por medio de la siguiente ecuación.

$$e = \begin{bmatrix} e_d \\ e_q \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.2)$$

Con los valores transformados dibujamos los estados en el plano d-q como se ve en la Figura 4.2.



**Figura 4.2.:** Espacio vectorial y vector de referencia sin alterar.

Ahora elegimos un valor de tensión a la salida del inversor que en este caso es 120v, el mismo que es un valor RMS.

$$V_{RMS} = 120v \quad (4.3)$$

## 4.2 Simulación del algoritmo de control.

---

Con este valor generamos el valor de voltaje en cada fase del sistema trifásico en un tiempo 0 es decir a un ángulo  $0^\circ$ , el mismo que es un valor pico.

$$v_a = \sqrt{2} \cdot V_{RMS} \cdot \sin(0^\circ) = \sqrt{2} \cdot 120v \cdot \sin(0^\circ) = 0v \quad (4.4)$$

$$v_b = \sqrt{2} \cdot V_{RMS} \cdot \sin(120^\circ) = \sqrt{2} \cdot 120v \cdot \sin(120^\circ) = 146,96v \quad (4.5)$$

$$v_c = \sqrt{2} \cdot V_{RMS} \cdot \sin(240^\circ) = \sqrt{2} \cdot 120v \cdot \sin(240^\circ) = -146,96v \quad (4.6)$$

Ahora realizamos la transformada de Park de los voltajes con la siguiente ecuación.

$$u = \begin{bmatrix} u_d \\ u_q \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} 0 \\ 207,85 \end{bmatrix} \quad (4.7)$$

La transformación nos resulta un vector que se puede ver en la Figura 4.2, con esto vemos los estados del inversor y el vector de referencia en un plano sin modificar. Ahora vamos a aplicar el algoritmo de consideraciones geométricas a los datos descritos anteriormente.

Lo primero es transformar los estados del inversor multiplicados por 179v por medio de la transformada de Clark normalizada descrita en la Subsección 2.1.3, en el paso 1, por medio de la ecuación.

$$e^* = \begin{bmatrix} e_d^* \\ e_q^* \end{bmatrix} = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.8)$$

Con lo que nos da los estados en el espacio vectorial normalizado mostrado en la Figura 4.3.

## 4.2 Simulación del algoritmo de control.

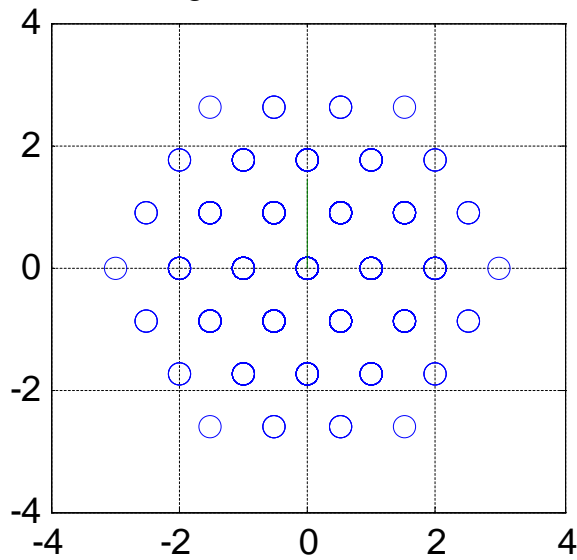
De la misma manera realizamos la normalización de las tensiones de las fases por medio de la ecuación.

$$u^* = \begin{bmatrix} u_d^* \\ u_q^* \end{bmatrix} = \frac{1}{3} \cdot \frac{n-1}{V_{DC}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.9)$$

Remplazamos los valores de voltaje  $V_a$ ,  $V_b$  y  $V_c$  y con 4 niveles, es decir  $n=4$ , encontrados anteriormente.

$$u^* = \frac{1}{3} \cdot \frac{3-1}{V_{DC}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} 0v \\ 146,96v \\ -146,96v \end{bmatrix} = \begin{bmatrix} 0 \\ 1,4221 \end{bmatrix} \quad (4.10)$$

Con lo que nos da el vector de referencia normalizado, mostrado en la Figura 4.3.



**Figura 4.3.:** Espacio vectorial y vector de referencia normalizado.

Ahora realizamos el achatamiento del espacio vectorial y del vector de referencia por medio de las ecuaciones.

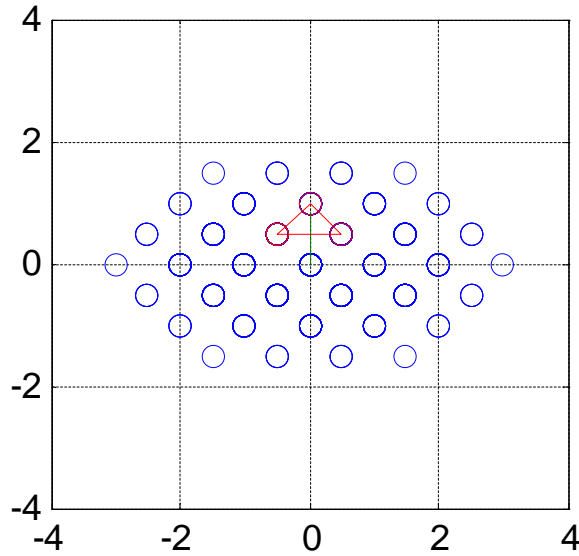
$$e^*_{transformado} = Re\{e^*\} + j\frac{1}{\sqrt{3}}Im\{e^*\} \quad (4.11)$$

$$u^*_{transformado} = Re\{u^*\} + j\frac{1}{\sqrt{3}}Im\{u^*\} \quad (4.12)$$

Reemplazamos el valor de  $u^*$  encontrado anteriormente y nos da.

$$u^*_{transformado} = Re\{0 + j1,4221\} + j\frac{1}{\sqrt{3}}Im\{0 + j1,4221\} = 0 + j0,8211 \quad (4.13)$$

Con lo que nos da un espacio vectorial y un vector de referencia con el mostrado en la Figura 4.4.



**Figura 4.4.:** Espacio vectorial y vector de referencia normalizado y achatado.

Luego realizamos los cálculos de la zona, triángulo, estados y tiempos de conmutación que nos da como resultado.

**Zona**

$$Zona = 1$$

**Vértice del sector triangular**

$$e_a = 0$$

$$e_b = 1$$

$$e_c = 0$$

### Triángulo

$$triángulo = 1$$

### Estados a conmutar en el inversor

$$1^\circ: [e_a, e_b, e_c] = [0, 1, 0]$$

$$2^\circ: [e_{a+1}, e_b, e_c] = [1, 1, 0]$$

$$3^\circ: [e_{a+1}, e_{b+1}, e_c] = [1, 2, 0]$$

### Tiempos de conmutación.

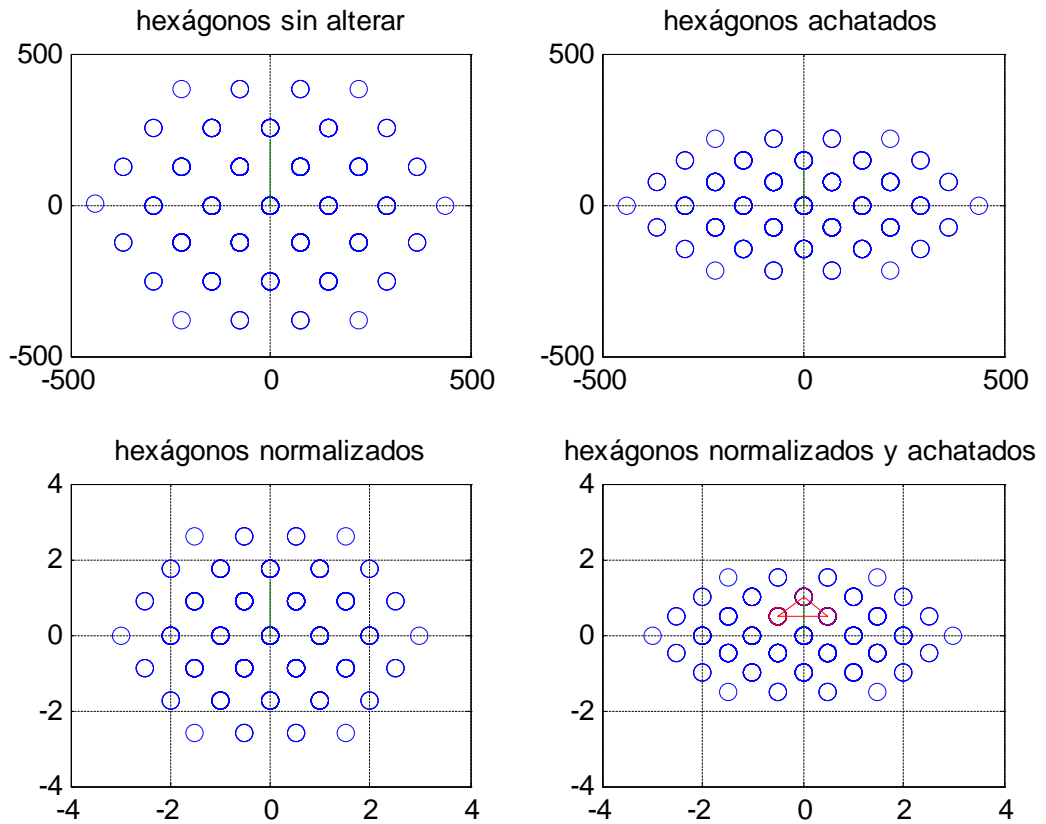
$$t1 = 0,1789$$

$$t2 = 0,1789$$

$$t3 = 0,6421$$

El algoritmo completo para la simulación se encuentra en el Apéndice B.

En la Figura 4.5 se muestran los espacios vectoriales en las distintas etapas del algoritmo.



**Figura 4.5.:** Espacios vectoriales en las distintas etapas del algoritmo.

### **4.3. Diagrama de bloques del algoritmo de control.**

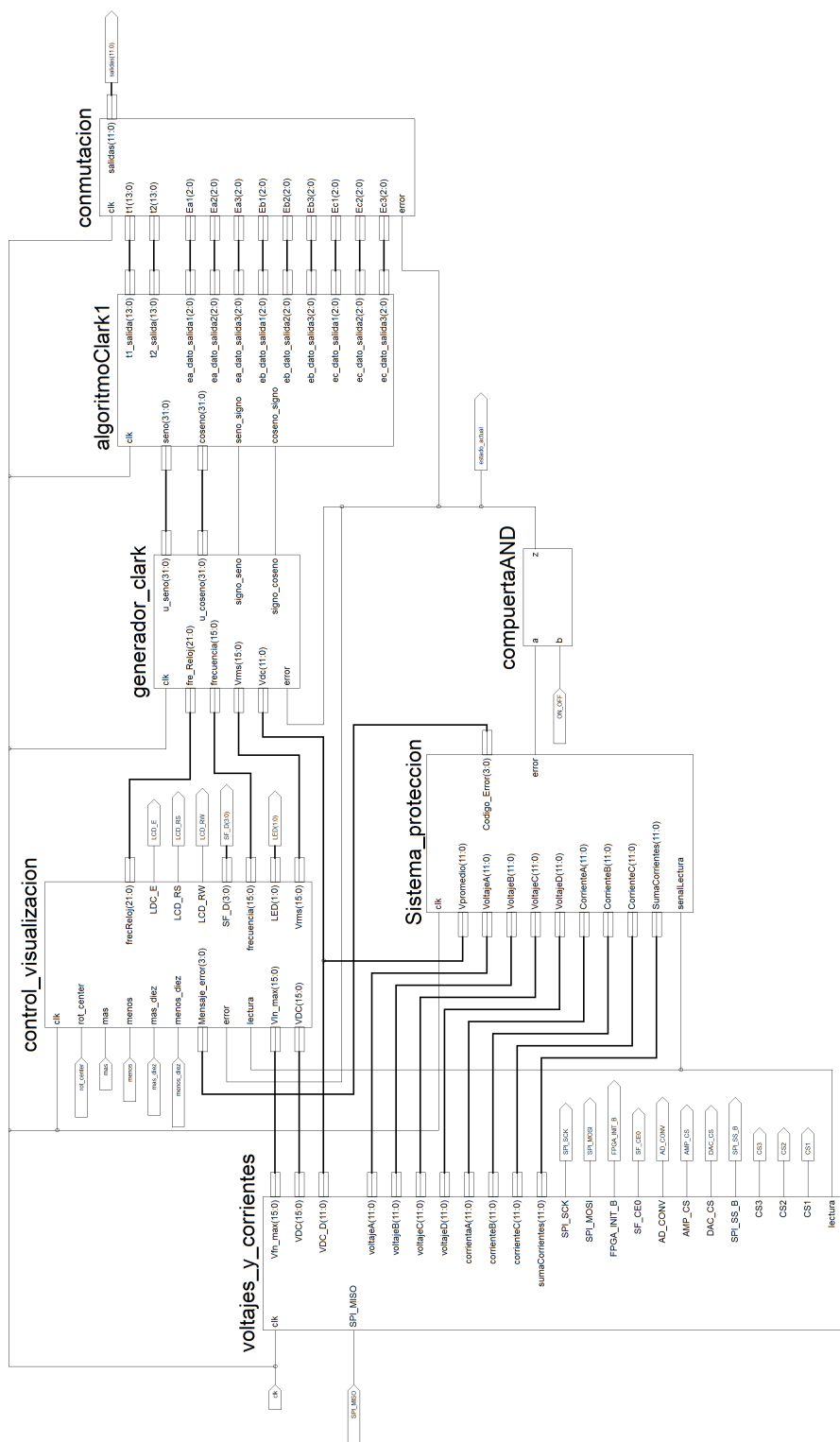
Como ya se menciona en la Sección 2.2 el sistema de control, consta de varios bloques, que van desde el sensado de las corrientes y voltajes, hasta los de generación de los tiempos y estados del inversor, este sistema de control esta montado sobre una placa de entrenamiento “MicroBlaze Development Kit Spartan-3E 1600E” comercializada por Digilent y programada en VHDL por medio de Xilinx ISE Design Suite 13.1.

La interconexión de los bloques programados en el sistema FPGA se muestra en la Figura 4.6, en estos bloques ingresan las distintas señales desde el exterior como son medidas de la tensión de las fuentes y las corrientes de la carga, las mismas son adquiridas por medio de conversores analógicos digitales que se comunican al FPGA por medio de un protocolo SPI, con estas señales y por medio de otros bloques se calculan los tiempos y estados de conmutación al igual que las condiciones para que el sistema sea seguro, en caso contrario se apaga la salida.

Luego del calculado de los tiempos y estados de conmutación se activan las salidas necesarias para activar los IGBT, que se encargan de conectar la carga a los distintos niveles de tensiones proporcionados por la fuente.

Todos estos bloques se describen más detalladamente a continuación y su correspondencia con el sistema de control descrito en la Sección 2.2.

### 4.3 Diagrama de bloques del algoritmo de control.



**Figura 4.6.:** Diagrama de bloques montado en el sistema FPGA.



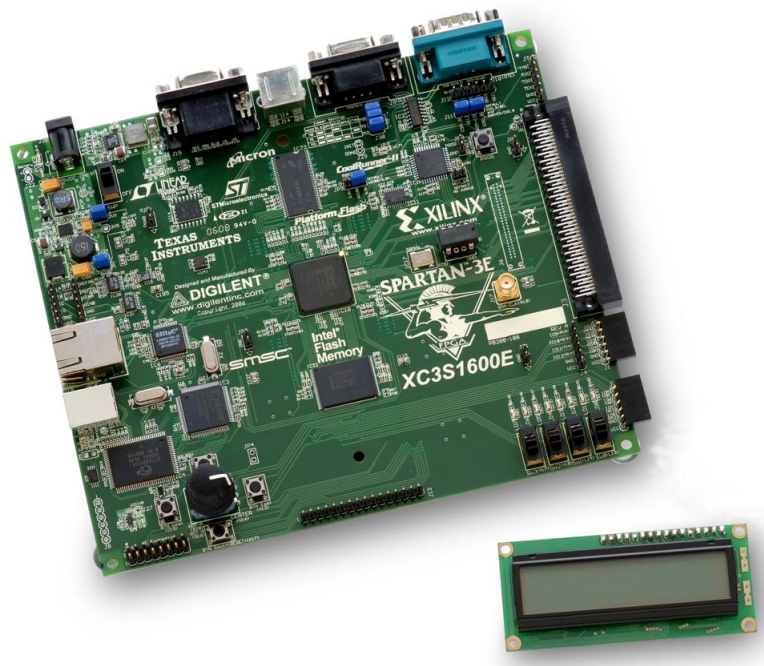
##### 4.3.1. MicroBlaze Development Kit Spartan-3E 1600E.

La placa de entrenamiento “MicroBlaze Development Kit Spartan-3E 1600E” es un sistema electrónico basado en FPGA desarrollada por Digilent, el mismo que es pensado para desarrollar aplicaciones sobre el softcore MicroBlaze y en general para aplicaciones desarrolladas en lenguajes de descripción de hardware.

Esta placa de entrenamiento contiene varios periféricos de entrada y/o salida para la comunicación con el exterior, entre estos periféricos y demás componentes tenemos:

- Un FPGA Xilinx XC3S1600E Spartan-3E.
- Dos memorias Xilinx 4 Mbit Platform Flash de configuración PROM.
- Un CPLD Xilinx 64-macrocell XC2C64A CoolRunner.
- Una memoria de 64 MByte (512 Mbit) DDR SDRAM, x16 data interface, 100+ MHz.
- Una memoria de 16 MByte (128 Mbit) paralela NOR Flash (Intel StrataFlash).
- Una memoria de 16 Mbits SPI serial Flash (STMicro).
- Pantalla LCD 2 x 16.
- Puerto PS/2 para mouse o teclado.
- Un puerto VGA.
- Un puerto 10/100 Ethernet PHY.
- Dos conectores RS-232 (estilo DTE y DCE)
- Un interface de descarga y depuración USB.
- Osciladores de 50 MHz y 66 MHz.
- Un conector de expansión Hirose FX2 con 40-user I/O.
- Tres conectores de expansión Digilent 6-pines.
- Cuatro conversores digitales a analógicos, basadas en SPI.
- Dos entradas analógicas a digitales con preamplificador de ganancia programable, basadas en SPI.
- Puerto de depuración para análisis en ChipScope™.
- Encoder rotativo con botón central.

- Ocho LEDs.
- Cuatro interruptores.
- Cuatro pulsantes.
- Entrada SMA para reloj.
- Zócalo DIP-8 para oscilador auxiliar.



**Figura 4.7.:** Tarjeta MicroBlaze Development Kit Spartan-3E 1600E[3].

#### 4.3.2. Voltajes y corrientes.

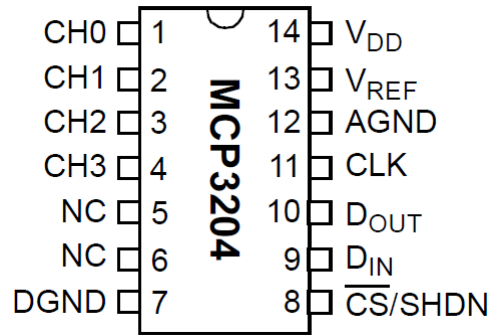
En este bloque se realiza las funciones del *sensado de la tensión de las fuentes* y del *sensado de las corrientes en la carga*, este sensado se realizo mediante conversores analógicos digitales MCP3204 en configuración diferencial y simple, se utilizo la configuración diferencial para la medición de la tensión de las fuentes estos porque el inversor es de fuentes independientes y la configuración simple para la medición de las corrientes en la carga ya que se utilizan sensores de efecto Hall para este propósito.

En esta sección se describe la configuración, protocolo de comunicación y programación de los ADC's usados, también describiremos las operaciones hechas sobre los datos generados por los ADC's para su utilización en los demás bloques.

#### 4.3.2.1. Corversor MCP3204.

El MCP 3204 es un ADC de aproximaciones sucesivas de 12 bits, construido por Microchip Technology Inc. tiene la característica que es programable para proporcionar 2 canales pseudo-diferenciales o 4 canales simples de conversión[4].

Su comunicación con otros dispositivos se realiza mediante una interfaz serie compatible con el protocolo SPI, su máxima tasa de conversión es de hasta a 100 ksp/s y soporta rangos de alimentación de 2.7V a 5.5V, su distribución de pines se puede ver en la Figura 4.8.



**Figura 4.8.:** Distribución de pines del MCP3204[4].

La descripción de cada pin se puede ver en la Tabla 4.1.

Nombre	Función
$V_{DD}$	Alimentación +2.7v a 5.5v
$DGND$	Tierra digital
$AGND$	Tierra analógica
$CH0 - CH4$	Entradas analógicas
$CLK$	Señal de clock
$D_{IN}$	Dato serial de ingreso
$D_{OUT}$	Dato serial de salida
$\overline{CS}/SHDN$	Selector de chip/Entrada de apagado
$V_{REF}$	Entrada del voltaje de referencia.

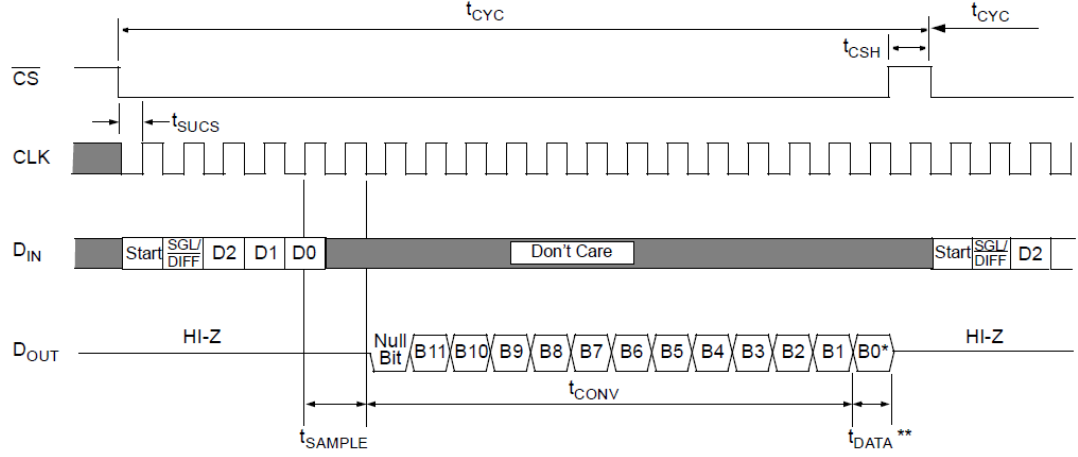
**Tabla 4.1.:** Descripción de los pines del MCP3204[4].

El valor de digital del voltaje de ingreso D, responde a la siguiente ecuación.

$$D = \frac{4096 \cdot V_{IN}}{V_{REF}} \quad (4.14)$$

### 4.3 Diagrama de bloques del algoritmo de control.

Como ya se menciona antes su comunicación con otros dispositivos se realiza mediante un protocolo SPI, en la Figura 4.9 se muestran sus tiempos y bits de comunicación.



**Figura 4.9.:** Comunicación con el MCP3204[4].

La conversión y comunicación inicia cuando en el dispositivo su señal de  $\overline{CS}$  cambia de un 1 lógico a un 0 lógico, entonces esperamos un tiempo de  $T_{SUCS} > 100ns$ , antes de dar los pulsos de reloj que deben tener un  $T_{SAMPLE} > 500ns$ .

Al momento de cambiar la señal  $\overline{CS}$  en el canal de comunicación de salida debe estar presente el bit de Start = 1, con lo cual le indicamos al ADC que vamos a iniciar la conversión, los siguientes 4 bits son de configuración del ADC que se muestran en la Tabla 4.2, luego de enviar el cuarto bit se inicia la conversión del canal seleccionado.

Bits de selección				configuración de entrada	canal seleccionado
simple/dif	D2	D1	D3		
1	X	0	0	canal simple	CH0
1	X	0	1	canal simple	CH1
1	X	1	0	canal simple	CH2
1	X	1	1	canal simple	CH3
0	X	0	0	diferencial	CH0 - CH1
0	X	0	1	diferencial	CH1 - CH0
0	X	1	0	diferencial	CH2 - CH3
0	X	1	1	diferencial	CH3 - CH2

**Tabla 4.2.:** Bits de configuración del MCP3204[4].

Una vez configurado el canal esperamos 2 ciclos de reloj para que el ADC nos envíe valor de voltaje presente en el canal analógico, esto debido a que el ADC necesita 1.5 ciclos de reloj para establecer el primer valor del bit que va a enviar, el ADC envía el valor de la conversión desde el bit más significativo al menos significativo.

Luego de recibido el ultimo bit volvemos a hacer la señal  $\overline{CS} = 1$ , con lo que acaba la transmisión y necesita un tiempo  $T_{CSH} > 500ns$  para que se pueda realizar la siguiente conversión.

#### 4.3.2.2. Sensor de efecto Hall.

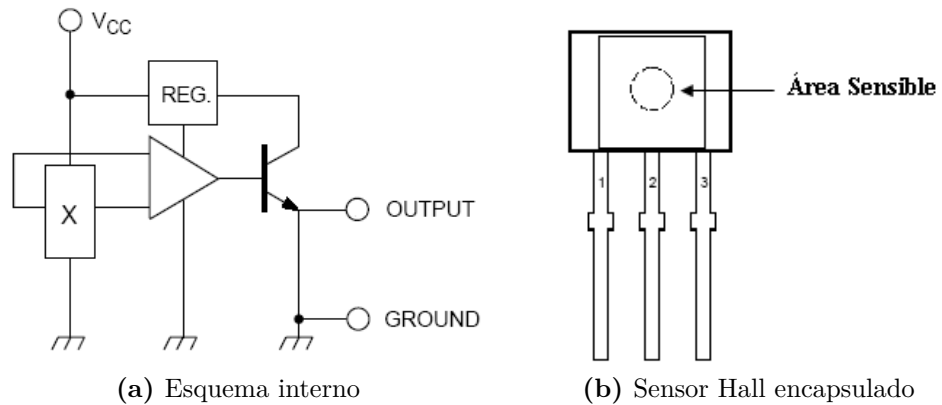
Conocidos también como sensores Hall, son circuitos basados en conductores o semiconductores usados para la medición de campos magnéticos o corrientes o para la determinación de la posición, su funcionamiento se basa en el efecto Hall, descubierto por Edwin C. Hall en 1879, el mismo que enuncia que si fluye corriente por un sensor Hall y se aproxima a un campo magnético perpendicular al flujo de corriente, entonces el sensor crea un voltaje saliente proporcional al producto de la fuerza del campo magnético y de la corriente.

El efecto de generación de voltaje se puede presentar en materiales conductores o semiconductores, pero comercialmente se usa semiconductores, ya que en los materiales conductores como las tiras metálicas las variaciones son muy pequeñas, siendo a menudo enmascaradas por el ruido.

En los dispositivos comerciales se usa generalmente una tira de arseniuro de galio (GaAs) o de indio (InAs), que al polarizarse mediante una corriente constante al ser atravesada por un campo magnético transversal a su superficie, genera un voltaje proporcional a la intensidad del campo, este voltaje es muy débil (aproximadamente  $30\mu V/G$ ) para ser usado en ciertas aplicaciones por lo que es amplificado por un amplificador operacional incorporado en el mismo dispositivo con lo cual se genera una salida útil.

#### 4.3.2.3. Conexión de los ADC's.

Como ya se mencionó antes los ADC's están configurados en modo diferencial para medir las 4 tensiones de las fuentes independientes, por lo tanto se requieren 4 entradas diferenciales proporcionadas por dos MCP3204 y algunos circuitos de acoplamiento.



**Figura 4.10.:** Sensor de efecto Hall[5].

Al mismo tiempo se va a medir las 3 corrientes de carga del sistema trifásico por medio de sensores de efecto Hall montados en los módulos didácticos del laboratorio de potencia de la Universidad Politécnica Salesiana, los mismo que nos entregan un señal de voltaje proporcional a la corriente que circula por los sensores y una ultima medida es la suma la suma de las 3 corrientes de la carga proporcionadas por los módulos de sensores de efecto Hall, todas estas corrientes de miden con un MCP3204 en modo simple que nos proporciona las 4 entradas necesarias y circuitos de acoplamiento.

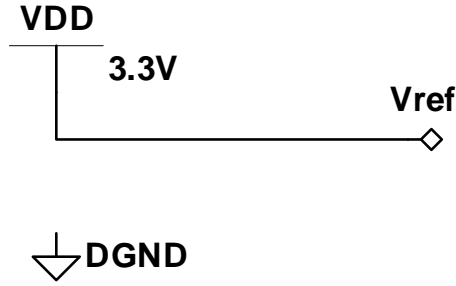
La descripción de la conexión de los MCP3204 y los circuitos de acoplamiento se describe a continuación.

#### **Medición de la tensión de las fuentes.**

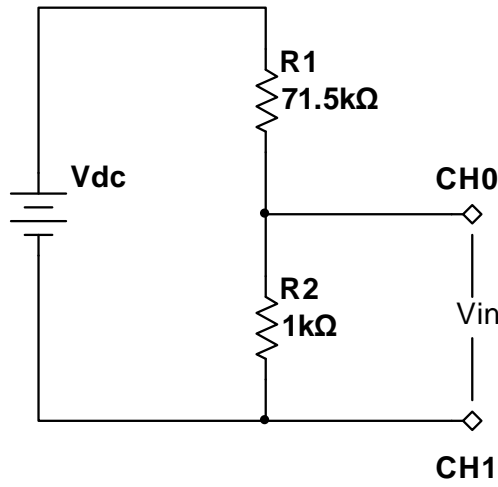
Para la medición de las fuentes de tensión se eligió la configuración diferencial del MCP3204, el mismo esta alimentado por la misma fuente de la tarjeta MicroBlaze Development Kit Spartan-3E 1600E que es de 3.3v, con lo cual se establece un voltaje de referencia también de 3.3v para la medición de las tensiones que esta conectado a la misma fuente de alimentación de la placa.

$$V_{REF} = V_{DD} = 3,3v \quad (4.15)$$

Ahora debido a que el MCP3204 solo mide rangos de voltaje situados entre su alimentación, en nuestro caso de 0v a 3.3v, para medir el voltaje de las fuentes se utilizo un partidor de tensión como circuito de acoplamiento, este se muestra en la Figura 4.12.



**Figura 4.11.:** Circuito de resistencias del voltaje de referencia para la medición de tensión de las fuentes.



**Figura 4.12.:** Partidor de tensión para la medición de la tensión de las fuentes.

Se eligieron estos valores de resistencia  $R1 = 71,5k\Omega \pm 1\%$  y  $R2 = 1k\Omega \pm 1\%$  porque son los que se encontraron en el mercado local, por tanto al conversor le llega un voltaje descrito en la siguiente ecuación.

$$V_{IN} = V_{DC} \cdot \frac{R2}{R1 + R2} = V_{DC} \cdot \frac{1k\Omega}{71,5k\Omega + 1k\Omega} = \frac{V_{DC}}{72,5} \quad (4.16)$$

Como ya se menciona antes el voltaje máximo que puede medir nuestro ADC es de 3.3v, con lo que el voltaje máximo de la fuente también se limita y su valor se muestra a continuación.

$$V_{DCmax} = V_{INmax} \cdot 72,5 = 3,3v \cdot 72,5 = 239,25v \quad (4.17)$$

### 4.3 Diagrama de bloques del algoritmo de control.

Con los valores del voltaje de referencia y el voltaje de ingreso, reemplazamos los mismos en la ecuación proporcionada por el fabricante del MCP3204 y obtenemos el valor que nos entrega el ADC de la siguiente manera.

$$D = \frac{4096 \cdot V_{IN}}{V_{REF}} = \frac{4096 \cdot \frac{V_{DC}}{72,5}}{3,3v} = \frac{16384}{957} \cdot V_{DC} = 17,12 \cdot V_{DC} \quad (4.18)$$

$$LSB = \frac{72,5 \cdot V_{REF}}{4096 - 1} = \frac{72,5 \cdot 3,3v}{4096 - 1} = 0,05842v \quad (4.19)$$

#### Medición de la corriente en la carga.

Para la medición de las corrientes al igual que en la medición de las tensión, el ADC se alimento con la misma fuente de la placa, pero en la parte analógica se alimento con una fuente independiente de 3.3v, la misma que proviene de un adaptador comercial seguido de un regulador de 3.3v , como el que se muestra en la Figura 4.13.

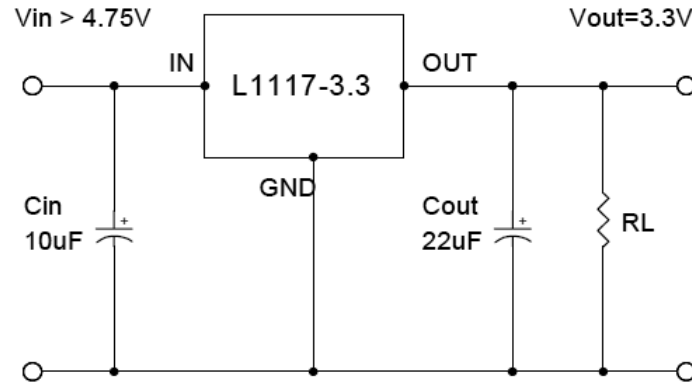


Figura 4.13.: Fuente de 3.3v.

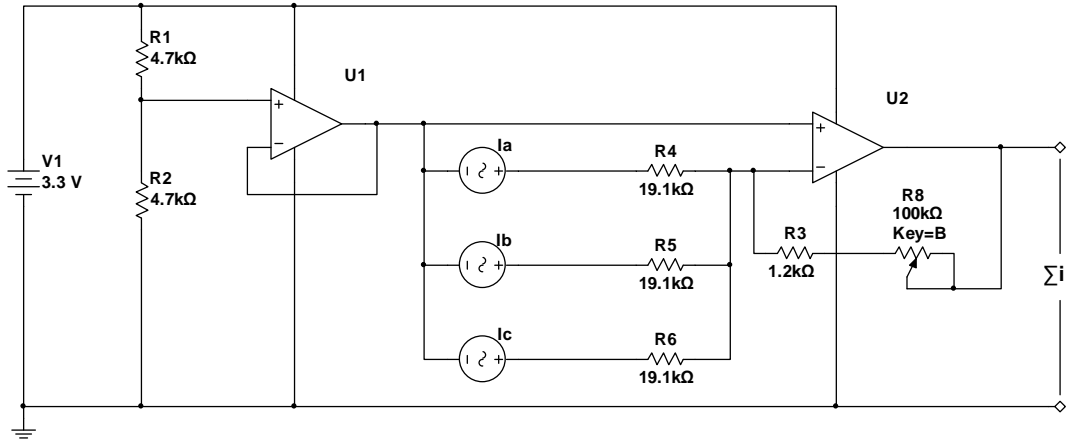
El circuito se armo según las especificaciones indicadas por el fabricante del regulador.

#### Circuito de acoplamiento para la suma de las corrientes.

Para la suma de las corrientes se uso un circuito sumador invertente con amplificadores operacionales, el mismo que es mostrado en la Figura 4.14, este consta de un seguidor de tensión **U1** para generar una referencia de 1.65v en donde se conectaran los sensores de efecto Hall.



### 4.3 Diagrama de bloques del algoritmo de control.



**Figura 4.14.:** Circuito de acoplamiento para la medición de la suma de corrientes.

Los sensores de efecto Hall están representados por fuentes AC con nombres  $I_a$ ,  $I_b$  e  $I_c$ , las mismas se suman y se multiplica por un factor ajustado por el potenciómetro R8, este potenciómetro tiene como propósito el ajustar la sensibilidad del circuito y este factor se muestra a continuación.

$$V_{OUT_{max}} = 1,65v - \frac{100k\Omega + 1,2k\Omega}{19,1k\Omega} \cdot (I_a + I_b + I_c) = 1,65v - 5,3 \cdot (I_a + I_b + I_c) \quad (4.20)$$

$$V_{OUT_{min}} = 1,65v - \frac{0k\Omega + 1,2k\Omega}{19,1k\Omega} \cdot (I_a + I_b + I_c) = 1,65v - 0,063 \cdot (I_a + I_b + I_c) \quad (4.21)$$

Con los valores del voltaje de referencia y el voltaje de ingreso, reemplazamos los mismos en la ecuación proporcionada por el fabricante del MCP3204 y obtenemos el valor que nos entrega el ADC de la siguiente manera.

$$D_{max} = \frac{4096 \cdot V_{OUT_{max}}}{V_{REF}} = \frac{4096 \cdot [1,65v - 5,3 \cdot (I_a + I_b + I_c)]}{3,3v} \quad (4.22)$$

$$= 2048 - 6578,4 \cdot (Ia + Ib + Ic) \quad (4.23)$$

$$G_{max} = -6578,4 \quad (4.24)$$

$$D_{min} = \frac{4096 \cdot V_{OUTmin}}{V_{REF}} = \frac{4096 \cdot [1,65v - 0,063 \cdot (Ia + Ib + Ic)]}{3,3v} \quad (4.25)$$

$$= 2048 - 78,19 (Ia + Ib + Ic) \quad (4.26)$$

$$G_{min} = -78,19 \quad (4.27)$$

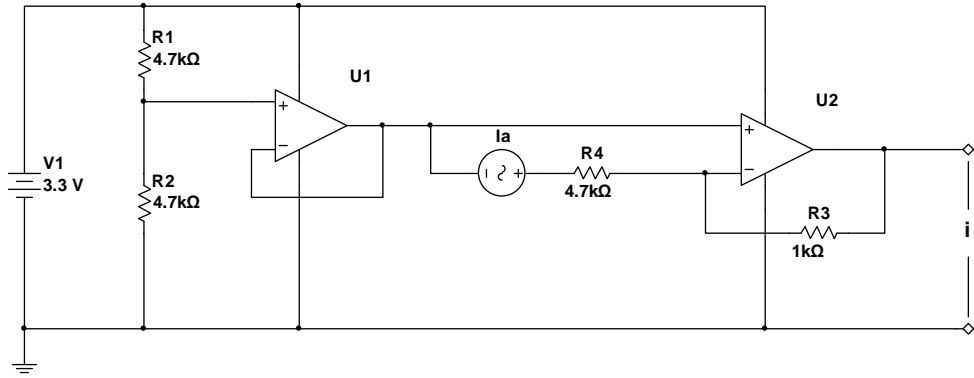
Por tanto cuando la carga es equilibrada, es decir que la suma de las 3 corrientes es igual a cero sin importar el valor de la ganancia, el ADC nos entrega un valor  $D = 2048$ .

#### **Circuito de acoplamiento para medición de las corrientes.**

Para el acoplamiento de los módulos de efecto Hall se uso un circuito invertente con amplificadores operacionales, el mismo que es mostrado en la Figura 4.15, este consta de un seguidor de tensión **U1** para generar una referencia de 1.65v en donde se conectaran los sensores de efecto Hall.

El sensor de efecto Hall esta representado por una fuente AC con nombres  $Ia$ ,  $Ib$  o  $Ic$ , estos sensores están calibrados para medir una corriente máxima de 20A lo que representa un voltaje de 10V a la salida del sensor, con lo que a la salida del circuito acoplador obtenemos el siguiente voltaje.

$$V_{OUT} = 1,65v - \frac{1k\Omega}{4,7k\Omega} \cdot Va \quad (4.28)$$



**Figura 4.15.:** Circuito acoplador para la medición de la corriente en la carga.

Donde la relación de transformación es:

$$V_a = \frac{I_a}{2} \quad (4.29)$$

Por tanto:

$$V_{OUT} = 1,65v - \frac{1k\Omega}{4,7k\Omega} \cdot \frac{I_a}{2} = 1,65v - \frac{5}{47} \cdot I_a = 1,65v - 0,10638 \cdot I_a \quad (4.30)$$

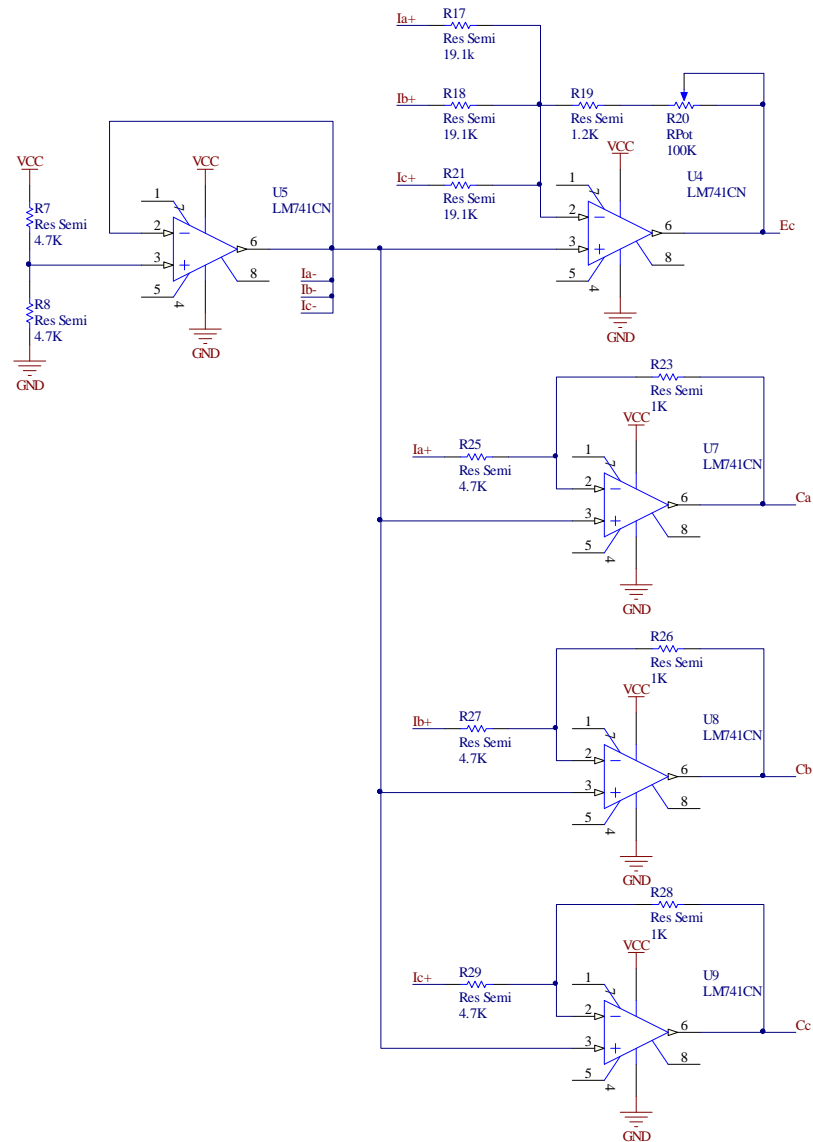
Con los valores del voltaje de referencia y el voltaje de ingreso, reemplazamos los mismos en la ecuación proporcionada por el fabricante del MCP3204 y obtenemos el valor que nos entrega el ADC de la siguiente manera.

$$D = \frac{4096 \cdot V_{OUT}}{V_{REF}} = \frac{4096 \cdot \left(1,65v - \frac{5}{47} \cdot I_a\right)}{3,3v} = 2048 - 132,043 \cdot I_a \quad (4.31)$$

Los valores de resistencias, fuentes y conexiones de los circuitos de acoplamiento se muestran en la Figura 4.16.

También la conexión de los MCP3204 se muestran en la Figura 4.17, en donde los mismos están conectados por el mismo bus SPI.

### 4.3 Diagrama de bloques del algoritmo de control.



**Figura 4.16.:** Circuitos de acoplamiento para la medición de las corrientes.

#### 4.3.2.4. Descripción del bloque de voltajes y corrientes.

En este bloque como ya se menciono se realiza el sensado de la tensión de las fuentes y las corrientes en la carga, estas son transformadas y multiplicadas por varios factores para su utilización en los demás bloques, en la Figura 4.18 se muestra el bloque con sus entradas y salidas y en la Figura 4.19 los distintos bloques que lo componen.

### 4.3 Diagrama de bloques del algoritmo de control.

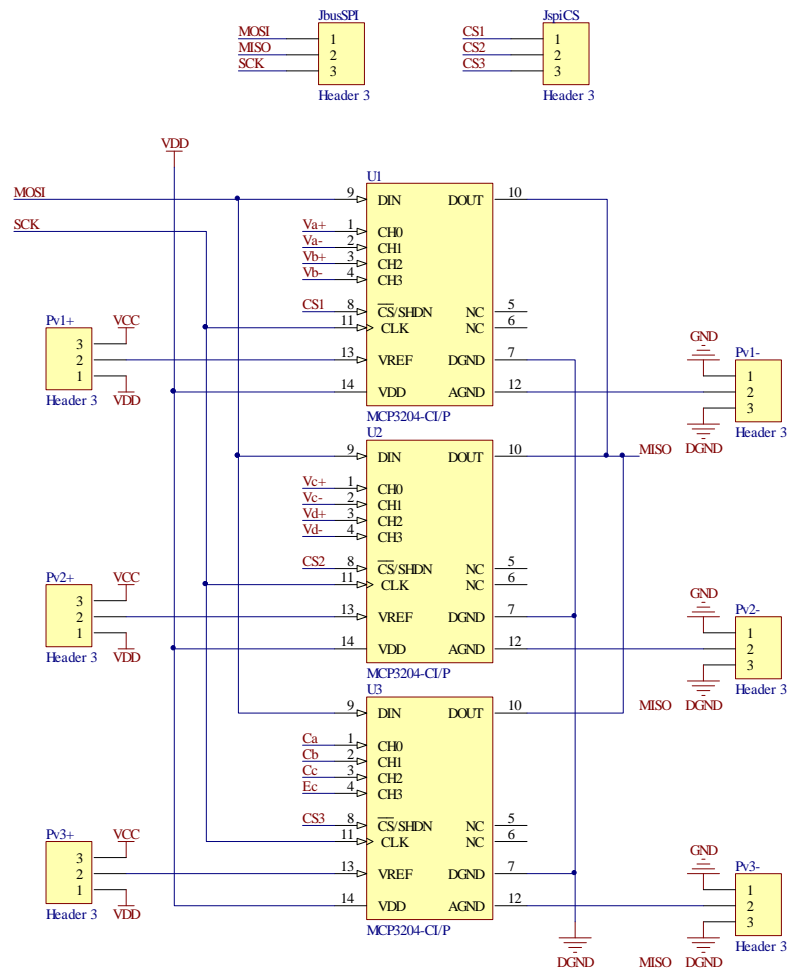


Figura 4.17.: Conexión de los MCP3204.

#### 4.3.2.5. Entradas.

clk: es un entrada de reloj necesaria en ciertos bloques secuenciales o de operaciones matemáticas.

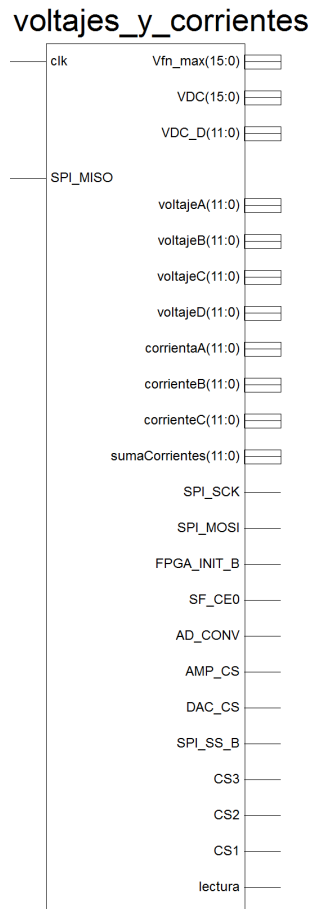
SPI\_MISO: bus de comunicación SPI de ingreso.

#### 4.3.2.6. Salidas.

vln\_max: salida calculada del máximo voltaje que puede entregar el inversor.

VDC: salida del voltaje promedio de las fuentes de corriente continua, acondicionada para su utilización en el bloque de visualización.

VDC\_D: salida del voltaje promedio de las fuentes de corriente continua, sin acondicionar.



**Figura 4.18.:** Bloque de voltajes y corrientes.

voltajeA: valor de la tensión de la fuente 1, sin acondicionar.

voltajeB: valor de la tensión de la fuente 2, sin acondicionar.

voltajeC: valor de la tensión de la fuente 3, sin acondicionar.

voltajeD: valor de la tensión de la fuente 4, sin acondicionar.

corrienteA: valor de la corriente en la fase A, sin acondicionar.

corrienteB: valor de la corriente en la fase B, sin acondicionar.

corrienteC: valor de la corriente en la fase C, sin acondicionar.

sumaCorrientes: salidas de la suma de las corrientes de las 3 fases, sin acondicionar.

CS1: salida de activación del primer ADC conectado al FPGA.

CS2: salida de activación del segundo ADC conectado al FPGA.

CS3: salida de activación del tercer ADC conectado al FPGA.

SPI\_SS\_B: salida de activación de la memoria flash serial montada en la placa.

DAC\_CS: salida de activación del DAC montada en la placa.

AMP\_CS: salida de activación del preamplificador montado en la placa.

AD\_CONV: salida de activación del ADC montado en la placa.

SF\_CEO: salida de activación de la memoria StrataFlash Parallel.

FPGA\_INIT\_B: salida de activación de la plataforma flash ROM que puede inicializar el FPGA.

SPI\_MOSI: bus de comunicación SPI de salida.

SPI\_SCK: salida de reloj para la comunicación SPI con los periféricos.

lectura: bit que nos avisa que ya se leyó todos los canales analógicos por primera vez.

#### 4.3.2.7. Funcionamiento

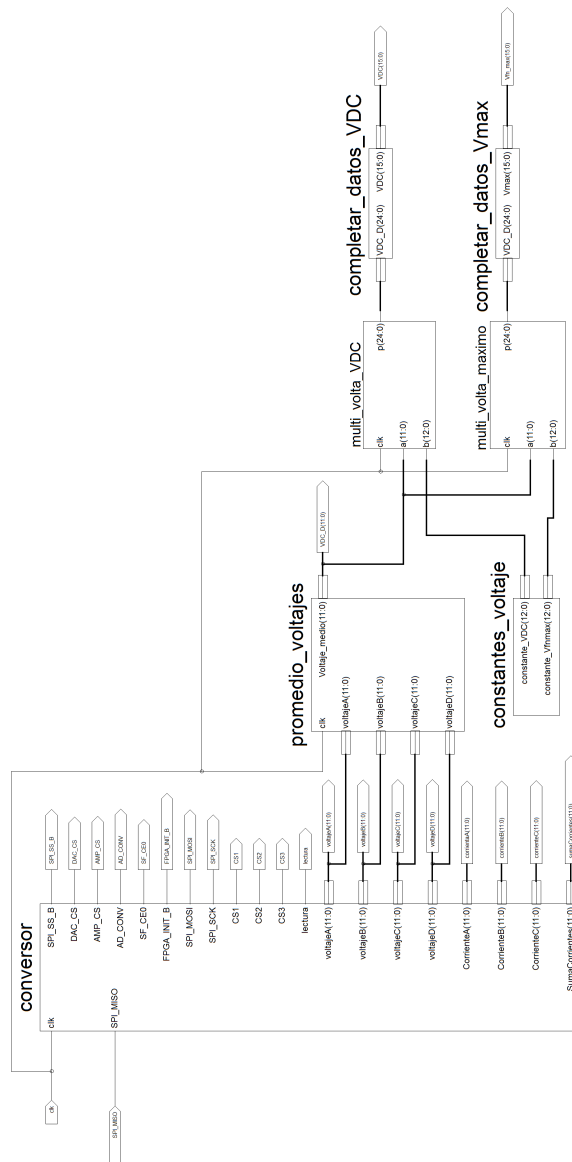
En la Figura 4.19 se ven los bloques constitutivos del bloque de voltajes y corrientes, en donde las tensiones medidas por medio del bloque del conversor, entran al bloque de promedio de voltajes, en donde estos valores de tensión son sumados, luego se dividen para 4, después este valor promedio es multiplicado por una constante descrita luego, la que nos transforma este valor promedio a un número que no contiene parte decimal ya que se multiplica por un factor de 100, para evitar el uso de decimales en el sistema, esta transformación es necesaria por que este formato es usado por otros bloques del sistema.

Por otro lado este mismo voltaje promedio es multiplicado por otra constante también descrita luego, con lo cual establecemos el máximo voltaje que puede generar el inversor sin que se sature, este dato también es transformado a un formato sin decimales multiplicado por un factor de 100.

También el bloque del conversor mide las corrientes en cada fase de la carga y a la vez la suma de las mismas, esto para que sean usadas en el sistema de protección del inversor descrito más adelante.

#### 4.3.2.8. Conversor

Este bloque realiza las funciones de comunicarse con los convertidores analógicos digitales, por medio del protocolo SPI programado sobre este, sus entradas y salidas se pueden ver en la Figura 4.20.



**Figura 4.19.:** Bloques internos del bloque de voltajes y corrientes.

#### Entradas:

clk: entrada de reloj necesaria para la generación de la señal de sincronización del protocolo SPI y para la maquina de estados.

SPI\_MISO: bus de comunicación SPI de ingreso.

#### Salidas:

voltajeA: valor de la tensión de la fuente 1.

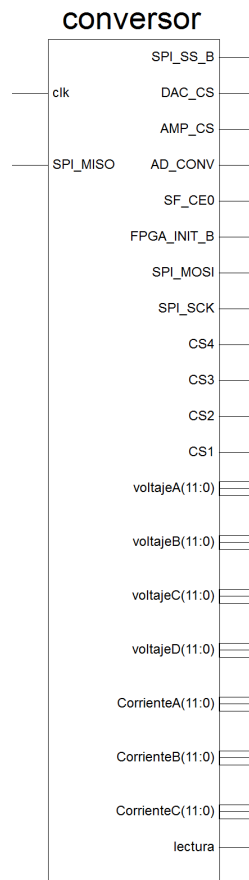
voltajeB: valor de la tensión de la fuente 2.

voltajeC: valor de la tensión de la fuente 3.



### 4.3 Diagrama de bloques del algoritmo de control.

---



**Figura 4.20.:** Bloque de control del conversor analógico digital.

voltajeD: valor de la tensión de la fuente 4.

corrienteA: valor de la corriente en la fase A.

corrienteB: valor de la corriente en la fase B.

corrienteC: valor de la corriente en la fase C.

sumaCorrientes: salidas de la suma de las corrientes de las 3 fases.

CS1: salida de activación del primer ADC conectado al FPGA.

CS2: salida de activación del segundo ADC conectado al FPGA.

CS3: salida de activación del tercer ADC conectado al FPGA.

SPI\_SS\_B: salida de activación de la memoria flash serial montada en la placa.

DAC\_CS: salida de activación del DAC montada en la placa.

AMP\_CS: salida de activación del preamplificador montado en la placa.

AD\_CONV: salida de activación del ADC montado en la placa.

SF\_CEO: salida de activación de la memoria StrataFlash Parallel.

FPGA\_INIT\_B: salida de activación de la plataforma flash ROM que puede inicializar el FPGA.

SPI\_MOSI: bus de comunicación SPI de salida.

SPI\_SCK: salida de reloj para la comunicación SPI con los periféricos.

lectura: bit que nos avisa que ya se leyó todos los canales analógicos por primera vez.

#### **Funcionamiento:**

Como se dijo este bloque se encarga de la comunicación con los ADC's, por medio del protocolo SPI por lo que necesita un pin de ingreso de datos MISO, uno de salida de datos MOSI, otro de sincronización SCK y ademas 1 pin adicional por cada ADC para activarlos CS1, CS2 y CS3.

Sabido esto lo primero que se hace es activar el primer ADC, señal *CS1*, luego le enviamos el bit de inicio de conversión y el código de configuración "0000" descrito en la Subsubsección 4.3.2.1 para leer el canal diferencial, señal *MOSI*, esto acompañado con la señal de reloj *SCK* necesaria para la comunicación, esperamos al tercer pulsos de reloj después del envío de la señal de configuración y empezamos a leer los 12 bits enviados por el ADC con el valor del canal, señal *MISO*, la lectura la realizamos en los flancos de subida de la señal de reloj y estos bits los escribimos a la salida *voltajeA*, leído el último bit desactivamos el ADC.

Después de leer el primer canal esperamos el tiempo de refresco descrito en la hoja de datos del fabricante [4], luego volvemos a realizar el mismo procedimiento para leer el segundo canal del mismo ADC, ahora enviando el código de configuración "0010" y escribiendo el resultado en la salida *voltajeB*, después realizamos lo mismo para los demás canales del tercer inversor y repetimos la lectura del primero, este proceso se puede ver de una forma más clara en la Figura 4.21.

Las demás salidas son para desactivar los otros periféricos en el bus SPI, los valores que deben tener se muestran en la Tabla 4.3.

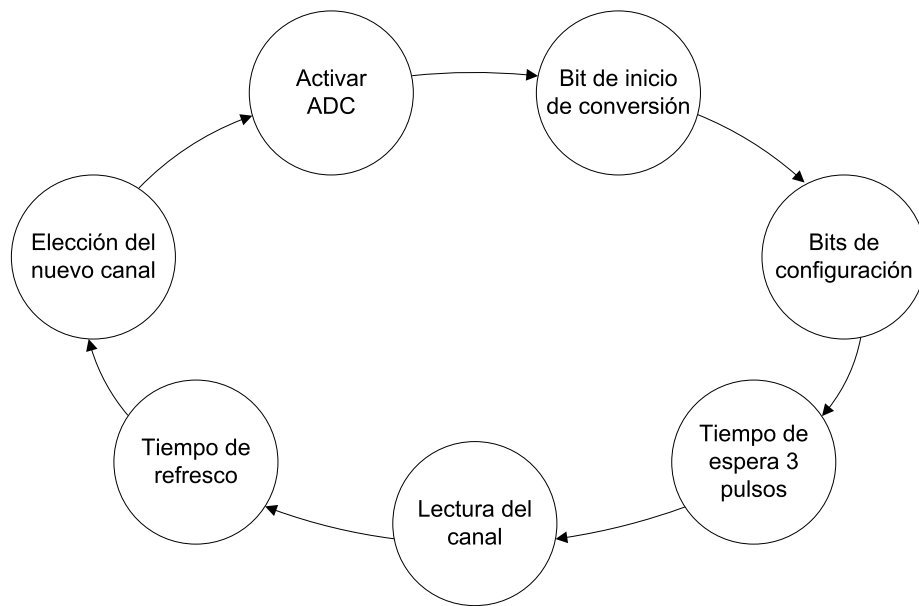
#### **4.3.2.9. Promedio de voltajes.**

Este bloque realiza el promediado de las 4 tensiones de las fuentes de alimentación del inversor, sus entradas y salidas se muestran en la Figura 4.22.

### 4.3 Diagrama de bloques del algoritmo de control.

señal	periférico	valor de desactivación
SPI_SS_B	SPI serial Flash	1
DAC_CS	DAC	1
AMP_CS	preamplificador	1
AD_CONV	ADC	0
SF_CE0	StrataFlash Parallel Flash PROM	1
FPGA_INIT_B	plataforma Flash PROM	0

**Tabla 4.3.:** Valores para la desactivación de los demás periféricos en el bus SPI[3].



**Figura 4.21.:** Maquina de estados para el control de los ADC's.

#### Entradas:

clk: entrada de reloj necesaria para la maquina de estados.

voltajeA: valor de la tensión de la fuente 1.

voltajeB: valor de la tensión de la fuente 2.

voltajeC: valor de la tensión de la fuente 3.

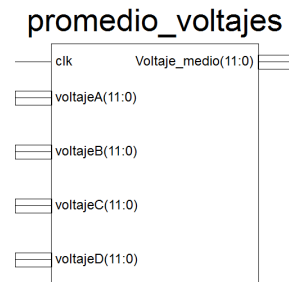
voltajeD: valor de la tensión de la fuente 4.

#### Salidas:

Valor\_medio: promedio de las tensiones de las fuentes.

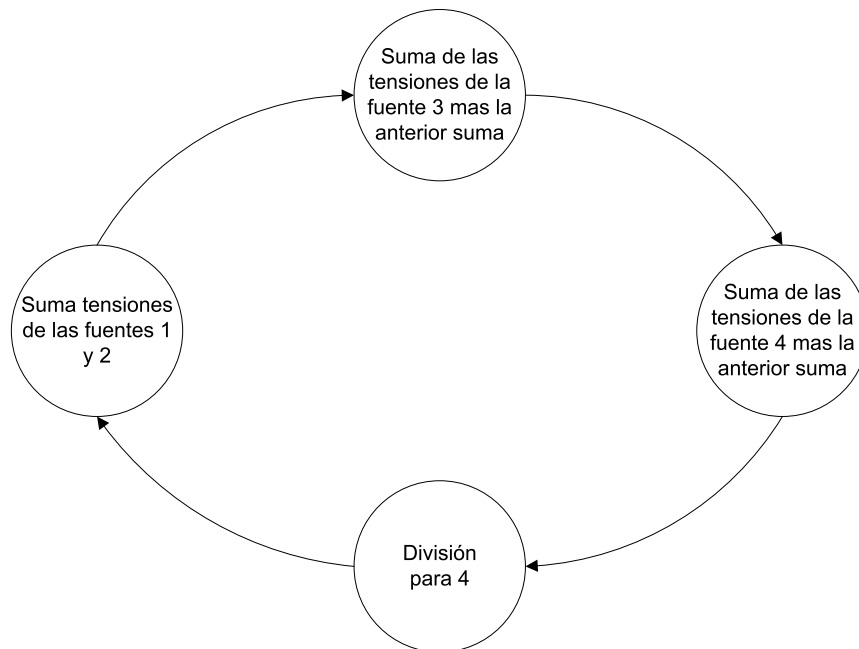
#### Funcionamiento:

En este bloque se suman las 4 tensiones de las fuentes, en un ciclo de reloj se suma la tensión de la fuente 1 más la tensión de la fuente 2, en el siguiente ciclo



**Figura 4.22.:** Bloque para el promediado de las tensiones de la fuente.

se suma la tensión de la fuente 3 más la suma anterior, en un tercer ciclo se suma la tensión de la fuente 4 más la suma anterior y por ultimo en un cuarto ciclo se divide la suma para 4 y su resultado se escribe en la salida *Valor\_medio*, luego se realiza de nuevo las sumas y la división y así sucesivamente, su funcionamiento se muestra en la Figura 4.23.



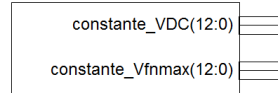
**Figura 4.23.:** Maquina de estados del bloque del promediado de tensiones.

Para la división se corto los dos últimos bits del vector generado de la suma de las tensiones, esto por la propiedad de los números binarios la cual enuncia que al eliminar  $n$  bit a la derecha, el número resultante es igual a la parte entera de la división del número para  $2^n$ .

#### 4.3.2.10. Constantes voltaje.

Este bloque solo nos entrega unas constantes que multiplicadas por el voltaje promedio nos indican el voltaje máximo que puede llegar el inversor y también transforma el voltaje medio a un formato para ser procesado por otros bloques, sus salidas se muestran en la Figura 4.24.

#### constantes\_voltaje



**Figura 4.24.:** Bloque de constantes de voltaje.

#### Salidas:

constante\_VDC: Constante que multiplicada por la tensión promedio nos transforma la mismo en un formato utilizado en otros bloques.

constante\_VDCmax: Constante que multiplicada por la tensión promedio nos entrega el máximo valor que puede generar el inversor y a la vez transforma esta máxima tensión en un formato utilizado en otros bloques.

#### Funcionamiento:

Las constantes se calcularon a partir de la Ecuación 4.18 de donde se despejo la tensión de las fuentes.

$$V_{DC} = \frac{957}{16384} \cdot D \quad (4.32)$$

Como el valor del voltaje  $V_{DC}$  obtenido contiene decimales y para evitar el uso de los mismo el sistema FPGA, se multiplico este voltaje por un factor de 100 y también por otro factor de  $2^{10}$  para aumentar la precisión de la conversión, en cambio este sera suprimido en otro bloque.

$$V_{DC100} = \left( V_{DC} \cdot 10^2 \right) \cdot \frac{2^{10}}{2^{10}}$$

$$V_{DC100} = \left[ \left( \frac{957}{16384} \cdot D \right) \cdot 10^2 \right] \cdot \frac{2^{10}}{2^{10}} = 5981,25 \cdot \frac{D}{2^{10}} \quad (4.33)$$

### 4.3 Diagrama de bloques del algoritmo de control.

---

Entonces de este factor de conversión solo utilizamos la parte entera por que no usamos números con decimales.

$$constanteVDC = 5981_{10} = 1011101011101_2 \quad (4.34)$$

Para el cálculo del máximo voltaje fase neutro usamos la Ecuación 3.20 encontrada en la Subsección 3.3.4 en la cual reemplazamos el valor del voltaje  $V_{DC}$  establecido en la Ecuación 4.32.

$$V_{RMSmax} = \sqrt{\frac{3}{2}} \cdot V_{DC} = \sqrt{\frac{3}{2}} \cdot \left( \frac{957}{16384} \cdot D \right) \quad (4.35)$$

Como en el cálculo del voltaje  $V_{DC100}$  multiplicamos este voltaje por un factor de 100 y también por otro factor de  $2^{10}$  para aumentar la precisión de la conversión y al igual que en el cálculo del  $V_{DC100}$  este factor sera suprimido en otro bloque.

$$V_{RMSmax100} = \left[ \left( \sqrt{\frac{3}{2}} \cdot V_{DC} \right) \cdot 10^2 \right] \cdot \frac{2^{10}}{2^{10}} \quad (4.36)$$

$$V_{RMSmax100} = \left\{ \left[ \sqrt{\frac{3}{2}} \cdot \left( \frac{957}{16384} \cdot D \right) \right] \cdot 10^2 \right\} \cdot \frac{2^{10}}{2^{10}} = 7325,5 \cdot \frac{D}{2^{10}} \quad (4.37)$$

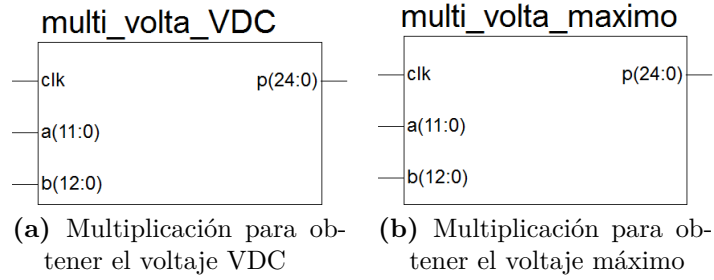
Entonces de este factor de conversión solo utilizamos la parte entera por que no usamos números con decimales.

$$constanteVDCmax = 7325_{10} = 1110010011101_2 \quad (4.38)$$

#### 4.3.2.11. Multiplicación del voltaje VDC y multiplicación del voltaje máximo.

Son ipcores generados dentro de Xilinx ISE Design Suite 13.1 los cuales son utilizados para multiplicar la señal de voltaje VDC por las constantes descritas

anteriormente.



**Figura 4.25.:** Bloques de multiplicación del voltaje VDC

#### Entradas:

clk: entrada de reloj que necesita el ipcore para multiplicar los datos.

a: primera entrada para la multiplicación.

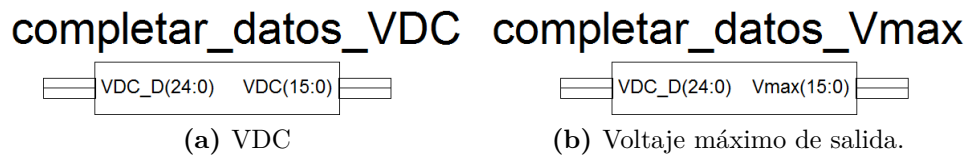
b: segunda entrada para la multiplicación.

#### Salidas:

p: salida igual al producto de las 2 entradas.

#### 4.3.2.12. Completar datos VDC y completar datos Vmax.

Este bloque se utiliza para dividir los voltajes  $V_{DC100}$  y  $V_{RMSmax100}$  por el factor de  $2^{10}$  anteriormente utilizado y para completar los bits necesarios para su utilización en otros bloques



**Figura 4.26.:** Bloques para completar datos de voltaje.

#### Entradas:

VDC\_D: entrada del voltaje  $V_{DC100}$  o  $V_{RMSmax100}$

#### Salidas:

VDC: salida del voltaje VDC modificado y listo para su utilización en otros bloques.

Vmax: salida del voltaje fase neutro máximo que puede generar el inversor modificado y listo para su utilización en otros bloques.

#### **Funcionamiento:**

Para la división por el factor de  $2^{10}$ , se uso la propiedad de los números binarios la cual enuncia que al eliminar n bit a la derecha, el número resultante es igual a la parte entera de la división del número para  $2^n$ , por lo cual se corto los 10 últimos bits y agregar ceros a la izquierda del número hasta completar 16 bits que son usados por otros bloques.

### **4.3.3. Control y visualización.**

#### **4.3.3.1. Descripción.**

En este bloque se realiza las funciones de *Almacenamiento y selección de los parámetros del inversor* y de *Visualización de los parámetros del inversor*, la selección del parámetro a ajustar se realizo mediante pulsante, y el ajuste de los parámetros del inversor se realizo mediante otros 4 pulsantes que incrementan o decrementan el valor de la tensión y frecuencia de salida del inversor en un factor de  $\pm 0,01$  y  $\pm 0,1$ .

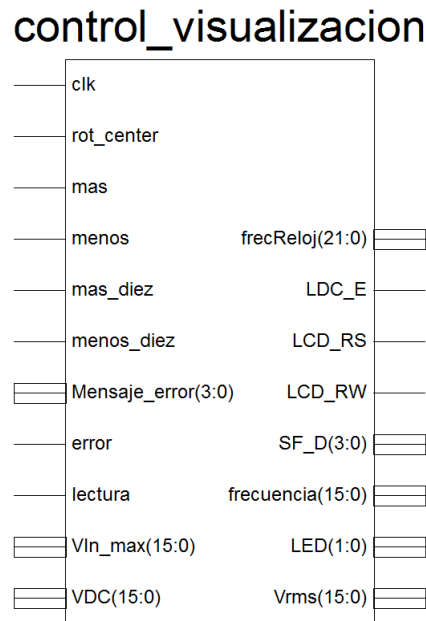
En cambio la visualización de los parámetros del inversor se realizo mediante un LCD montado en la misma placa MicroBlaze Development Kit Spartan-3E 1600E, esta muestra la frecuencia de salida, el voltaje fase neutro y voltaje linea linea de salida el voltaje promedio de las fuentes de tensión, en la Figura 4.27 se muestra este bloque con sus entradas y salidas, también en la Figura 4.28 se muestra los bloques que constituyen el sistema de Control y visualización y más adelante en esta sección se describe la configuración y distintos parámetros programados en este bloque.

#### **4.3.3.2. Entradas.**

clk: entrada de reloj necesaria para la generación de la señal de sincronización del LCD y para la maquina de estados necesarias para su manejo, al igual que para el ajuste de parámetros del inversor.

Rot\_center: entrada digital que usamos para seleccionar el dato a ajustar y/o visualizar.





**Figura 4.27.:** Bloque de control y visualización.

más: entrada digital usada para aumentar el valor a ajustar en 0.01.

menos: entrada digital usada para disminuir el valor a ajustar en 0.01.

más\_diez: entrada digital usada para aumentar el valor a ajustar en 0.1.

menos\_diez: entrada digital usada para aumentar el valor a ajustar en 0.1.

Mensaje\_error: mensaje enviado por el bloque del sistema de protección para indicar que existió sobrecorriente o una bajada drástica de tensión.

error: indicador que se produjo un error.

lectura: entrada que indica que se realizó la primera lectura de todos los canales del ADC.

Vln\_max: dato sobre el máximo voltaje de salida que puede alcanzar el inversor, este dato ya está modificado como se describió en la Subsubsección 4.3.2.11 y Subsubsección 4.3.2.12 para su utilización en este bloque.

VDC: dato del voltaje promedio de las fuentes de tensión, , este dato ya está modificado como se describió en la Subsubsección 4.3.2.11 y Subsubsección 4.3.2.12 para su utilización en este bloque.

### 4.3 Diagrama de bloques del algoritmo de control.

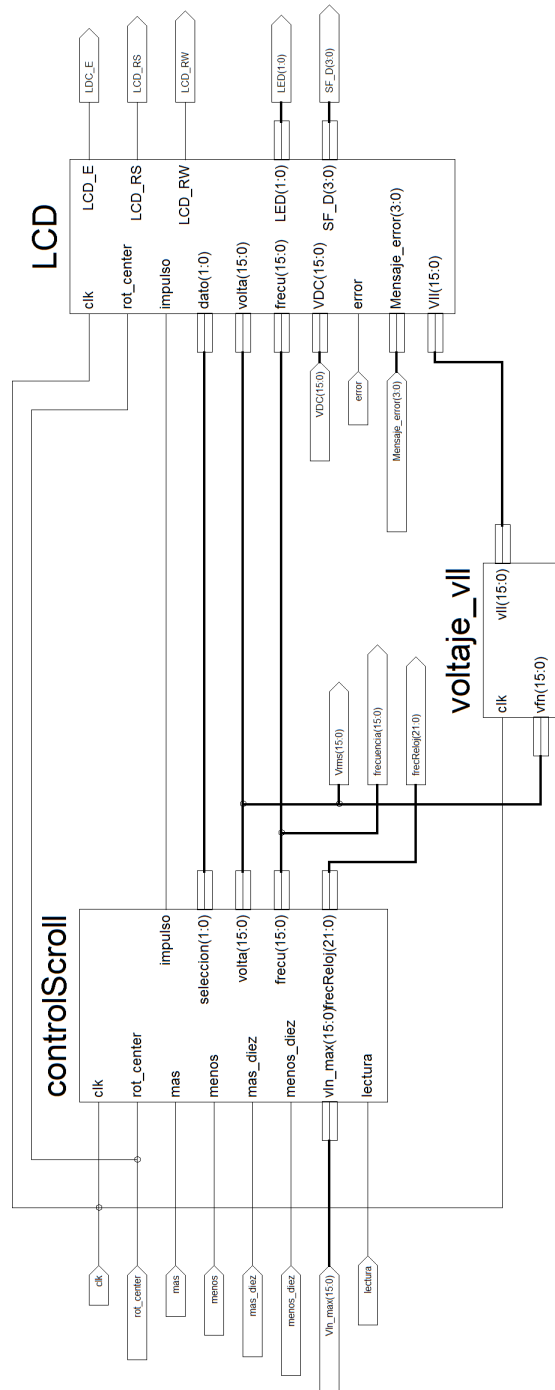


Figura 4.28.: Bloques interiores del bloque de control y visualización.

#### 4.3.3.3. Salidas.

frecReloj: frecuencia del reloj de la placa 50Mhz, usado en el bloque del generador de Clark para calcular el vector de referencia.

LCD\_E: señal de habilitación del LCD.

LCD\_RS, LCD\_RW: señales de control del LCD.

SF\_D: señal de datos que envían ordenes al LCD.

frecuencia: valor de la frecuencia de salida del inversor.

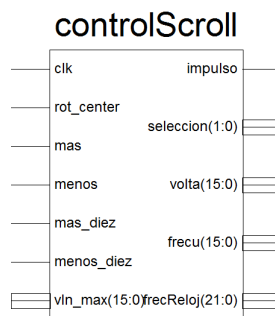
LED: señal de visualización de errores y estado del inversor.

Vrms: valor de voltaje RMS que se desea obtener a la salida del inversor.

#### 4.3.3.4. Control Scroll

En este bloque es donde se realiza *Almacenamiento y selección de los parámetros del inversor* la selección del parámetro a ajustar se realiza mediante pulsante, y el ajuste de los parámetros del inversor se realiza mediante otros 4 pulsantes que incrementan o decrementan el valor de la tensión y frecuencia de salida del inversor en un factor de  $\pm 0,01$  y  $\pm 0,1$ .

Como se puede ver en la Figura 4.29 a este bloque también ingresa el voltaje máximo que puede generar el inversor, esto por razones obvias de que el parámetro de voltaje seleccionado no puede ser mayor al voltaje máximo que puede generar el inversor sin saturarse.



**Figura 4.29.:** Bloque de manejo del scroll.

#### Entradas:

clk: entrada de reloj necesaria para aumentar o disminuir el valor de tensión o frecuencia a la salida al tener presionados los botones más, menos, más\_diez, menos\_diez.

### 4.3 Diagrama de bloques del algoritmo de control.

---

rot\_center: entrada digital que usamos para seleccionar el dato a ajustar y/o visualizar.

más: entrada digital usada para aumentar el valor a ajustar en 0.01.

menos: entrada digital usada para disminuir el valor a ajustar en 0.01.

más\_diez: entrada digital usada para aumentar el valor a ajustar en 0.1.

menos\_diez: entrada digital usada para disminuir el valor a ajustar en 0.1.

Vln\_max: dato sobre el máximo voltaje de salida que puede alcanzar el inversor, este dato ya está modificado como se describió en la Subsubsección 4.3.2.11 y Subsubsección 4.3.2.12 para su utilización en este bloque.

#### **Salidas:**

impulso: señal que indica un cambio en los parámetros de tensión o frecuencia de salida.

selección: dato que nos indica el dato a ajustar y/o visualizar.

voltaje: dato del voltaje RMS que deseamos a la salida.

frecu: dato de la frecuencia que deseamos a la salida.

frecReloj: frecuencia del reloj de la placa 50Mhz, usado en el bloque del generador de Clark para calcular el vector de referencia.

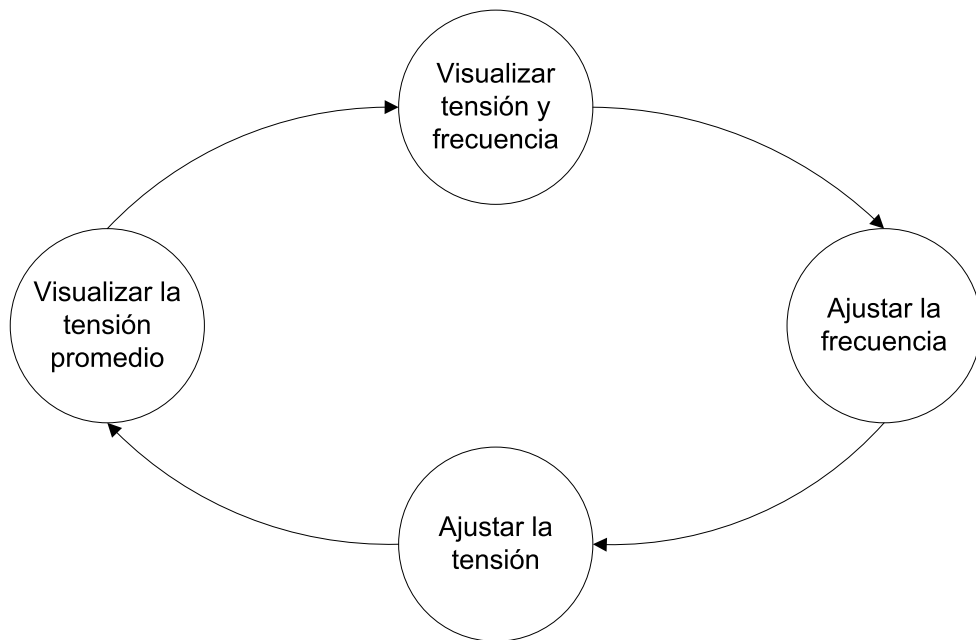
#### **Funcionamiento:**

Al presionar el botón de selección se va cambiando entre los 4 posibles estados que se ven en la Figura 4.30, los mismos son:

- Visualizar el voltaje y frecuencia de salida del inversor.
- Ajustar la frecuencia de salida del inversor.
- Ajustar la tensión de salida del inversor.
- Visualizar la tensión promedio de las fuentes.

En cambio al presionar el botón *más*, *menos*, *más\_diez* o *menos\_diez*, se suma 0.01, -0.01, 0.1 o -0.01, a la frecuencia de salida del inversor siempre y cuando este seleccionado el estado *Ajustar la frecuencia*, o a la tensión de salida del inversor y cuando este seleccionado el estado *Ajustar la tensión*.

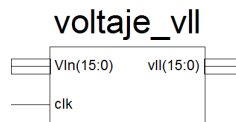
Por otro lado la salida *frecReloj* nos entrega el valor de la frecuencia del reloj de la placa, el mismo que es constante y tiene un valor de 3125 000 que es el resultado de una operación matemática descrita luego.



**Figura 4.30.:** Máquina de estados del botón de selección.

#### 4.3.3.5. Voltaje Vll

Es un bloque del cual nos valemos para transformar el voltaje fase neutro guardado en el bloque anterior a un voltaje línea línea.



**Figura 4.31.:** Bloque de cálculo del voltaje de línea

#### Entradas:

Vln: voltaje fase neutro que se desea obtener del inversor.

#### Salidas:

Vll: voltaje línea línea que se desea obtener del inversor en una conexión estrella.

#### Funcionamiento:

A la entrada de la tensión fase neutro Vln proporcionada por el bloque de almacenamiento la multiplicamos por una constante de  $\sqrt{3} \approx 1,732$ , pero debido a que no usamos número con decimales en nuestro sistema basado en FPGA a esta constante la multiplicamos por un factor de  $2^{11}$  la misma que luego sera suprimida por medio del corte del número obtenido, entonces la ecuación nos queda de

### 4.3 Diagrama de bloques del algoritmo de control.

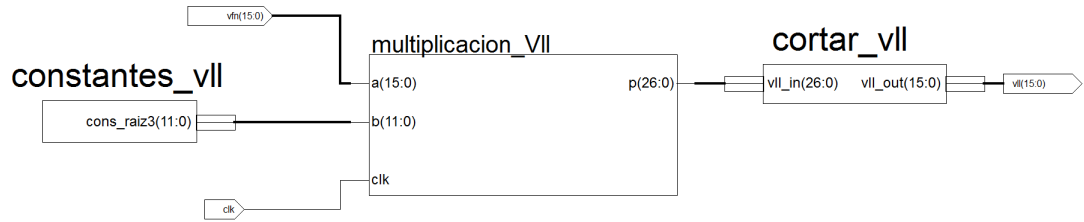
la siguiente manera.

$$V_{ll} = \sqrt{3} \cdot V_{RMSmax100} \frac{2^{11}}{2^{11}} = 3547 \cdot \frac{V_{RMSmax100}}{2^{11}} \quad (4.39)$$

Por lo tanto la constante por la cual vamos a multiplicar el número es.

$$constante = 3547 \quad (4.40)$$

Esta se implemento en el bloque constantes\_vll mostrada en la Figura 4.32, luego esta constate se multiplico por el voltaje fase neutro, para luego el resultado sea dividido por el bloque cortar\_vll, el mismo que usa el principio de los números binarios descrito anteriormente.



**Figura 4.32.:** Bloques interiores del bloque voltaje vll.

#### 4.3.3.6. LCD.

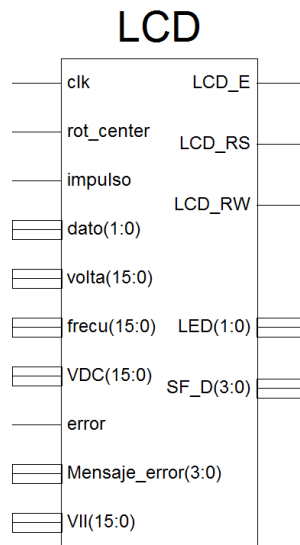
En este bloque se realiza la visualización de los parámetros del inversor, como son la tensión y frecuencia de salida del sistema, al igual que el voltaje medio de las fuentes de tensión y también los mensajes de error al producirse una falla en el sistema como sobrecorrientes en la carga o bajadas drásticas de la tensión en las fuentes, para esta visualización se uso un LCD de 2x16.

##### **Entradas:**

clk: entrada de reloj necesaria para generar los tiempos de sincronización del LCD.

rot\_center: entrada digital que usamos indicar al bloque que se cambio el dato a visualizar.

impulso: señal que indica un cambio en los parámetro de tensión o frecuencia de salida ajustada en el bloque de control del; scroll.



**Figura 4.33.:** Bloque de manejo del LCD.

dato: señal que nos indica el dato a visualizar.

volta: voltaje rms deseado a la salida del inversor.

frecu: frecuencia de salida deseado a la salida del inversor.

VDC: voltaje promedio de las fuentes de tensión.

VII: voltaje rms linea linea deseado a la salida del inversor, en caso de que la carga se encuentre conectada en estrella.

error: señal que le indica al bloque que se produjo un error en el inversor.

Mensaje\_error: señal que le indica al bloque cual fue el error del sistema.

#### **Salidas:**

LCD\_E: señal de habilitación del LCD.

LCD\_RS, LCD\_RW: señales de control del LCD.

SF\_D: señal de datos que envían ordenes al LCD.

LED: señal de visualización de errores y estado del inversor.

#### **Funcionamiento:**

Lo primero que se realizo en este bloque es inicializar el LCD con los pasos mostrados en el manual de la placa MicroBlaze Development Kit Spartan-3E 1600E, para este motivo se siguió la guía dada en [20], luego de inicializado el LCD en este se presentan los datos de frecuencia en la primera linea y de tensión

### 4.3 Diagrama de bloques del algoritmo de control.

---

en la segunda cuando el dato es igual a 1 o 2, pero cuando el dato es igual a 2 el LDC parpadea para indicar que se esta ajustando la frecuencia.

Cuando el dato es igual a 3 se presenta en la pantalla del LCD la tensión a la salida del inversor y la tensión de linea, al igual que en el anterior punto el LCD esta parpadeando lo que indica que se esta ajustando el voltaje de salida del inversor.

En cambio cuando el dato es igual a 4 en la primera linea del LCD se indica el voltaje promedio de las fuentes de tensión del inversor y en la segunda linea la máxima tensión que puede alcanzar el inversor.

Por ultimo cuando se recibe un señal de error por el pin de error inversor se limpia el contenido del LCD y se muestra un mensaje indicando que se produjo un error, este mensaje es mostrado según el código que llega por la entrada de Mensaje\_error, el mismo que nos indica el tipo de error generado en el sistema.

#### 4.3.4. Generador de Clark.

##### 4.3.4.1. Descripción.

En este bloque se encuentran las funciones del *Generador del vector de referencia* y de *Normalización y achatamiento del vector de referencia*, sus entadas y salida se muestran en la Figura 4.34, en este bloque se genera el vector de referencia en un tiempo dado, el mismo que es normalizado y achatado.

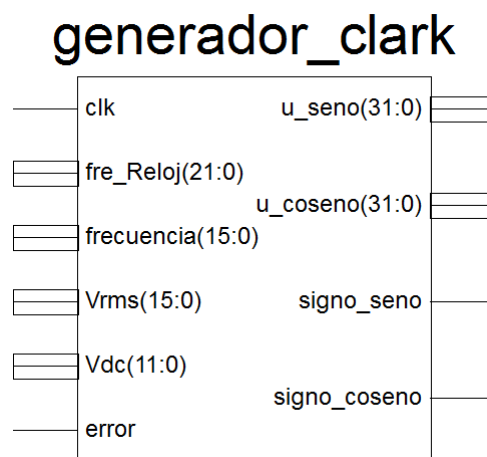
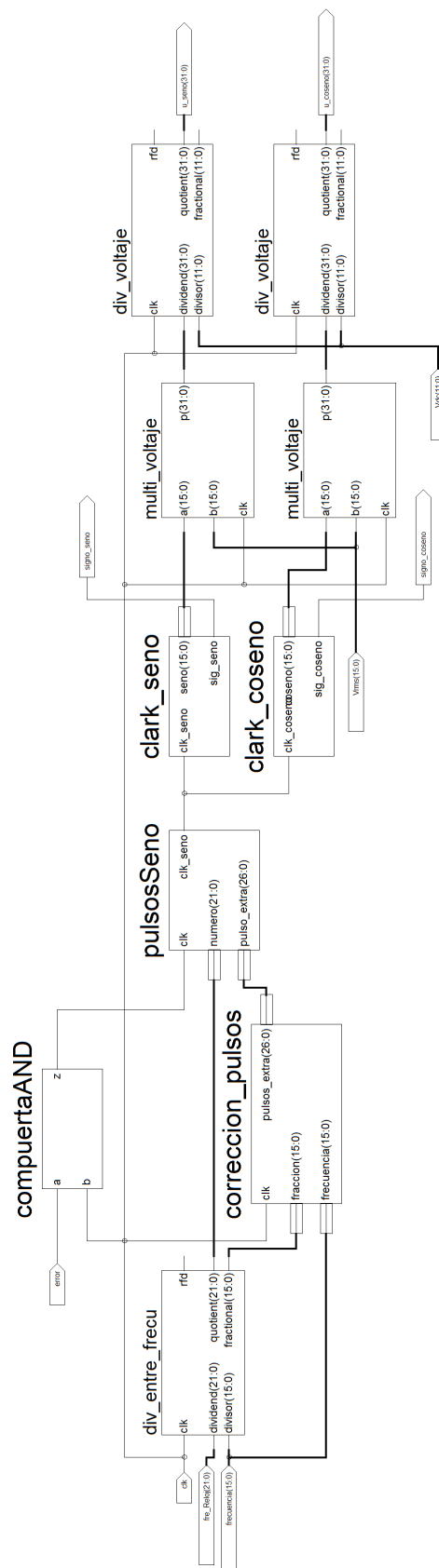


Figura 4.34.: Bloque del generador de Clark.



### 4.3 Diagrama de bloques del algoritmo de control.



**Figura 4.35.:** Bloques interiores del bloque del generador de Clark.

#### 4.3.4.2. Entradas.

clk: entrada de reloj necesaria para la generación del vector de referencia en un tiempo dado, y para los bloque de las operaciones matemáticas.

fre\_Reloj: entrada del dato que nos indica la frecuencia del oscilador montada en la placa.

frecuencia: frecuencia deseada a la salida del inversor, la misma que no contiene valores decimales por lo que esta multiplicada por un factor de 100.

Vrms: voltaje de salida deseada a la salida del inversor, la misma que no contiene valores decimales por lo que esta multiplicada por un factor de 100.

Vdc: valor promedio de las tensiones de las fuentes, este valor no esta transformado para acoplarse a un formato específico, sino que es el valor promediado descrito en la Subsubsección 4.3.2.9.

error: entrada que activa o desactiva la generación del vector de referencia.

#### 4.3.4.3. Salidas.

u\_seno: valor absoluto del componente q del vector de referencia ya normalizado y achatado, el mismo que esta multiplicado por un factor de 10000, formato usado por el bloque del algoritmo para calcular los tiempos y estados del inversor.

u\_coseno: valor absoluto del componente d del vector de referencia ya normalizado y achatado, el mismo que esta multiplicado por un factor de 10000, formato usado por el bloque del algoritmo para calcular los tiempos y estados del inversor.

signo\_seno: signo del componente q del vector de referencia.

signo\_coseno: signo del componente d del vector de referencia.

#### 4.3.4.4. Funcionamiento.

Como se desea generar una tensión trifásicas equilibrada a la salida del inversor, por la propiedad de la transformada de Clark solo hace falta generar un vector de referencia que gire a la misma frecuencia que el sistema trifásico con un modulo proporcional a esta tensión trifásicas, por tanto no es necesario generar las 3 componentes de las fases en un tiempo dado sino solo el vector de referencia en ese tiempo dado, debido a esto lo primero es calcular el angulo de este vector de

referencia en un tiempo dado a partir de la frecuencia que se desea obtener y la frecuencia del oscilador.

Para calcular este angulo lo primero que se hizo es dividir al espacio vectorial d-q en 1600 ángulos, entonces por cada cierto número de pulsos del oscilador se genera un punto nuevo en el espacio vectorial, para calcular este número de pulsos se dividió la frecuencia del oscilador para el producto de la frecuencia a la salida del inversor por el número de ángulos en el espacio vectorial.

$$n = \frac{\text{frecuencia oscilador}}{\text{frecuencia inversor} \cdot \text{número angulos}} \quad (4.41)$$

Entonces el bloque de división entre frecuencias divide el valor de la frecuencia del oscilador para la frecuencia que se desea obtener a la salida del inversor, el valor de la constante de la frecuencia del oscilador ya tiene incluida la división para el número de ángulos del espacio vectorial, por lo que no es necesario un bloque de división del número de pulsos.

En todo esto al dividir las 2 frecuencias nos resulta un valor con decimales que nos representan cuartos de pulso u otros valores no enteros de pulsos que no se pueden dar por medio de la placa, con lo que se genera un error en la frecuencia de salida del inversor.

Para minimizar este error se uso el residuo dado por el bloque de división entre frecuencia, el mismo que es multiplicado por el número de ángulos del espacio vectorial y dividido por el producto de la frecuencia por el número de niveles y su resultado es el número de ángulos a los cuales tengo que darles un pulsos extra, con lo que se minimiza el error, estas operaciones se implementaron en el bloque Corrección pulsos.

$$n_a = \text{int} \left( \frac{1600 \cdot \text{residuo}}{1600 \cdot \text{frecuencia inversor}} \right) = \text{int} \left( \frac{\text{residuo}}{\text{frecuencia inversor}} \right) \quad (4.42)$$

Ahora para comprobar la efectividad de la corrección de pulsos calcularemos el error.

### 4.3 Diagrama de bloques del algoritmo de control.

---

El error sin corrección de pulsos seria.

$$\frac{frecuencia\ real - frecuencia\ deseada}{frecuencia\ deseada} \cdot 100\% \quad (4.43)$$

$$error = \frac{\frac{f_{oscilador}}{1600 \cdot int\left(\frac{f_{oscilador}}{1600 \cdot f}\right)} - f}{f} \cdot 100\% \quad (4.44)$$

Reemplazamos en la ecuación del error un valor de frecuencia de 60Hz y una frecuencia del oscilador de 50Mhz.

$$\frac{\frac{50 \cdot 10^6}{1600 \cdot int\left(\frac{50 \cdot 10^6}{1600 \cdot 60}\right)} - 60}{60} \cdot 100\% = 0,1602\% \quad (4.45)$$

Con lo que se obtendrá una frecuencia de.

$$\frac{50 \cdot 10^6}{1600 \cdot int\left(\frac{50 \cdot 10^6}{1600 \cdot 60}\right)} = 60,09615Hz \quad (4.46)$$

En cambio el error con la corrección de pulsos seria.

$$n_a = int\left(\frac{residuo}{f}\right) = int\left[\frac{f_{oscilador} - 1600 \cdot f \cdot int\left(\frac{f_{oscilador}}{1600 \cdot f}\right)}{f}\right] \quad (4.47)$$

Reemplazando el valor de frecuencia de 60Hz y una frecuencia del oscilador de 50Mhz.

$$n_a = int\left[\frac{50 \cdot 10^6 - 1600 \cdot 60 \cdot int\left(\frac{50 \cdot 10^6}{1600 \cdot 60}\right)}{60}\right] = 1333 \quad (4.48)$$

### 4.3 Diagrama de bloques del algoritmo de control.

---

Entonces el error nos quedaría.

$$error = \frac{\frac{f_{oscilador}}{n_a \cdot \left[ \text{int} \left( \frac{f_{oscilador}}{1600 \cdot f} \right) + 1 \right] + (1600 - n_a) \cdot \text{int} \left( \frac{f_{oscilador}}{1600 \cdot f} \right)} - f}{f} \cdot 100 \% \quad (4.49)$$

Reemplazando el valor de frecuencia de 60Hz y una frecuencia del oscilador de 50Mhz.

$$error = \frac{\frac{50 \cdot 10^6}{1333 \cdot \left[ \text{int} \left( \frac{50 \cdot 10^6}{1600 \cdot 60} \right) + 1 \right] + 1333 \cdot \text{int} \left( \frac{50 \cdot 10^6}{1600 \cdot 60} \right)} - 60}{60} \cdot 100 \% = 0,00004 \% \quad (4.50)$$

Con lo que obtendrá una frecuencia de.

$$\frac{50 \cdot 10^6}{1333 \cdot \left[ \text{int} \left( \frac{50 \cdot 10^6}{1600 \cdot 60} \right) + 1 \right] + 1333 \cdot \text{int} \left( \frac{50 \cdot 10^6}{1600 \cdot 60} \right)} = 60,000024Hz \quad (4.51)$$

Con lo cual el error mejoro en.

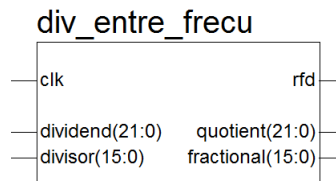
$$0,1602 \% - 0,00004 \% = 0,16016 \% \quad (4.52)$$

Luego de calculados el número de pulsos y el número de ángulos a los cuales tengo que hacerles la corrección, estos datos ingresan al bloques de generación de pulsos en donde se cuentan el número de pulsos correspondientes y al llegar al valor requerido y con la correspondiente corrección generan un pulso a su salida, esto siempre y cuando la señal de reloj no sea inhibida por la compuerta AND que multiplica la señal de reloj por la señal de error la misma que es enviada por el bloque del sistema de control.

Al generarse un pulso en la salida del bloque de generación de pulsos, se indica a los bloques de seno clark y coseno clark que generen el valor absoluto del siguiente angulo por una salida y su correspondiente signo por otra, el bloque de seno clark genera la componente q del vector de referencia en cambio el bloque coseno clark la componente d.

Estos componentes d y q del vector de referencia en el bloque de multi volta serán multiplicados por el voltaje  $V_{rms}$  y luego divididos por la tensión promedio de las fuentes de alimentación, con lo que finalmente su normalización y achatamiento es completado, el resultado de la multiplicación es luego presentado en las salida u seno y u coseno.

#### 4.3.4.5. División entre frecuencias.



**Figura 4.36.:** Bloque de división entre frecuencias.

#### Entradas:

clk: entrada de reloj necesaria para la división entre los dos números.

dividend: entrada en donde se ingresa la frecuencia del oscilador.

divisor: entrada en donde se ingresa la frecuencia de salida de inversor.

#### Salidas:

quotient: resultado de la división entre las dos frecuencias, la misma que es un valor entero.

fractional: residuo entre la división de las dos frecuencias.

#### Funcionamiento:

Como ya se menciona el propósito de este bloque es dividir la frecuencia del oscilador para el producto de la frecuencia deseada a la salida del inversor por el número de ángulos en el que esta dividido el espacio vectorial.

$$n = \frac{50MHz}{1600 \cdot f} \quad (4.53)$$

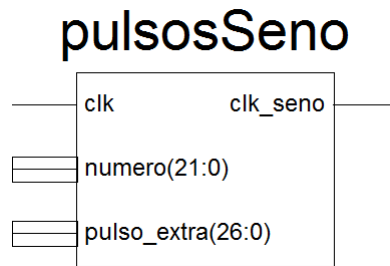
Ahora como ya se menciona antes en este sistema para evitar el uso de número con decimales se multiplico la frecuencia por un factor de 100, por tanto hay que

eliminar este factor.

$$n = \frac{50MHz}{1600 \cdot \frac{f_{100}}{100}} = \frac{50MHz \cdot 100}{1600 \cdot f_{100}} = \frac{3125000}{f} \quad (4.54)$$

Entonces a este bloque de división solo ingresa un constante de 31250000 en la parte del dividendo, porque la frecuencia del oscilador ya fue alterada por la división de los 1600 ángulos del estado del inversor y el factor de 100 de la frecuencia, en cambio a la parte del dividendo solo ingresa el valor de la frecuencia que se desea obtener a la salida del inversor, todo este bloque fue generado por medio del generador de ipcores propios del Xilinx ISE Design Suite 13.1.

#### 4.3.4.6. Generador de pulsos.



**Figura 4.37.:** Bloque del generador de pulsos.

##### Entradas:

clk: entrada de reloj de la cual se cuentan el número de pulsos antes de generar un pulso a su salida.

número: entrada que le indica al bloque cuantos pulsos debe contar antes de generar un pulso a su salida.

pulso extra: número de ángulos a los cuales se debe dar un pulso extra,

##### Salidas:

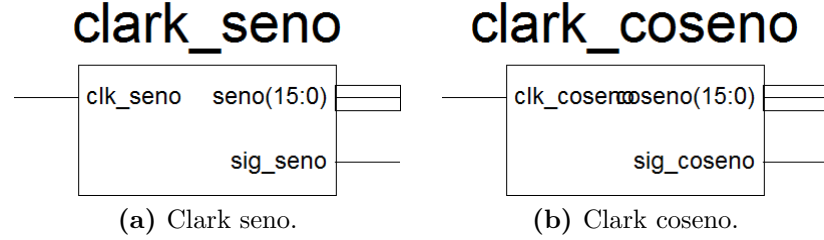
clk seno: salida del pulso generado por este bloque al contar el número de pulsos dado por la entrada número, con las correspondientes correcciones.

##### Funcionamiento:

Cuenta un número de pulsos de la entrada clk, este número de pulsos es igual a la cantidad dada por la entrada número y corregida por la entrada pulso número.

#### 4.3.4.7. Clark seno y Clark coseno.

En estos bloques es donde se generan las componentes del vector de referencia.



**Figura 4.38.:** Bloques de generación de las componentes d y q del vector de referencia.

#### Entradas:

clk seno, clk coseno: entrada de reloj que le indica al bloque que debe generar el siguiente ángulo del espacio vectorial.

#### Salidas:

seno, coseno: salidas de la componente del vector de referencia.

sig seno, sig coseno: signo del componente del vector de referencia.

#### Funcionamiento:

Como ya se mencionó este bloque genera las componentes de los vectores de referencia, los mismo que generan una onda seno y onda coseno que representan el comportamiento del vector de referencia a través de los 1600 ángulos del espacio vectorial.

A partir de la Ecuación 3.12 descrita en la Subsección 3.3.4 calculamos el valor de la componente q del vector de referencia, en donde reemplazamos el valor del voltaje promedio descrito anteriormente.

$$u_d^* = \frac{3}{\sqrt{2}} \cdot \frac{V_{RMS}}{V_{DC}} \cdot \text{sen}(\theta) = \frac{3}{\sqrt{2}} \cdot \frac{V_{RMS}}{\frac{957}{16384} \cdot D} \cdot \text{sen}(\theta) \quad (4.55)$$

Ahora para aumentar la precisión del sistema multiplicamos este valor por factor de  $2^4$ , el mismo que será suprimido en el bloque del generador del algoritmo, también se multiplica el valor del vector de referencia por un factor de 10000 el



### 4.3 Diagrama de bloques del algoritmo de control.

---

mismo que es usado por el bloque de conmutación para dar un número de pulsos igual al resultado dado por el bloque del algoritmo Clark.

$$u_{d100}^* = \left[ \frac{3}{\sqrt{2}} \cdot \frac{V_{RMS}}{\frac{957}{16384} \cdot 10^2 \cdot D} \cdot \sin(\theta) \right] \frac{2^4}{2^4} \cdot 10000 = 58107 \cdot V_{RMS} \cdot \sin(\theta) \cdot \frac{1}{2^4 \cdot D} \quad (4.56)$$

Entonces el bloque de seno nos entrega pulsos con un valor de.

$$58107 \cdot \sin(\theta) \quad (4.57)$$

En donde el  $\sin(\theta)$ , es uno de los 1600 ángulos en los que esta dividido en espacio vectorial, en cambio las operaciones  $V_{RMS}/2^4 \cdot D$  serán realizadas en otros bloques.

Lo mismo realizamos para el calculo de la componente d del vector de referencia, pero en este caso usamos la Ecuación 3.17 descrita en la Subsección 3.3.4, calculamos al valor del vector de referencia, en donde reemplazamos el valor del voltaje promedio descrito anteriormente.

$$u_{q*}^* = \sqrt{\frac{3}{2}} \cdot \frac{V_{RMS}}{V_{DC}} \cdot \cos(\theta) = \sqrt{\frac{3}{2}} \cdot \frac{V_{RMS}}{\frac{957}{16384} \cdot D} \cdot \cos(\theta) \quad (4.58)$$

Ahora para aumentar la la precisión del sistema multiplicamos este valor por factor de  $2^4$ , el mismo que sera suprimido en el bloque del generador del algoritmo, también se multiplica el valor del vector de referencia por un factor de 10000 el mismo que es usado por el bloque de conmutación para dar un número de pulsos igual al resultado dado por el bloque del algoritmo Clark.

$$u_{q100*}^* = \left[ \sqrt{\frac{3}{2}} \cdot \frac{V_{RMS}}{\frac{957}{16384} \cdot 10^2 \cdot D} \cdot \cos(\theta) \right] \frac{2^4}{2^4} \cdot 10000 = 33548 \cdot V_{RMS} \cdot \cos(\theta) \cdot \frac{1}{2^4 \cdot D} \quad (4.59)$$

Entonces el bloque de seno nos entrega pulsos con un valor de.

$$33548 \cdot \cos(\theta) \quad (4.60)$$

En donde el  $\cos(\theta)$ , es uno de los 1600 ángulos en los que esta dividido en espacio vectorial, en cambio las operaciones  $V_{RMS}/2^4 \cdot D$  serán realizadas en otros bloques.

Luego de establecidas las ecuaciones que gobiernan estos bloques, para generar un nuevo angulo de la onda seno o coseno tiene que presentarse en la entrada clk un pulso positivo, y por propiedades de simetría de la onda seno y coseno no es necesario guardar los 1600 ángulos del espacio vectorial sino que solamente la cuarta parte de ellos es decir solo los 400, estos se calcularon con las siguientes ecuaciones.

$$seno_n = int \left[ 58107 \cdot \sin \left( n \cdot \frac{90^\circ}{n_a - 1} \right) \right] \quad (4.61)$$

$$coseno_n = int \left[ 33548 \cdot \cos \left( n \cdot \frac{90^\circ}{n_a - 1} \right) \right] \quad (4.62)$$

Donde:

$seno_n$  = valores de los 400 ángulos de la componente d del espacio vectorial.

$coseno_n$  = valores de los 400 ángulos de la componente q del espacio vectorial.

$n$  = número del angulo a calcular el mismo que varia de 0 a 399.

$n_a$  = 400 ángulos del espacio vectorial, que es la cuarta parte de la cantidad de ángulos del espacio vectorial.

Por lo tanto las ecuaciones nos quedan.

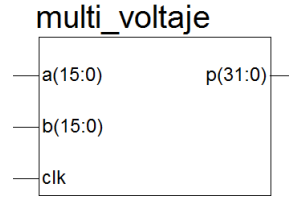
$$seno_n = redondeo \left[ 58107 \cdot \sin \left( n \cdot \frac{90^\circ}{399} \right) \right] \quad (4.63)$$

$$\text{coseno}_n = \text{redondeo} \left[ 33548 \cdot \cos \left( n \cdot \frac{90^\circ}{399} \right) \right] \quad (4.64)$$

Para establecer si la onda es creciente o decreciente se compara si la misma llega a su valor máximo o mínimo, y para el caso del signo que tiene la onda solo hace falta comparar si la onda llega a su valor mínimo, si es así al momento de cambiar de sentido de decreciente a creciente se cambia el bit de signo, el mismo que es encargado de indicar el sentido de la onda.

#### 4.3.4.8. Multiplicación voltaje

Bloque para la multiplicación de las componentes d-q descritas en la sección anterior por el voltaje Vrms.



**Figura 4.39.:** Multiplicación de voltajes.

##### Entradas:

clk: entrada de reloj necesaria para la multiplicación.

a: entrada del primer factor a multiplicar.

b: entrada del segundo factor a multiplicar.

##### Salidas:

p: resultado del producto de las dos entradas.

##### Funcionamiento:

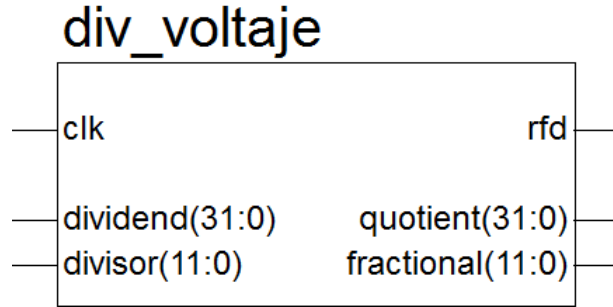
Bloque de multiplicación que realiza el producto de la tensión Vrms que se desea obtener a la salida del inversor por el componente del vector de referencia y presenta el resultado en la salida p, cuando existe un pulso de reloj, el mismo es un ipcore generado por el software Xilinx ISE Design Suite 13.1.

$$[58107 \cdot \text{sen}(\theta)] \cdot V_{RMS} \quad (4.65)$$

$$[33548 \cdot \cos(\theta)] \cdot V_{RMS} \quad (4.66)$$

#### 4.3.4.9. División voltaje.

Este bloque lo usamos para dividir el resultado de la multiplicación del vector de referencia por el Vrms para el voltaje promedio de las fuentes de alimentación.



**Figura 4.40.:** División de voltaje.

##### Entradas:

clk: entrada de reloj necesaria para la división entre los dos números.

dividend: entrada en donde se ingresa el producto del voltaje Vrms por el vector de referencia.

divisor: entrada en donde se ingresa el promedio de las tensiones de las fuentes.

##### Salidas:

quotient: resultado de la división.

##### Funcionamiento:

Bloque de división en donde se divide el producto del voltaje Vrms por el vector de referencia para la tensión promedio de las fuentes de tensión, este bloque fue creado a partir de un ipcore por el software Xilinx ISE Design Suite 13.1.

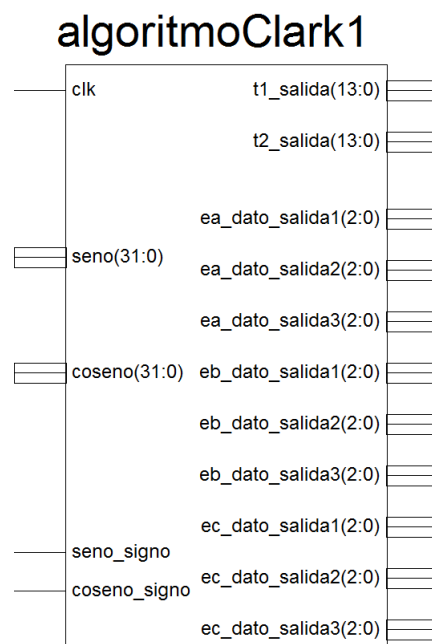
$$\{[58107 \cdot \sin(\theta)] \cdot V_{RMS}\} / D \quad (4.67)$$

$$\{[33548 \cdot \cos(\theta)] \cdot V_{RMS}\} / D \quad (4.68)$$

### 4.3.5. Algoritmo Clark 1.

En este bloque se realizan los cálculos de los tiempos y estados del inversor, los mismos que se realizan a partir de las componentes d y q calculados por el bloque del generador de Clark.

#### 4.3.5.1. Descripción.



**Figura 4.41.:** Bloque del algoritmo Clark.

#### Entradas:

clk: entrada de reloj necesaria para el funcionamiento de las maquinas de estado.

seno: valor absoluto del componente q del vector de referencia ya normalizado y achatado, el mismo que esta multiplicado por un factor de 10000, formato usado por este bloque para contar el número de pulsos que se deben entregar a salida del sistema en cada estado del inversor.

coseno: valor absoluto del componente d del vector de referencia ya normalizado y achatado, el mismo que esta multiplicado por un factor de 10000, formato usado por este bloque para contar el número de pulsos que se deben entregar a salida del sistema en cada estado del inversor.

seno\_signo: signo del componente q del vector de referencia.

coseno\_signo: signo del componente d del vector de referencia.

**Salidas:**

t1\_salida, t2\_salida: número de pulsos que se deben contar a la salida del inversor en cada estado.

ea\_dato\_salida1, eb\_dato\_salida1, ec\_dato\_salida1: salida que le indican al siguiente bloque que estados activar en un número de pulsos t1\_salida.

ea\_dato\_salida2, eb\_dato\_salida2, ec\_dato\_salida2: salida que le indican al siguiente bloque que estados activar en un número de pulsos t2\_salida.

ea\_dato\_salida3, eb\_dato\_salida3, ec\_dato\_salida3: salida que le indican al siguiente bloque que estados activar en el número de pulsos restante.

**Funcionamiento:**

Por las entradas seno, coseno, seno\_signo y coseno\_signo ingresa el valor del vector de referencia ya normalizado y achatado, lo primero que se realiza es dividir este valor para  $2^4$ , el mismo que fue multiplicado en el bloque de seno Clark y coseno Clark para aumentar la precisión del del vector de referencia, esta división se realiza suprimiendo los 4 últimos bits de la señal seno y coseno, a la vez al nuevo valor se le agrega el signo que viene por la entrada de signo, este nuevo valor se carga en dos nuevas variables.

Luego de cargado el valor de referencia con su signo, este viene multiplicado por un factor de 10000 por cuestiones de precisión y de conteo de pulsos en el bloque de conmutación, se realiza la elección de la zona en donde se encuentre el vector de referencia como se explico en el paso 3 del método de modulación vectorial espacial de consideraciones geométricas descrito en la Subsección 2.1.3.

Lo siguiente es establecer el vértice del sector en donde se encuentra el vector de referencia por medio del paso 4 descrito también en la Subsección 2.1.3.

A continuación se realizan los pasos 5, 6 y 7 del método de modulación vectorial espacial de consideraciones geométricas, a partir de los valores del vértice y de las componentes del vector de referencia, se calculan los estados de y tiempos de conmutación, estos tiempos aun siguen multiplicados por 10000, por cuestiones de precisión y para que su valor no necesite alteraciones mayores a la hora ser utilizados en el bloque de conmutación.

Por ultimo estos valores de estados y tiempos son enviados a las salidas, las mismas que permanecen en 0 hasta que se actualice por primera las mismas

De esta forma termina el ciclo de calculo, el mismo que se vuelve a repetir indefinidamente y se puede ver en la Figura 4.42.

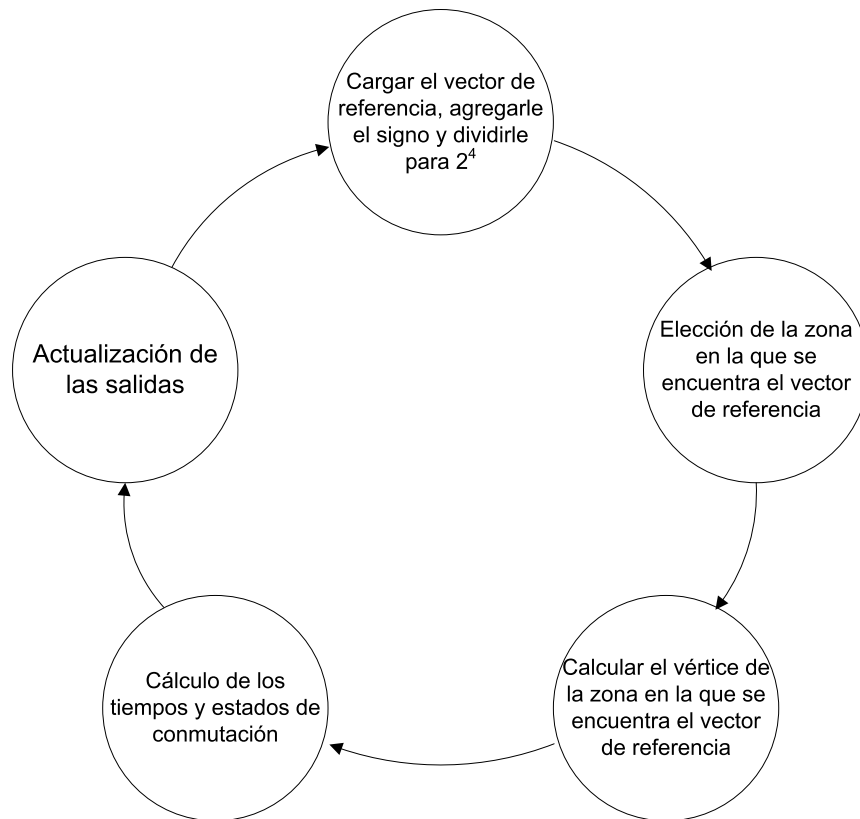


Figura 4.42.: Máquina de estados del algoritmo.

#### 4.3.6. Conmutación.

##### 4.3.6.1. Descripción.

Este bloque es el encargado de seleccionar las salidas a activar, a partir de los estados y tiempos de conmutación establecidos en el bloque del algoritmo de Clark.

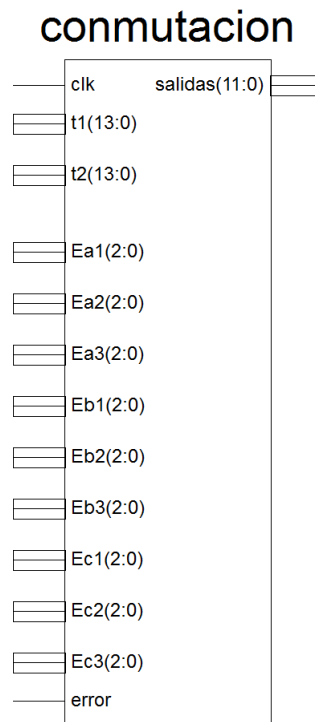
**Entradas:**

clk: entrada de reloj necesaria para contar el tiempo de cada estado.

t1\_salida, t2\_salida: número de pulsos que se deben contar a la salida del inversor en cada estado.

ea\_dato\_salida1, eb\_dato\_salida1, ec\_dato\_salida1: salida que le indican al siguiente bloque que estados activar en un número de pulsos t1\_salida.

ea\_dato\_salida2, eb\_dato\_salida2, ec\_dato\_salida2: salida que le indican al siguiente bloque que estados activar en un número de pulsos t2\_salida.



**Figura 4.43.:** Bloque de conmutación.

ea\_dato\_salida3, eb\_dato\_salida3, ec\_dato\_salida3: salida que le indican al siguiente bloque que estados activar en el número de pulsos restante.

error: entrada de error que indica al bloque que debe apagar las salidas.

**Salidas:**

Salidas: datos que van a los pines del FPGA para activar los distintos IGBT's.

**Funcionamiento:**

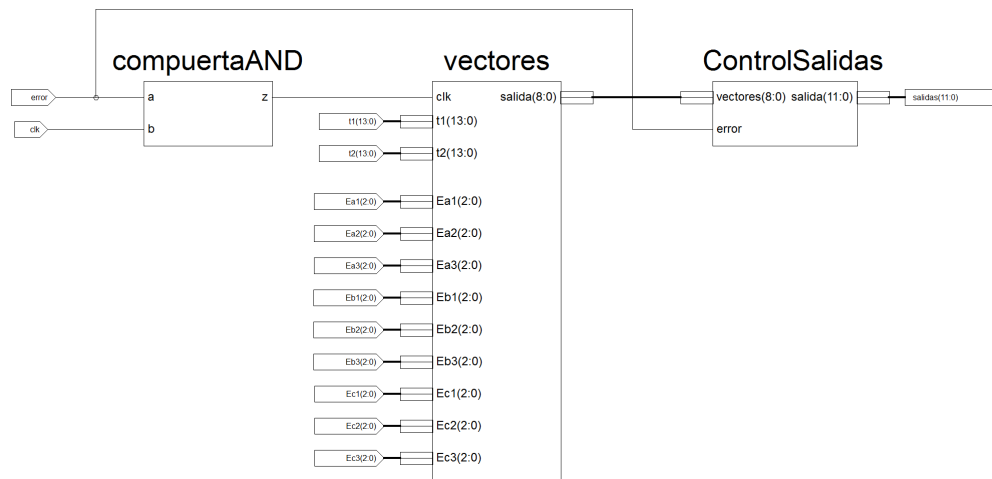
Al no existir ninguna señal de error, el bloque compuerta AND deja pasar los pulsos del oscilador al bloque de vectores, en donde ingresan los estados y tiempos de conmutación, los mismos son almacenados en señales, luego con el valor de estas señales se cuentan un número igual de pulsos del oscilador que corresponden a los tiempos de conmutación de cada estado, estos estados son transformados a una salida binaria que le corresponde a una combinación de interruptores encendidos o apagados descrito en la Subsección 3.3.3.

Luego esta combinación de interruptores pasa al bloque de control de salidas en donde por medio de compuertas lógicas se completa los bits necesarios para el manejo del banco de IGBT's, y su resultado es enviado a los pines del FPGA.

Las salidas de este bloque de control de salidas se encienden y apagan según la



### 4.3 Diagrama de bloques del algoritmo de control.

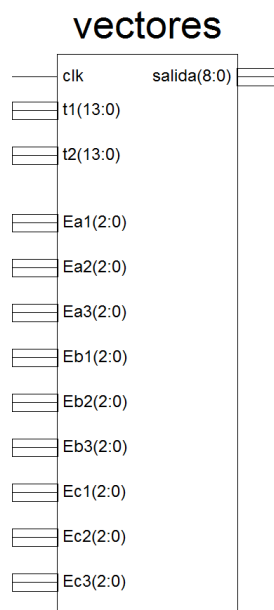


**Figura 4.44.:** Bloques interiores del bloque de conmutación.

combinación entregada por el bloque de vectores, siempre y cuando no exista un error en el sistema, ya que si es así, las salidas se vuelven cero con lo cual se protege a los IGBT's, todo este proceso se describe en más detalle a continuación.

#### 4.3.6.2. Vectores.

Este bloque es el encargado de dar la secuencia de los interruptores que se deben encender o apagar en cierto momento según los datos entregados por el bloque del algoritmo Clark.



**Figura 4.45.:** Bloque de vectores.

**Entradas:**

clk: entrada de reloj necesaria para contar el tiempo de cada estado.

t1\_salida, t2\_salida: número de pulsos que se deben contar a la salida del inversor en cada estado.

ea\_dato\_salida1, eb\_dato\_salida1, ec\_dato\_salida1: salida que le indican al siguiente bloque que estados activar en un número de pulsos t1\_salida.

ea\_dato\_salida2, eb\_dato\_salida2, ec\_dato\_salida2: salida que le indican al siguiente bloque que estados activar en un número de pulsos t2\_salida.

ea\_dato\_salida3, eb\_dato\_salida3, ec\_dato\_salida3: salida que le indican al siguiente bloque que estados activar en el número de pulsos restante.

**Salidas:**

Salidas: señal que le corresponde a una combinación de interruptores encendidos o apagados descrito en la Subsección 3.3.3

**Funcionamiento:**

En este bloque se realiza un conteo de cuantos pulsos de reloj tengo que activar un estado del inversor, dependiendo de los datos de tiempo entregado por el bloque del algoritmo, y el orden de activación de estos estados.

Para estimar el número de pulsos que se deben dar, se partió de la premisa de que la frecuencia de muestreo del sistema es de 10kHz, la misma que usada por la mayoría de equipos industriales, por lo tanto el número de pulsos que se deben contar para generar esta frecuencia de muestreo se deduce en la siguiente ecuación.

$$\frac{frecuencia\ reloj}{frecuencia\ muestreo} = \frac{50MHz}{10kHz} = 5000\ pulsos \quad (4.69)$$

Sabiendo que el número de pulsos que se deben contar por cada tiempo de muestreo es de 5000, y sabiendo también que la suma de los tiempos de conmutación es igual a 1, como se describió en el paso 7 en la Subsección 2.1.3, lo que hay que hacer es multiplicar el resultado de cada tiempo por 5000 y se sabrá el número de pulso que hay que dar en cada estado.

$$pulsos\ t_{1,2,3} = t_{1,2,3} \cdot 5000 \quad (4.70)$$

Ahora debido a que inicialmente al vector normalizado lo multiplicamos por un factor de 10000, entonces los valores de los tiempos resultantes también están multiplicados por el mismo factor de 10000.

$$t_{1,2,3}^{10000} = 10000 \cdot t_{1,2,3} \quad (4.71)$$

Despejando  $t_{1,2,3}$  se obtiene.

$$t_{1,2,3} = \frac{t_{1,2,3}^{10000}}{10000} \quad (4.72)$$

Entonces reemplazamos este valor de tiempo en la Ecuación 4.70 y se obtiene.

$$\text{pulsos } t_{1,2,3} = \frac{t_{1,2,3}^{10000}}{10000} \cdot 5000 = \frac{t_{1,2,3}^{10000}}{2} \quad (4.73)$$

Con este resultado lo único que tenemos que hacer, para activar cada estado del inversor es contar un número de pulsos igual a la mitad del valor del tiempo entregado por el bloque del algoritmo.

Con estas premisas lo que se hizo es que cada 5000 pulsos de reloj se tome el valor de las entradas de estado y tiempo, al valor de los tiempos se elimina el bit menos significativo, lo que corresponde a una división para dos, luego se cuenta un número de pulsos igual al valor de la división y se activa las salidas correspondientes al estado que debe tener el inversor en ese tiempo.

La salida que nos entrega este bloque es la combinación de interruptores que se deben activar para generar el estado que se desea obtener, la combinación de interruptores con su correspondiente estado se detalla en la Subsección 3.3.3.

Para disminuir las conmutaciones necesarias en el inversor, en un primer tiempo de muestreo se activaron los estados 1, 2 y 3 en ese orden y en el siguiente tiempo de conmutación se invirtió el orden de la conmutación, con lo que en muchas ocasiones el estado final de un tiempo de muestreo es el mismo estado inicial en el siguiente tiempo de muestreo.



**Figura 4.46.:** Bloque de control de salidas.

#### 4.3.6.3. Control salidas.

##### Entradas:

vectores: serie de interruptores que generan el estado deseado en el inversor.

error: señal de error que nos permite dejar pasar la señal de activación para los IGBT's.

##### Salidas:

salida: bits que activan a los driver de los IGBT's

##### Funcionamiento:

Debido a que la serie de interruptores que se deben activar, fueron establecidos de diferente forma en la programación del sistema de control y la forma en que están dispuestos los IGBT's se necesita un bloque intermedio que los acople.

Este acoplamiento principalmente se debe, a que en el diseño se estableció que en un ramal el interruptor superior es complementario al inferior y ambos se activan y desactivan por medio de la misma señal, y en el caso de nuestro banco trifásico se necesita las dos señales por separado, por tanto las señales complementarias se envían por 2 pines diferentes.

También en este bloque se pone en marcha el sistema de protección, ya que si existe una falla de corriente o tensión descritos anteriormente, el bloque manda a apagar los IGBT's para protegerlos.

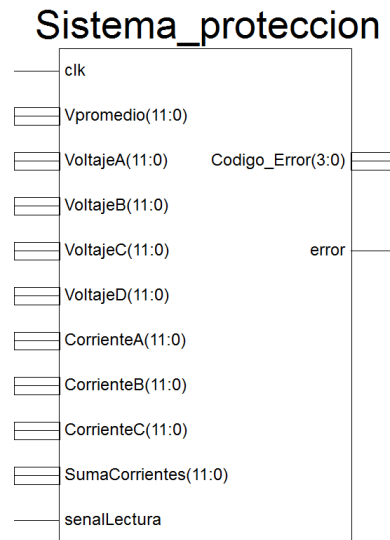
#### 4.3.7. Sistema de protección.

##### 4.3.7.1. Descripción.

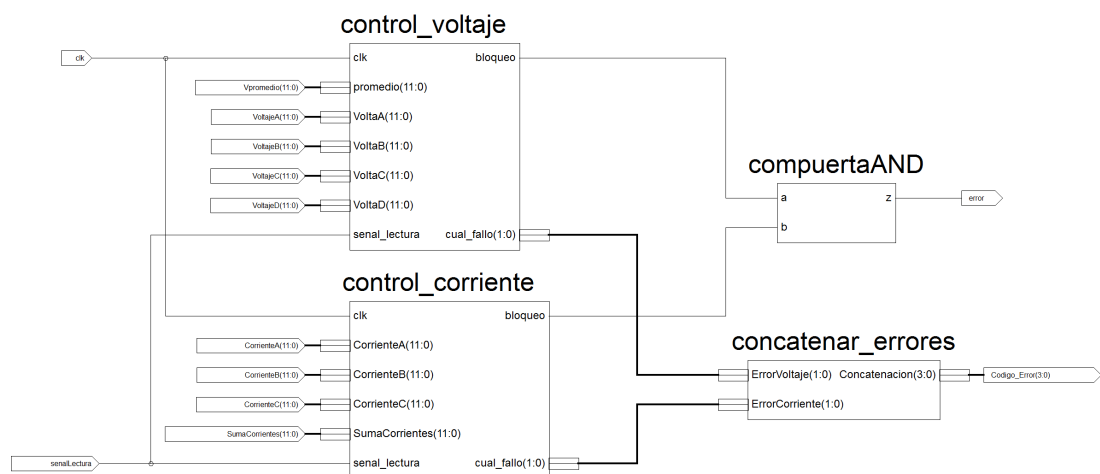
En este bloque es en donde se generan las señales de error cuando existe una sobrecorriente en la carga o una bajada drástica de la tensión de las fuentes.

Al generarse el error, el pin de error pasa de un nivel lógico 0 a un 1 y por la salida código error nos muestrea un código que corresponde al error producido.

### 4.3 Diagrama de bloques del algoritmo de control.



**Figura 4.47.:** Bloque del sistema de protección.



**Figura 4.48.:** Bloques interiores del sistema de protección.

#### Entradas:

clk: entrada de reloj necesaria para la comparación entre las distintas señales.

promedio: entrada del voltaje promedio de las fuentes de corriente continua.

voltajeA: valor de la tensión de la fuente 1.

voltajeB: valor de la tensión de la fuente 2.

voltajeC: valor de la tensión de la fuente 3.

voltajeD: valor de la tensión de la fuente 4.

corrienteA: valor de la corriente en la fase A.

corrienteB: valor de la corriente en la fase B.

### 4.3 Diagrama de bloques del algoritmo de control.

---

corrienteC: valor de la corriente en la fase C.

sumaCorrientes: salidas de la suma de las corrientes de las 3 fases.

lectura: bit que nos avisa que ya se leyó todos los canales analógicos por primera vez.

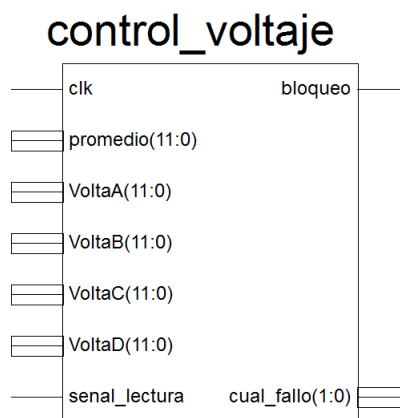
#### Salidas:

código error: código del error producido.

error: bit de estado indicando si se produjo un error.

#### 4.3.7.2. Protección de voltaje.

En este bloque es en donde se compara si existió una caída drástica en las fuentes de tensión, se lo realiza comparando la tensión de cada fuente con respecto al promedio de las mismas, y si existe una diferencia mayor a  $\pm 2$  voltios se emite la señal de error, pero esta señal solo se puede emitir después que se hayan leído por primera vez todos los canales.



**Figura 4.49.:** Bloque de control de voltajes.

#### Entradas:

clk: entrada de reloj necesaria para la comparación entre las distintas señales.

promedio: entrada del voltaje promedio de las fuentes de corriente continua.

voltajeA: valor de la tensión de la fuente 1.

voltajeB: valor de la tensión de la fuente 2.

voltajeC: valor de la tensión de la fuente 3.

voltajeD: valor de la tensión de la fuente 4.

### 4.3 Diagrama de bloques del algoritmo de control.

---

lectura: bit que nos avisa que ya se leyó todos los canales analógicos por primera vez.

#### Salidas:

cual fallo: código del error producido.

bloqueo: bit de estado indicando si se produjo un error.

#### Funcionamiento:

Lo que se hace comparar las señales de tensión de cada fuente y verificar que no varié en más de  $\pm 2$ , por lo tanto se debe reemplazar este valor en la Ecuación 4.18 y se obtiene:

$$D = \frac{16384}{957} \cdot V_{DC} = \frac{16384}{957} \cdot (\pm 2V) = \pm 34 \quad (4.74)$$

Esto quiere decir que si el valor de la tensión de cualquiera de las fuentes varia en  $\pm 34$  con respecto al valor promedio de las tensiones se genera el error.

#### 4.3.7.3. Protección de corriente.

En este bloque se genera establece si las señales de corriente sobrepasan los limites seguros de funcionamiento que en este caso son de 4.5A, o si alguna de las fases del sistema se han desconectado, si es así se generan señales de error apagando el sistema de control del inversor.

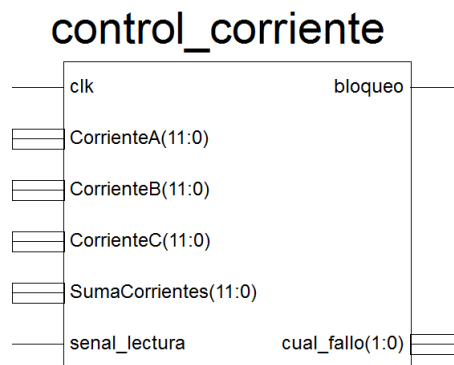


Figura 4.50.: Bloque de control de corrientes.

#### Entradas:

clk: entrada de reloj necesaria para la comparación entre las distintas señales.

### 4.3 Diagrama de bloques del algoritmo de control.

---

corrienteA: valor de la corriente en la fase A.

corrienteB: valor de la corriente en la fase B.

corrienteC: valor de la corriente en la fase C.

sumaCorrientes: salidas de la suma de las corrientes de las 3 fases.

lectura: bit que nos avisa que ya se leyó todos los canales analógicos por primera vez.

#### **Salidas:**

cual fallo: código del error producido.

bloqueo: bit de estado indicando si se produjo un error.

#### **Funcionamiento:**

Para verificar que si se sobrepaso la corriente de funcionamiento de  $\pm 4.5A$  lo que se hizo es comparar si es sobrepaso un nivel establecido por medio de la Ecuación 4.31.

$$D = 2048 - 132,043 \cdot I_{a,b,c} = 2048 - 132,043 \cdot (\pm 4,5) = 2048 \pm 594 \quad (4.75)$$

$$D_{min} = 2048 - 594 = 1454 \quad (4.76)$$

$$D_{max} = 2048 + 594 = 2642 \quad (4.77)$$

Entonces el sistema de protección se activa cuando la corriente en cualquiera de las fases sea menor a 1454 o mayor a 2642.

En cambio para detectar que si se desconecto una o dos fases se sumaron las tres corriente, con lo cual si están conectadas las 3 y el sistema es equilibrado, la suma nos debe dar cero, caso contrario nos da un valor, para esto su utilizando la siguiente ecuación descrita en la Subsubsección 4.3.2.3.

$$D = \frac{4096 \cdot \left[ 1,65v - \frac{100k\Omega + 1,2k\Omega}{19,1k\Omega} \cdot (Ia + Ib + Ic) \right]}{3,3v} = 2048 - \frac{\frac{P+1,2k\Omega}{19,1k\Omega} \cdot (Ia + Ib + Ic)}{3,3v}$$



(4.78)

En donde P es el valor del potenciómetro también descrito en Subsubsección 4.3.2.3.

Por tanto si el sistema es equilibrado el ADC nos debe entregar un valor de 2048, pero por condiciones propias de los sistemas que no son perfectamente equilibrado, se estableció un rango dentro del cual se puede establecer que el sistema se encuentra bien y nosotros lo establecimos de  $\pm 20$  por tanto.

$$D_{min} = 2048 - 20 = 2028 \quad (4.79)$$

$$D_{max} = 2048 + 20 = 2068 \quad (4.80)$$

## 5. Pruebas de funcionamiento.

Estas pruebas de funcionamiento se realizaron en tres etapas, las mismas que son:

- La simulación del algoritmo por medio de Isim, el mismo que es un simulador integrado de Xilinx ISE Design Suite 13.1.
- Verificación de los datos en tiempo real, los mismo que son enviados por el FPGA hacia el PC por medio de ChipScope, que es un software de Xilinx ISE Design Suite 13.1 destinado al monitoreo del funcionamiento en tiempo real de las señales presentes en el FPGA.
- Medición de las corrientes y voltajes en el circuito del inversor por medio del osciloscopio y multímetro.

### 5.1. Simulación del algoritmo mediante Isim.

La simulación se realizó solo en ciertas partes del sistema de control como en el bloque del generador de Clark que nos entrega el vector de referencia normalizado y achatado y en el bloque del algoritmo el mismo que nos entrega las señales de salida.

#### 5.1.1. Simulación del bloque del generador de Clark.

Para la simulación se partió de los siguientes valores de frecuencia y tensión a obtener.

$$frecuencia = 60Hz \quad (5.1)$$

$$V_{rms} = 35v \quad (5.2)$$

## 5.1 Simulación del algoritmo mediante Isim.

---

Por tanto para su utilización en el bloque del generador de Clark lo tenemos que multiplicar por 100 para ajustarnos al formato descrito en la Subsección 4.3.4.

$$f = 60 \cdot 100 = 6000 \quad (5.3)$$

$$v = 35 \cdot 100 = 3500 \quad (5.4)$$

Ahora elegimos un valor de tensión de las fuentes de 38.6v, por tanto esto le corresponde un valor calculado por medio de la Ecuación 4.18.

$$D = \frac{16384}{957} \cdot V_{DC} = \frac{16384}{957} \cdot 38,6V \approx 660 \quad (5.5)$$

Ahora establecemos la frecuencia del reloj en 50MHz, pero en el bloque ingresa un valor de 325000 como se dedujo en la Ecuación 4.54.

$$frecuencia\ reloj = 3125000 \quad (5.6)$$

Con estos valores lo primero es calcular el número de pulsos que se deben contar antes de cambiar de angulo.

$$n = \frac{3125000}{6000} \approx 520 \quad (5.7)$$

Ahora calculamos el número de pulsos en los cuales tenemos que corregir

$$n_a = int \left[ \frac{50 \cdot 10^6 - 1600 \cdot 60 \cdot int \left( \frac{50 \cdot 10^6}{1600 \cdot 60} \right)}{60} \right] = 1333 \quad (5.8)$$

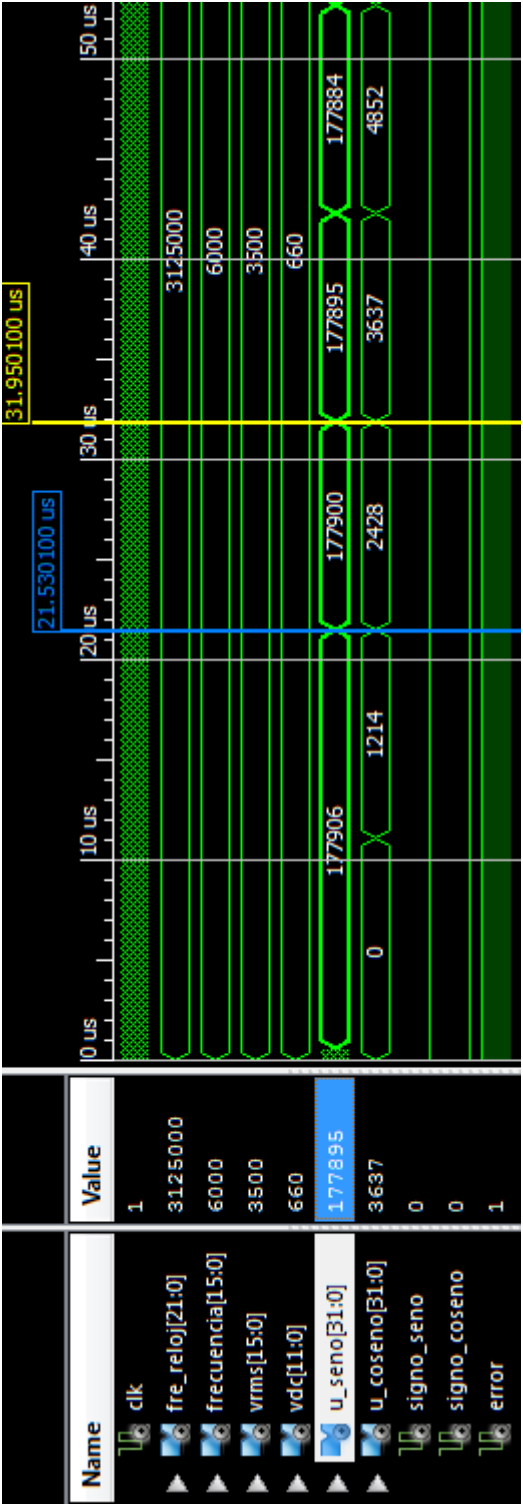


Figura 5.1.: Simulación del bloque del generador de Clark.

Esta corrección se puede ver reflejada en el número de pulsos que cuenta en los

## 5.1 Simulación del algoritmo mediante Isim.

---

primeros ángulos como se muestra en la Figura 5.1.

$$pulsos = \frac{tf - ti}{tm} = \frac{31,9501\mu s - 21,5301\mu s}{20ns} = 521 \quad (5.9)$$

Como se puede ver la corrección de pulsos si se realiza.

Ahora realizamos el calculo de las componentes d-q del vector de referencia, con un angulo de  $0.225^\circ$ , con la Ecuación 4.67 y Ecuación 4.68.

$$u_{coseno} = \frac{redon [58107 \cdot \sen (\theta)] \cdot V_{RMS}}{D} = \frac{redon [58107 \cdot \sen (0,225^\circ)] \cdot 3500}{660} = 1214 \quad (5.10)$$

$$u_{seno} = \frac{redon [33548 \cdot \cos (\theta)] \cdot V_{RMS}}{D} = \frac{redon [33548 \cdot \cos (0,225^\circ)] \cdot 3500}{660} = 177906 \quad (5.11)$$

Con lo queda establecido que el bloque esta funcionando correctamente.

### 5.1.2. Simulación del bloque del algoritmo.

Ahora con los datos de las componentes d-q del vector de referencia, calculado en el anterior apartado, calculamos los estados y tiempos del inversor.

Como se explico anteriormente, con el pulso de reloj lo primero es dividir el valor de las componentes para  $2^4$  y agregarle el signo, el mismo que es positivo si el bit de signo es 0 y viceversa.

$$v_{dn} = int \left( \frac{1214}{2^4} \right) = 75 \quad (5.12)$$

$$v_{qn} = int \left( \frac{177906}{2^4} \right) = 11119 \quad (5.13)$$

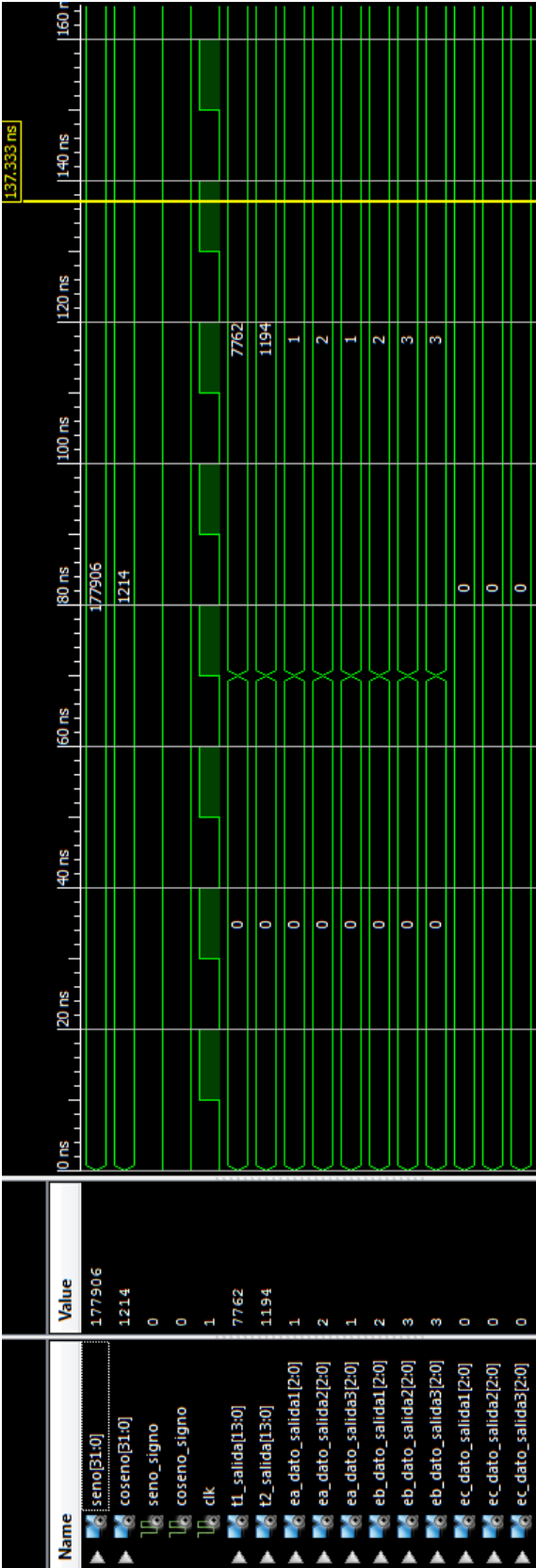


Figura 5.2.: Simulación del bloque del algoritmo.

## 5.1 Simulación del algoritmo mediante Isim.

---

Con el segundo pulso del reloj y con los valores de la del vector de referencia, el siguiente paso es establecer en donde se encuentra el vector de referencia por medio del flujograma de la Figura 2.6.

$$V_{qn} > 0 \implies 11119 > 0 \quad (5.14)$$

$$V_{qn} > -V_{dn} \implies 11119 > -75 \quad (5.15)$$

Por tanto el vector se encuentra en la zona 1.

Con el tercer pulso de reloj, se establece el vértice del vector de referencia multiplicado por 10000, con las inecuaciones mostradas en la Tabla 2.1.

$$Ea = \text{int}(v_{dn} + v_{qn}) = \text{int}\left(\frac{75}{10000} + \frac{11119}{10000}\right) = 1 \quad (5.16)$$

$$Eb = \text{int}(2v_{qn}) = \text{int}\left(2 \cdot \frac{11119}{10000}\right) = 2 \quad (5.17)$$

$$Ec = 0 \quad (5.18)$$

Con el siguiente pulso de reloj se realiza el calculo del sector triangular, los estados y tiempos de conmutación.

$$v_{qn} - v_{dn} > E_b - E_a \implies \frac{11119}{10000} - \frac{75}{10000} > 2 - 1 \quad (5.19)$$

Como se ve en el calculo anterior el vector se encuentra en el sector triangular 2,

por lo tanto los estados son.

$$E_a, E_b, E_c = 1, 2, 0 \quad (5.20)$$

$$E_a + 1, E_b + 1, E_c = 2, 3, 0 \quad (5.21)$$

$$E_a, E_b + 1, E_c = 1, 3, 0 \quad (5.22)$$

Con los estados establecidos calculamos los tiempos de conmutación, el mismo que esta multiplicado por 10000.

$$t_1 = 1 + E_b - 2v_{qn} = 10000 + 20000 - 2 \cdot 11119 = 7762 \quad (5.23)$$

$$t_2 = -E_a + v_{dn} + v_{qn} = -10000 + 75 + 11119 = 1194 \quad (5.24)$$

Pero debido a que la suma de los tres tiempos es igual a 10000, por tanto no es necesario calcular el tercer tiempo, solo restarlo de la suma de los 3 tiempos.

$$t_3 = 10000 - t_1 - t_2 = 10000 - 7762 - 1194 = 1044 \quad (5.25)$$

Ahora para comprobar estos resultados los comparamos con el algoritmo simulado en Matlab descrito en la Apéndice B, con lo que nos entrega los siguientes tiempos.

$$t_1 = 7732,1 \quad (5.26)$$



$$t_2 = 1209,9 \quad (5.27)$$

$$t_3 = 1058 \quad (5.28)$$

Con lo que se produce el siguiente error.

$$error\ t_1 = \frac{7732,1 - 7762}{7732,1} \cdot 100 \% = -0,386 \% \quad (5.29)$$

$$error\ t_2 = \frac{1209,9 - 1194}{1209,9} \cdot 100 \% = 1,31 \% \quad (5.30)$$

$$error\ t_3 = \frac{1058 - 1044}{1058} \cdot 100 \% = 1,32 \% \quad (5.31)$$

Este error se debe a que no se utilizó todos los decimales en el cálculo en el FPGA.

## 5.2. Verificación del algoritmo mediante ChipScope.

### 5.2.1. Verificación del bloque del generador de Clark.

Ahora para verificar el funcionamiento del algoritmo, lo que se hizo fue establecer valores parecidos de tensión en las fuentes de alrededor de 38.6v, y en el circuito de control se estableció una tensión de salida de 35v, con lo que se verifica el valor del vector de referencia, que sus componentes deben tener los siguientes valores máximos.

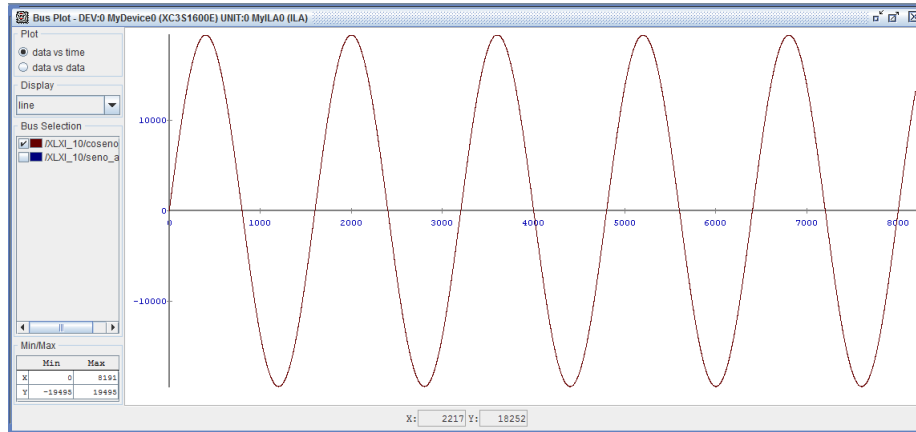
$$d_{max} = \frac{58107 \cdot 3500}{660 \cdot 2^4} = 19258 \quad (5.32)$$

## 5.2 Verificación del algoritmo mediante ChipScope.

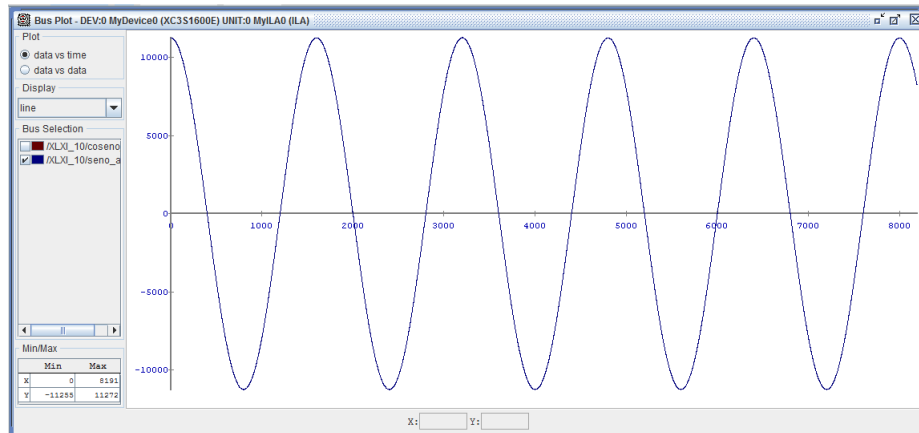
$$q_{max} = \frac{33548 \cdot 3500}{660 \cdot 2^4} = 11119 \quad (5.33)$$

El valor de la componente d, es de alrededor de 19258 y en los datos adquiridos por medio del ChipScope mostrados en la Figura 5.3 es de 19495, su diferencia radica principalmente a la imposibilidad de establecer la tensión de las fuentes en exactamente 38.6V, por lo que el resultado varia.

También el valor de la componente q, es de alrededor de 11119 y en los datos adquiridos por medio del ChipScope mostrados en la Figura 5.3 es de 11255, y como en la componente d, su diferencia radica principalmente a la imposibilidad de establecer la tensión de las fuentes en exactamente 38.6V, por lo que el resultado varia.

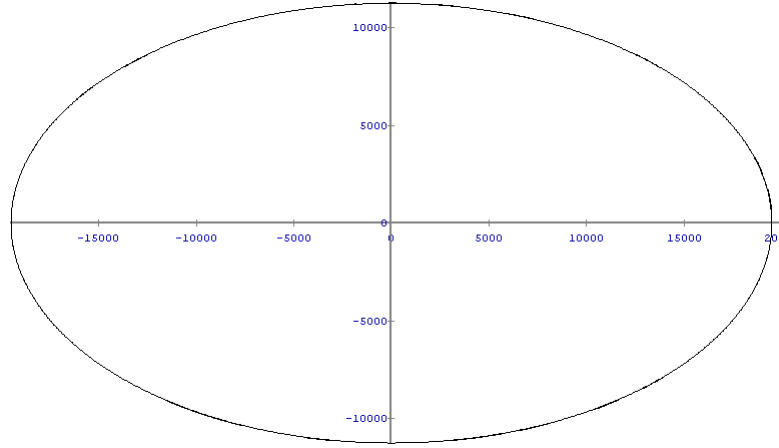


**Figura 5.3.:** Componente d del vector de referencia capturado por el ChipScope.



**Figura 5.4.:** Componente q del vector de referencia capturado por el ChipScope.

También en la Figura 5.5 se muestra el espacio vectorial que sigue el vector de referencia.



**Figura 5.5.:** Espacio vectorial capturado con el ChipScope.

### 5.2.2. Verificación del bloque del algoritmo.

También se verifico el funcionamiento del bloque del algoritmo, estableciendo los mismos valores anteriores, de 38.6v de voltaje de la fuente y 35v de voltaje de salida.

Lo primero que hacemos para verificar el bloque, es escoger un punto en donde vamos a realizar el calculo, en este caso elegimos el punto anterior al cambio de positivo a negativo de la componente q, como se ve en la Figura 5.6, que corresponde a un punto de alrededor de  $89.775^\circ$ , representado en el eje X en 602.

Ahora realizamos el cálculos de los estados y tiempos del inversor.

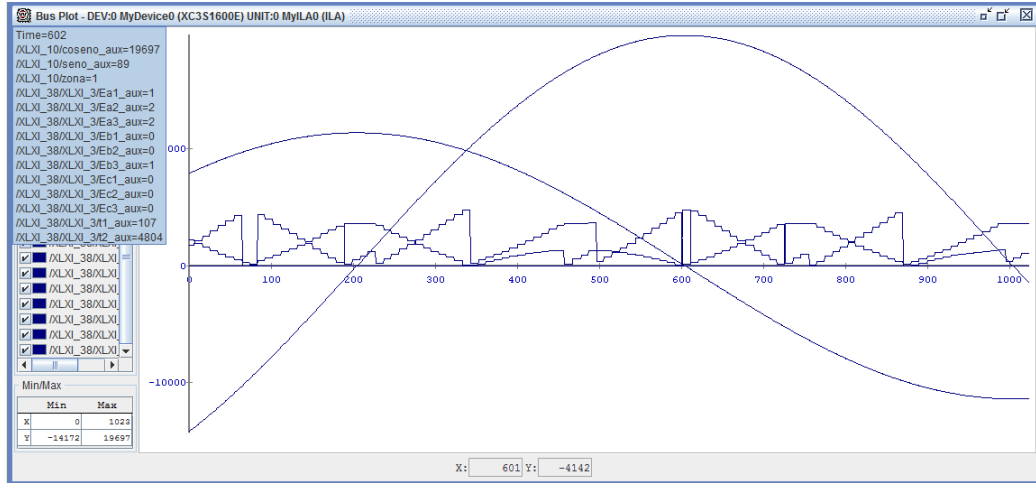
Sector triangular en el que se encuentra.

$$V_{qn} \leq 0 \implies 89 \leq 0 \quad (5.34)$$

$$V_{qn} \leq V_{dn} \implies 89 \leq 19697 \quad (5.35)$$

Por tanto el vector se encuentra en la zona 1.

## 5.2 Verificación del algoritmo mediante ChipScope.



**Figura 5.6.:** Estados y tiempos de conmutación capturados por medio del ChipScope.

El vértice del vector de referencia multiplicado por 10000, con las inecuaciones mostradas en la Tabla 2.1.

$$Ea = \text{int}(v_{dn} + v_{qn}) = \text{int}\left(\frac{19697}{10000} + \frac{89}{10000}\right) = 1 \quad (5.36)$$

$$Eb = \text{int}(2v_{qn}) = \text{int}\left(2 \cdot \frac{89}{10000}\right) = 0 \quad (5.37)$$

$$Ec = 0 \quad (5.38)$$

Sector triangular, los estados y tiempos de conmutación.

$$v_{qn} - v_{dn} \leq E_b - E_a \implies \frac{89}{10000} - \frac{19697}{10000} \leq 0 - 1 \quad (5.39)$$

Como se ve en el calculo anterior el vector se encuentra en el sector triangular 1,

por lo tanto los estados son.

$$E_a, E_b, E_c = 1, 0, 0 \quad (5.40)$$

$$E_a + 1, E_b, E_c = 2, 0, 0 \quad (5.41)$$

$$E_a + 1, E_b + 1, E_c = 2, 1, 0 \quad (5.42)$$

Con los estados establecidos calculamos los tiempos de conmutación, el mismo que esta multiplicado por 10000 y divididos para 2, ya que es el número de pulsos que cuenta el bloque de conmutación.

$$\frac{t_1}{2} = \frac{1 + E_a - v_{dn} - v_{qn}}{2} = \frac{10000 + 10000 - 19697 - 89}{2} = 107 \quad (5.43)$$

$$\frac{t_2}{2} = \frac{E_b - E_a + v_{dn} - v_{qn}}{2} = \frac{0 - 10000 + 19607 - 89}{2} = 4804 \quad (5.44)$$

Pero debido a que la suma de los tres tiempos es igual a 10000, por tanto no es necesario calcular el tercer tiempo, solo restarlo de la suma de los 3 tiempos.

$$t_3 = 10000 - t_1 - t_2 = 5000 - 4804 - 107 = 89 \quad (5.45)$$

Como se ve en la parte superior de la Figura 5.6, los datos calculados y tomados por el ChipScope coinciden, con lo que se comprueba que el algoritmo funciona bien.

## 5.3. Pruebas del algoritmo con el circuito de potencia.

Para las pruebas de funcionamiento del algoritmo con el circuito de IGBT's, se eligieron 3 tipos de cargas, una enteramente resistiva, una resistiva inductiva y un motor asíncrono.

### 5.3.1. Prueba con carga resistiva.

Para esta prueba se eligió una carga enteramente resistiva con las siguientes características de funcionamiento.

Tensión de las fuentes de alimentación de 38.56v.

Carga resistiva en estrella de  $312\Omega$ .

Voltaje fase neutro de salida deseado 14.36Vrms.

Frecuencia de salida 60Hz.

En la Figura 5.7 se muestra la tensión fase neutro de 2 de las fases del inversor, en donde se pueden ver que se están usando 2 de los niveles del inversor y en la Figura 5.8 la medida de la frecuencia que esta alrededor de 60.21Hz, que no es exactamente la frecuencia de salida del inversor, ya que el osciloscopio no mide la frecuencia exacta de la onda, sino la frecuencia entre 2 puntos seleccionados.

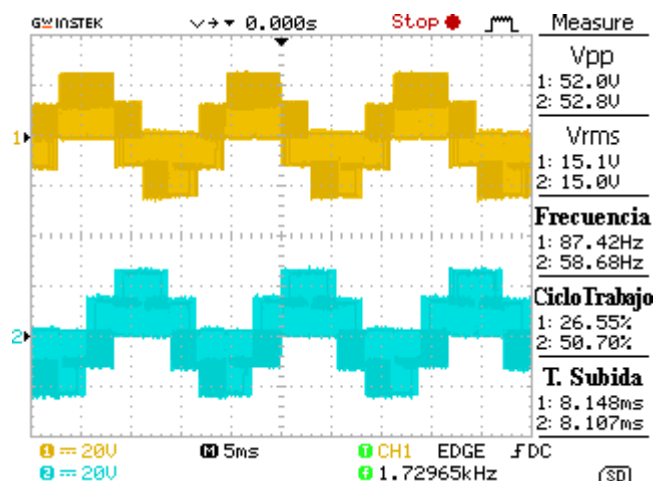


Figura 5.7.: Tensiones fase neutro medidas en 2 de las fases.

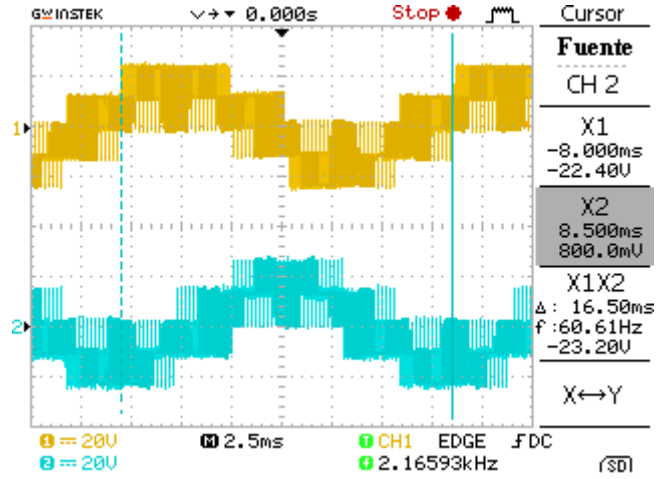


Figura 5.8.: Frecuencia de salida con una carga de  $300\Omega$ .

Con los valores de tensión de fase, calculamos el valor cuadrático medio por medio de Matlab con la siguiente ecuación.

$$V_{eff} = \sqrt{\int_0^T \frac{v^2(t)}{T} dt} \quad (5.46)$$

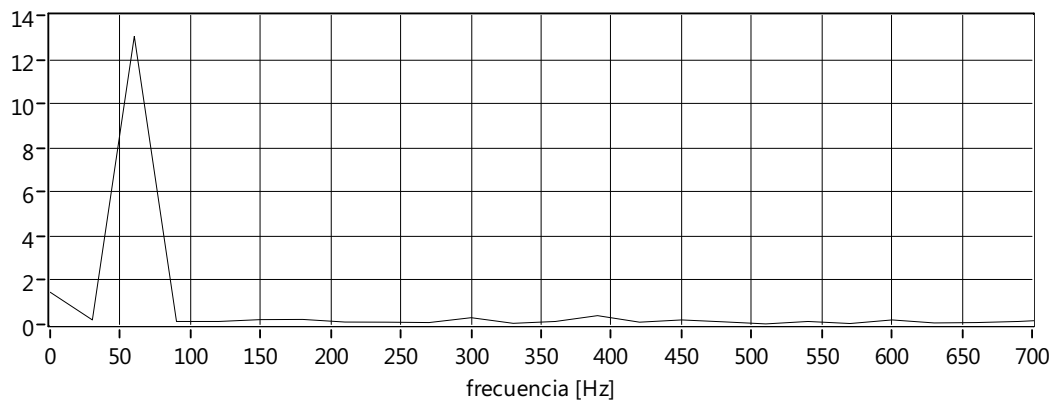
Con lo que entrego una tensión de 15.86v, este es un valor diferente al que establecimos en la tensión de que deseamos a la salida, pero este error se debe principalmente a la velocidad de adquisición del osciloscopio.

También calculamos el espectro de la onda de tensión generada, que se puede ver en la Figura 5.9, en donde el valor de la onda fundamental, a 60Hz, que se encuentra alrededor de los 13v, también se pueden ver que existen componentes armónicas, las mimas que están por debajo de 0.25v, por otro lado calculamos el THD por medio de Labview, que en el voltaje es de alrededor de 7.52 %.

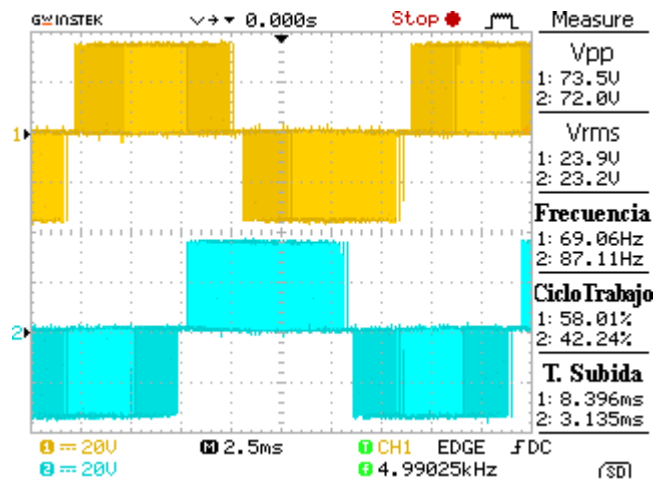
También en la corriente calculamos en valor  $V_{rms}$  por medio de Matlab que es de 45.68mA, que es bastante parecido al valor calculado en el osciloscopio como se muestra en la Figura 5.11 y este valor de corriente coincide aproximadamente con el valor calculado por medio de la ley de Ohm.

$$I = \frac{V}{R} = \frac{15,86v}{312\Omega} = 48,7mA \quad (5.47)$$

El espectro y el THD en este caso es el mismo de la tensión 7.52 %.



**Figura 5.9.:** Espectro de la onda de tensión con una carga de  $300\Omega$ .



**Figura 5.10.:** Tensión línea línea en 2 de las fases con una carga R.

### 5.3.2. Pruebas con carga resistiva inductiva en serie.

Para esta prueba se eligió los siguientes parámetros.

Una carga inductiva resistiva en estrella de  $R = 300\Omega$  y  $L = 0,8H$ .

Tensión de las fuentes de alimentación de 38.56v.

Voltaje de salida deseado 42vrms.

Frecuencia de 60Hz.

Como se puede ver en la Figura 5.12, la tensión de las 2 fases de la carga RL ya se parece más a una onda seno, la misma que se puede ver más detalladamente en la Figura 5.13, en donde también se puede observar que la frecuencia es de alrededor de 60.24Hz.

También en la Figura 5.13 que ya están actuando los demás niveles del inversor, también se calculo la tensión rms por medio Matlab que fue de 39.07v, valor que



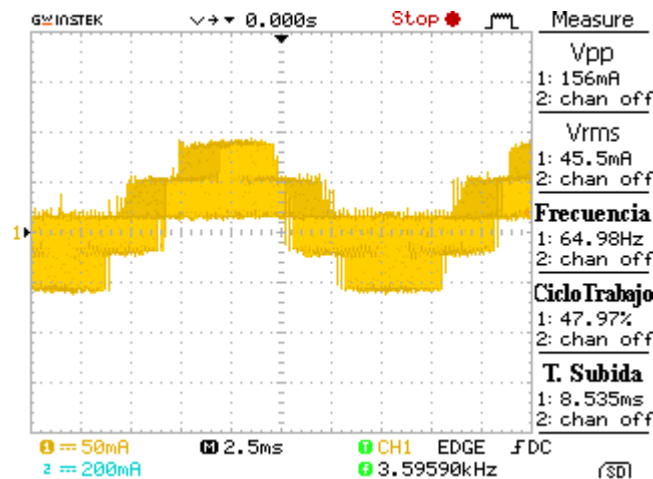


Figura 5.11.: Corriente en una de las fases con una carga R.

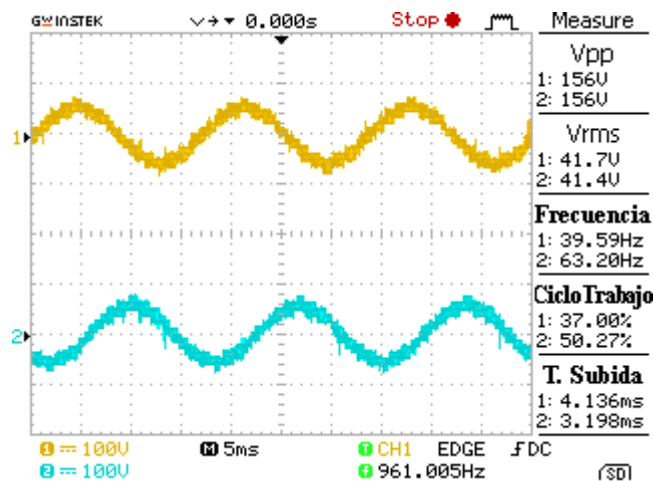


Figura 5.12.: Tensión fase neutro en 2 de las fases con carga RL.

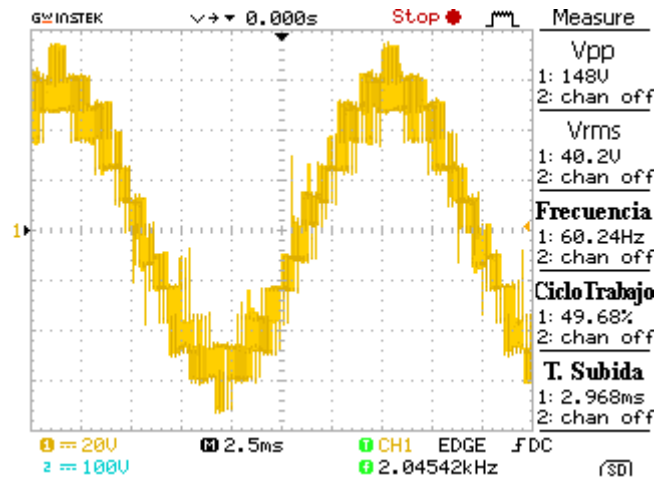
este alejado del seleccionado por las señales de ruido que se ingresan al osciloscopio, y el de THD es de 4.77 %.

También en la Figura 5.15 se muestra la onda de corriente en una de las fases que es de 121mA según lo calculado por el osciloscopio, y por calculo de Matlab es de 120.61, la diferencia se por que el osciloscopio usa toda la onda en pantalla para calcular este valor en cambio con Matlab solo usamos un ciclo, en cambio el nivel de THD es de tan solo 1.62 %.

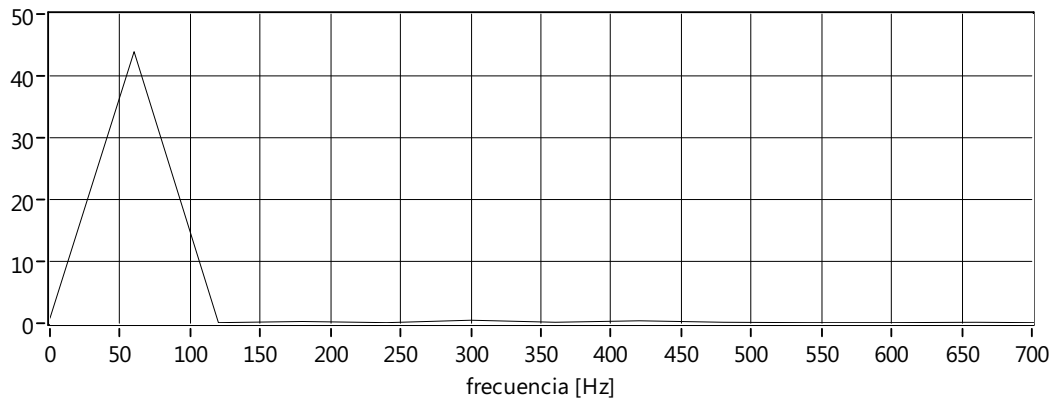
### 5.3.3. Pruebas con un motor asíncrono de 4 polos.

Ahora para completar el ciclo de pruebas se conecto un motor asíncrono de 4 polos en estrella al inversor y se probó su funcionamiento.

### 5.3 Pruebas del algoritmo con el circuito de potencia.



**Figura 5.13.:** Frecuencia y tensión fase neutro en la onda de tensión de salida con carga RL.



**Figura 5.14.:** Espectro de la onda de tensión con una carga RL.

#### 5.3.3.1. Prueba de un motor asíncrono a 60Hz.

Los parámetros de funcionamiento del motor fueron:

Voltaje de alimentación de 38.6v.

Voltaje fase neutro de salida 46.96v.

Frecuencia de salida del inversor 60Hz.

Motor de 4 polos conectado en estrella.

En la Figura 5.18 se muestra la tensión fase neutro en el motor y en la Figura 5.19 se muestra su tensión línea línea del inversor.

La tensión RMS de la tensión de fase es de 46.2v según lo mostrado en el osciloscopio y el de línea es de 79.7v, que es más o menos igual según la ecuación de

### 5.3 Pruebas del algoritmo con el circuito de potencia.

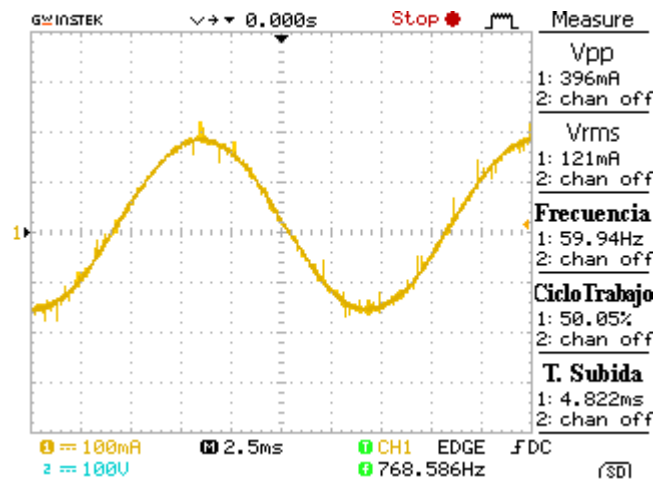


Figura 5.15.: Corriente de fase con una carga RL.

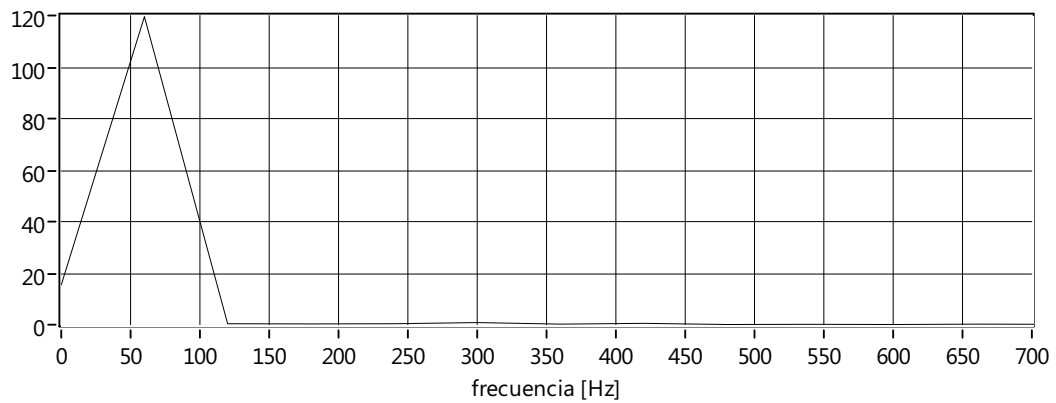


Figura 5.16.: Espectro de la onda de corriente con una carga RL.

transformación de tensión de línea a fase.

$$46,2 \cdot \sqrt{3} = 80v \approx 79,7v \quad (5.48)$$

El THD de la tensión de fase es igual a 3.29 % y de 3.06 % en la de línea, según lo calculado por medio de Labview.

En la Figura 5.22, en cambio se muestra la corriente que circula por el motor y su valor rms es de 293mA, y su THD es de 2.82 %.

Para comprobar el resultado de la frecuencia, medimos la velocidad del motor que fue de 1776rpm y calculamos que frecuencia debe entregar el inversor para

### 5.3 Pruebas del algoritmo con el circuito de potencia.

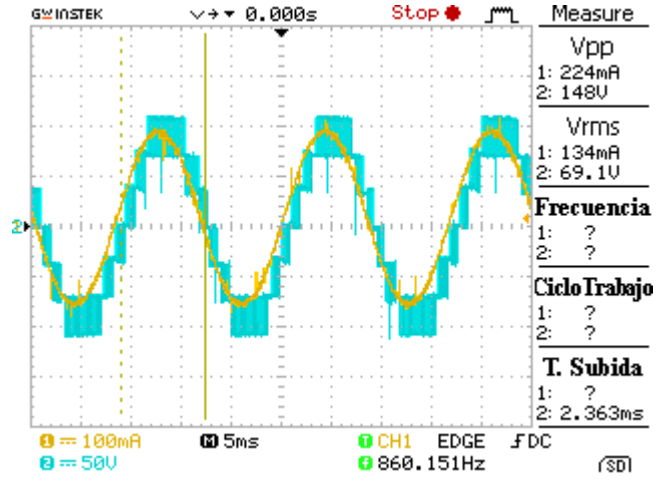


Figura 5.17.: Tensión de fase y corriente de fase con carga RL.

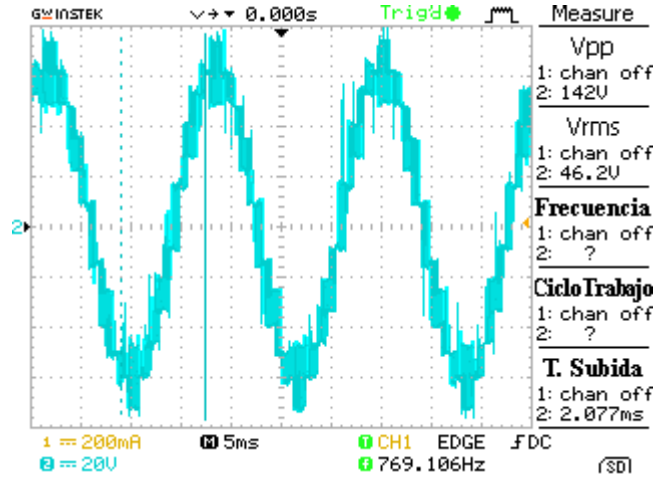


Figura 5.18.: Tensión fase neutro del motor a 60Hz.

generarse esta velocidad.

$$n_{rpm} = \frac{60 \cdot frecuencia}{pares\ de\ polos} \quad (5.49)$$

$$frecuencia = \frac{n_{rpm} \cdot pares\ de\ polos}{60} = \frac{1776 \cdot 2}{60} = 59,2Hz \quad (5.50)$$

La frecuencia dada por el calculo es de 59.2Hz, pero al ser un motor asíncrono esta no es la frecuencia real del campo magnético o frecuencia síncrona, por tanto se puede establecer que la frecuencia obtenida si esta alrededor de 60Hz.

### 5.3 Pruebas del algoritmo con el circuito de potencia.

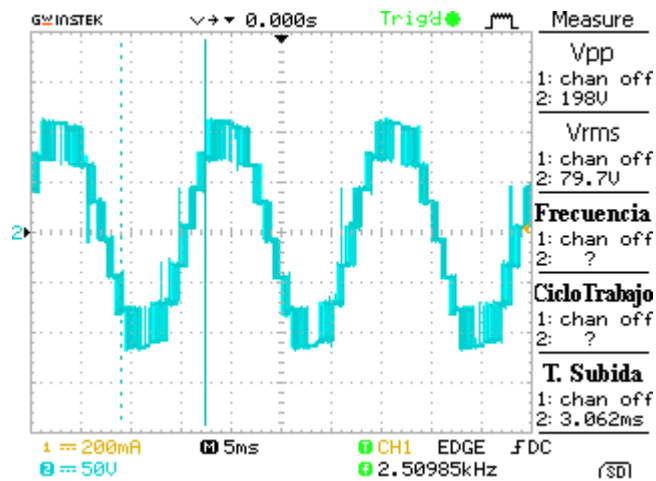


Figura 5.19.: Tensión línea línea del motor a 60Hz.

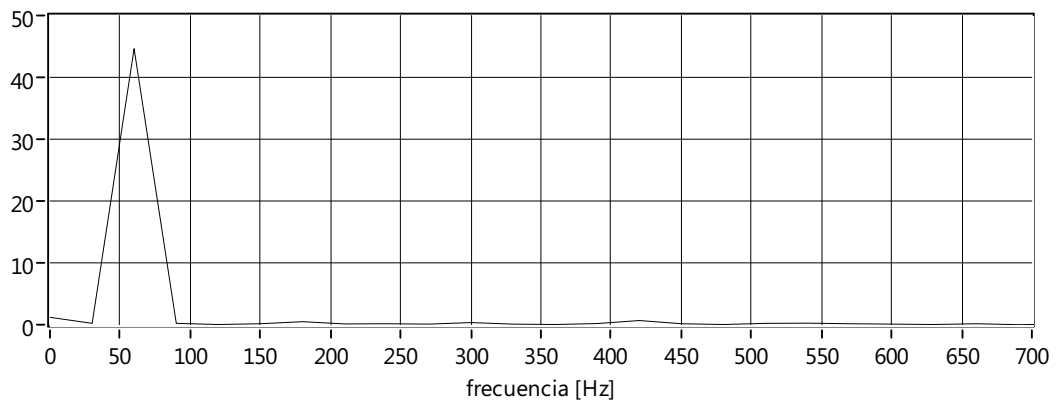


Figura 5.20.: Espectro de la onda de tensión de fase, con el motor a 60Hz.

En la Figura 5.24 se muestra la tensión de fase y la corriente que se midieron en el motor al ser conectado al inversor.

#### 5.3.3.2. Prueba de un motor asíncrono a 90Hz.

Los parámetros de funcionamiento del motor fueron:

Voltaje de alimentación de 38.6v.

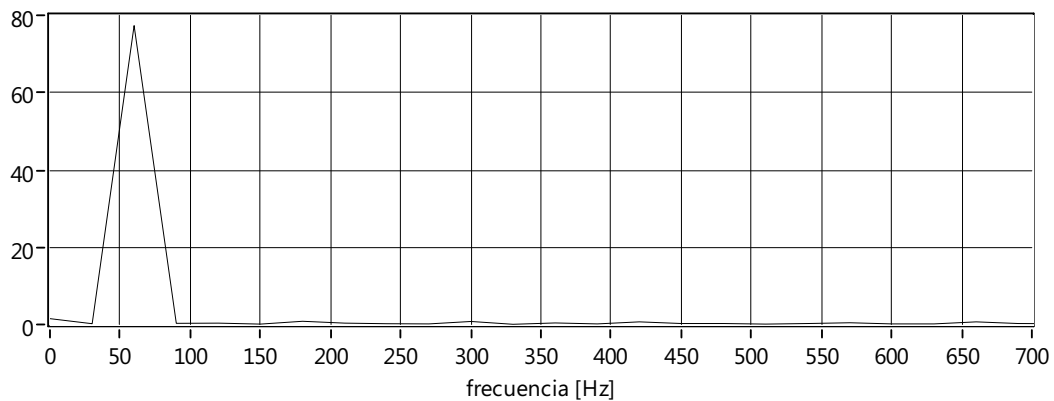
Voltaje fase neutro de salida 45.6v.

Frecuencia de salida del inversor 90Hz.

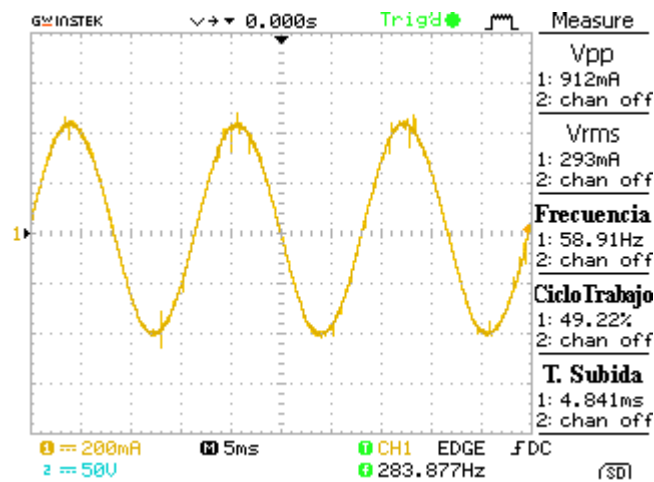
Motor de 4 polos conectado en estrella.

En la Figura 5.25 se muestra la tensión fase neutro en el motor y en la Figura 5.26 se muestra su tensión línea línea del inversor.

### 5.3 Pruebas del algoritmo con el circuito de potencia.



**Figura 5.21.:** Espectro de la onda de tensión de línea, con el motor a 60Hz.



**Figura 5.22.:** Corriente del motor a 60Hz.

La tensión RMS de la tensión de fase es de 45.2v según lo mostrado en el osciloscopio y el de línea es de 77.8v, que es más o menos igual según la ecuación de transformación de tensión de línea a fase.

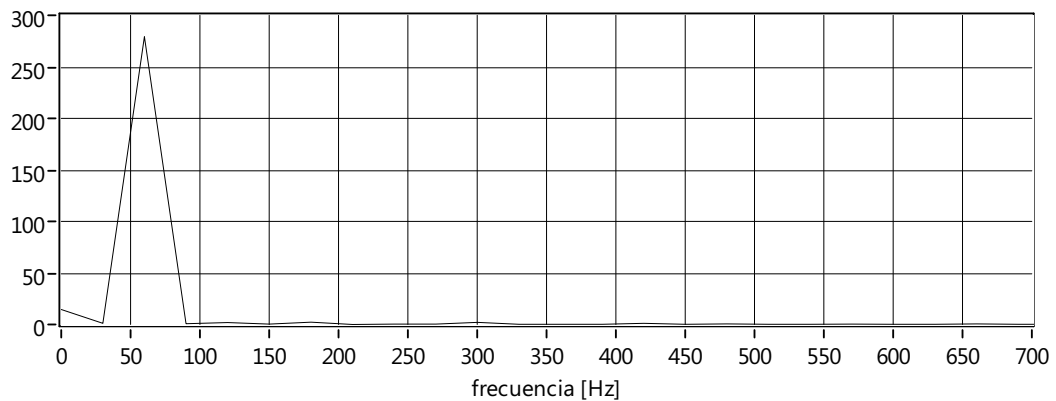
$$45,2 \cdot \sqrt{3} = 78,2v \approx 77,8v \quad (5.51)$$

El THD de la tensión de fase es igual a 3.45 % y de 4.01, según lo calculado por medio de Labview.

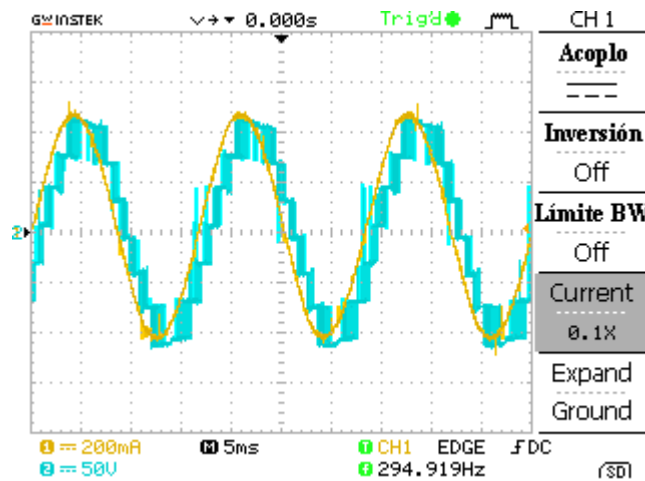
En la Figura 5.27, en cambio se muestra la corriente que circula por el motor y su valor rms es de 293mA, y su THD es de 2.30 %.

Para comprobar el resultado de la frecuencia, medimos la velocidad del motor que fue de 2622rpm y calculamos que frecuencia debe entregar el inversor para

### 5.3 Pruebas del algoritmo con el circuito de potencia.



**Figura 5.23.:** Espectro de la onda de corriente, con el motor a 90Hz.



**Figura 5.24.:** Tensión de fase y corriente del motor a 60Hz.

generarse esta velocidad.

$$n_{rpm} = \frac{60 \cdot frecuencia}{pares\ de\ polos} \quad (5.52)$$

$$frecuencia = \frac{n_{rpm} \cdot pares\ de\ polos}{60} = \frac{2622 \cdot 2}{60} = 87,4Hz \quad (5.53)$$

La frecuencia dada por el calculo es de 87.4Hz, pero al ser un motor asíncrono esta no es la frecuencia real del campo magnético o frecuencia síncrona, por tanto se puede establecer que la frecuencia obtenida si esta alrededor de 90Hz.

En la Figura 5.27 se muestra la tensión de fase y la corriente que se se midieron en el motor al ser conectado al inversor.

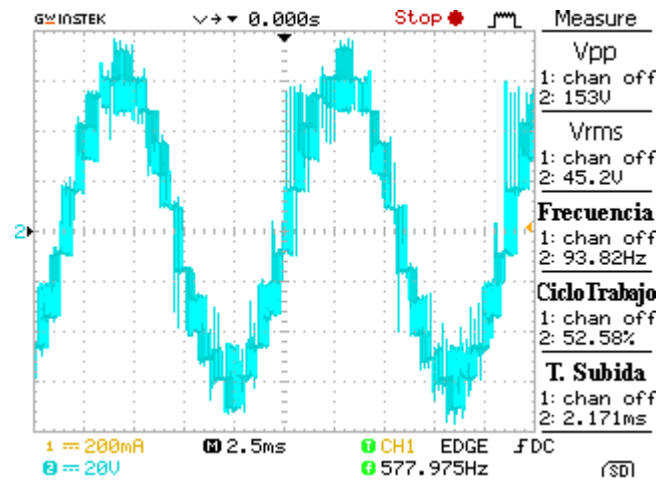


Figura 5.25.: Tensión fase neutro del motor a 90Hz.

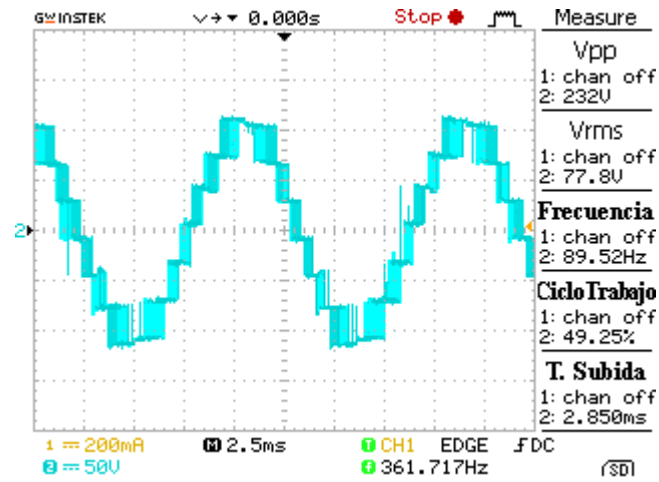


Figura 5.26.: Tensión línea línea del motor a 90Hz.

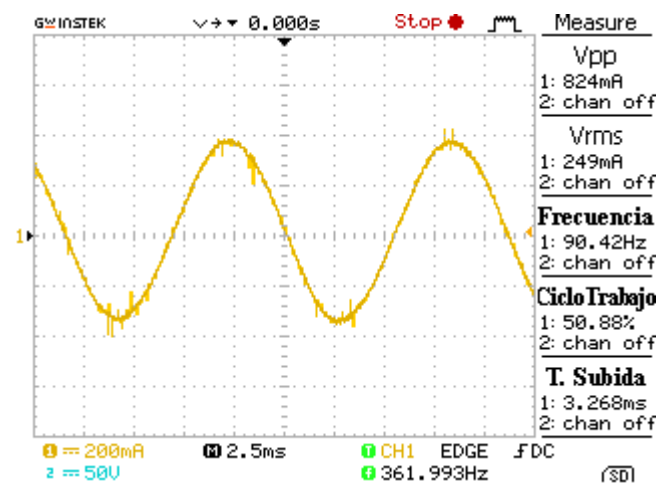


Figura 5.27.: Corriente del motor a 90Hz.



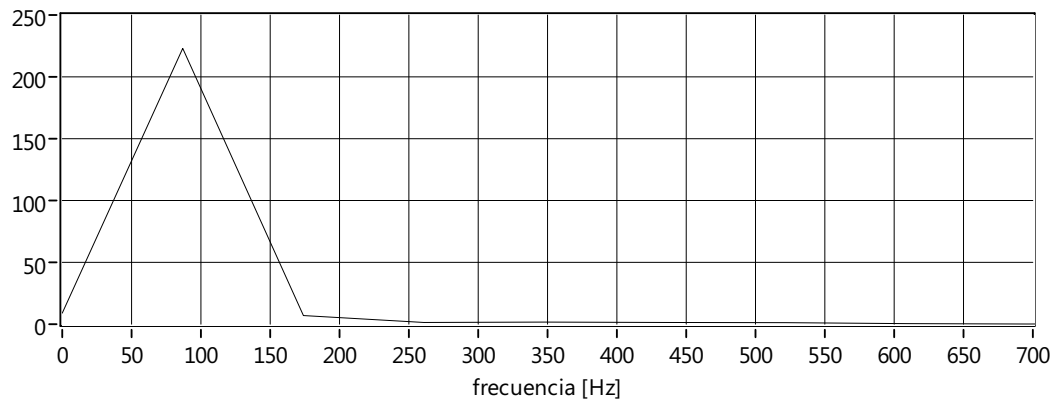


Figura 5.28.: Espectro de la onda de corriente, con el motor a 90Hz.

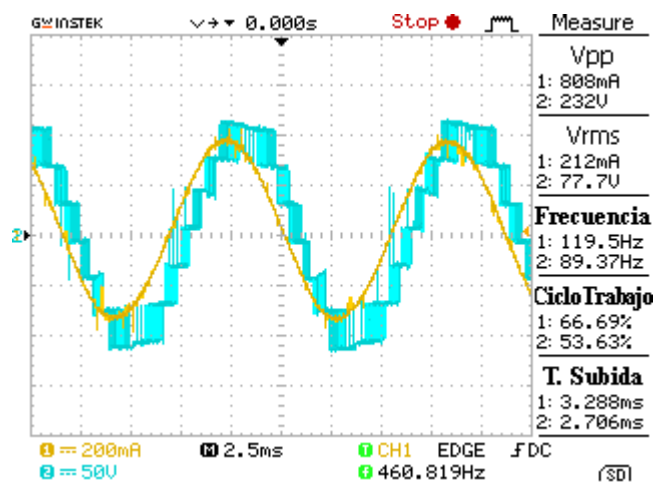


Figura 5.29.: Tensión de fase y corriente del motor a 90Hz.

## 6. Analisis de resultados.

Luego de realizadas las pruebas sobre el inversor, se puede observar que el mismo responde satisfactoriamente a las características básicas de los mismos como son un THD menor al 7% en la tensión, siempre y cuando el inversor se encuentre funcionando con más de 3 niveles, lo que normalmente sucede con este tipo de equipos, en cambio el THD cuando está funcionando con todos los niveles el THD en la tensión está por debajo del 4% que es muy bueno para este tipo de equipos.

Por otro lado en la corriente el THD con carga inductiva se encuentra alrededor del 3%, que está por debajo del 5% recomendado, también cuando se conecta el motor asincrónico, que es una carga RL, el mismo actúa como un filtro pasivo de corriente, el cual nos sirve para cualquier tipo de carga, por este motivo no se necesita un filtro pasivo extra para la eliminación de las componentes armónicas, esto se puede ver en las gráficas de la corriente que tienen una forma de onda muy parecida a la onda seno que se desea a la salida del inversor.

Además la frecuencia de salida del inversor se encuentra muy cerca de la frecuencia deseada, y su error en la medida se debe principalmente a la dificultad de poder medir exactamente con el osciloscopio la frecuencia de la onda, pero según los cálculos realizados en la Subsección 4.3.4 el error a la salida de la frecuencia del inversor a 60Hz, se encuentra alrededor del 0.00004%, el mismo que se puede considerar despreciable, ya que el oscilador utilizado tiene un error de  $\pm 2000\text{Hz}$ , lo que puede representar un error en la frecuencia de  $\pm 0.004\%$  que es mayor al error producido por el algoritmo programado.

También la tensión medida y generada se encuentran en un valor muy cercano, con un error que se debe a varias causas entre las que se encuentran.

El error introducido por el osciloscopio el mismo que no puede medir los cambios tan rápidos de estado del inversor, los mismos que son generados por el circuito de control que puede conmutar los interruptores a una frecuencia máxima igual al oscilador usado, que es de 50MHz.

Otro error se debe a la perdida de precision por parte del algoritmo programado por no utilizar todos los decimales como se demostro en la Subsección 5.1.2, tambien se debe a que el claculos de ciertos tiepos se deben dar cuartos de pulso u otras variantes decimales, por lo que se tuvo que redondear a un valor entero.

Otro error y el más importante es la maxima frecuencia de conmutacion de los semiconductores de potencia, los IGBT's, los mismos que pueden llegar a ser de hasta 20kHz, en cambio el circuito de control en algunos tiempos tiene frecuencias de conmutacion de mucho mayores del orden de 50MHz, que es la frecuencia del oscilador de la placa usada.

Ademas otro error no menos importante es el generado por los ADC usados, ya que los mismos necesitan un voltaje de referencia de 3.3v segun se diseno el circuito, y para este objetivo se uso un regulador integrado, el mismo que por su caracteriticas tecnicas y por las diferencia de temperatura ambiente en la que esta funcionanado, no genera la tension deseada a su salida, y al ser una tension tan baja puede ganerar errores que pueden alterar el valor de los tiepos de conmutacion requeridos.

Pero todo estos errores no fueron de una significativa incidencia a la hora de probar el sistema de control sobre un motor asincrono, ya que el mismo funciona perfectamente en cuanto a la velocidad obtenida, como se mostro en la Subsección 5.3.3 en donde se selecciono una frecuencia de 60Hz y el motor tuvo una velocidad sincrona de 1776rpm, y por las caracteristicas del algoritmo, su THD en tension y corriente tambien fue bajo alrededor del 3% en tension y menor al 3% en corriente, lo que se reflejo en un funcionamiento limpio del mismo, que se pudo establecer en una funcionamiento sin ruido y vibraciones, lo que nos indico que el nivel de carga armonica es casi nula, esto tambien se vio en la onda de la corriente medida que fue casi senoidal pura.

Tambien cabe mencionar que la utilizacion de un sistema FPGA, ayudo mucho en la programcion de este algoritmo por que al ser un sistema con la habilidad de funcionar en paralelo, nos permitio generar el sistema de control de forma modular, haciendo que el mismo se construya por partes, las mismas que luego solo se unieron para generar el sistema completo, y ademas por este motivo no se tuvo que tomar en cuenta los tiempos de retardo generados por el calculo de las distintas variables.

Ademas esta ventaja de que cada bloque funciona independiente del otro, fue la posibilidad de utilizar el ChipScope sin que el mismo afecte el funcionamiento

del algoritmo de control, lo que si hubiera sido un problema en el caso de usar una logica secuencial, en donde un analizador consumiria recursos del sistema, pudiendo provocar alteraciones en el fucionamiento del sistema a la hora calcular los tiempos y estados del inversor.

# Conclusiones

La utilización de un sistema basado en FPGA tuvo una gran incidencia a la hora de programar el algoritmo de control, esto se debió principalmente a que el funcionamiento de un FPGA es de tipo paralelo, haciendo que las distintas partes en las que fue dividido el sistema de control se puedan programar de manera independiente y principalmente que puedan funcionar de manera independiente y paralela, esto fue de gran utilidad, ya que cada bloque se encarga de una función específica y dedica todos los recursos proporcionados solo para este propósito, por ejemplo el bloque del conversor, en donde se realiza la comunicación con los ADC, este bloque dedica todo el tiempo y sus recursos mandar a los ADC y a actualizar sus salidas.

También la utilización de sistema FPGA y dividir el algoritmo de control en bloques, nos permitió dar parámetros de funcionamiento a cada bloque por separado, como por ejemplo al bloque del algoritmo se estableció que el mismo funcione con número positivos y negativos y en cambio a los demás bloques solo se les hizo funcionar solo con número positivos, consiguiendo un ahorro de recursos en el FPGA.

Otro punto a destacar fue la utilización del software Xilinx ISE Design Suite 13.1, el mismo que nos permitió realizar las simulaciones del algoritmo de control y mucho más importante monitorear el funcionamiento del sistema de control por medio de ChipScope, que nos permitió corregir errores generados en ciertos bloques del sistema de control, ahorrando tiempo en el desarrollo del programa, ya que estos errores de otro modo hubiesen sido difíciles de detectar y además este software contiene ipcores ya establecidos como el de multiplicación y división que ahorran aun más tiempo en el desarrollo del sistema, también el uso de VHDL como lenguaje de descripción ahorro recursos del FPGA ya que el mismo consume menor cantidad de estos recursos, en comparación si se hubiera desarrollado este sistema con lenguajes gráficos como el de Labview, en donde se realizaron las primeras pruebas.

Todo este sistema de control no tuvo una complejidad extrema, debido a que el algoritmo utilizado no tiene una complejidad considerable, ya que el mismo no necesita el calculo de funciones trigonométricas y su carga computacional es la misma para cualquier número de niveles, también este algoritmo se simplifico aun más ya que no se necesito calcular las 3 componentes de la tensión de salida a obtener, sino solo las dos componentes del vector de referencia que equivalen a la terna de tensiones a la salida del inversor.

Y ademas estas componentes siguen las funciones seno y coseno, las mismas que fueron divididas en 1600 espacios o ángulos, lo que permitió evitar el uso de ipcores especializados para el calculo de estas funciones, simplificando aun más el algoritmo, pero ingresando un error en el mismo, que se pueden consideran despreciable ya que la resolución de las ondas seno y coseno son de  $0.225^\circ$ .

También por la utilización de números sin decimales en el sistema de control, se produjo en error de alrededor del 2 %, que se puede considerar despreciable, pero gracias a este se evito el uso de número en formato IEEE32 o IEEE64, con lo que hubiera comprometido la consecución del algoritmo, ya que el FPGA usado en este trabajo tiene recursos limitados para el manejo de este tipo de números.

Por otro lado el error en la frecuencia de salida es muy bajo de alrededor del 0.004 %, y este debido al oscilador usado en el circuito de basado en FPGA, ya que el error obtenido por el algoritmo es de alrededor del 0.00004 %, que es mucho menor al obtenido al principio sin el bloque de corrección de pulso de alrededor de 0.16 %.

También otro característica dada al sistema de control fue en el bloque de conmutación, en donde en un primer tiempo de muestreo, se activo el estado 1, luego el 2 y 3, en el siguiente tiempo de muestreo se activaron los estados en orden inverso y así sucesivamente, permitiendo disminuir las conmutaciones necesarias en los interruptores.

Luego de programado en VHDL, simulado mediante Isim y analizado por ChipScope, las tensiones obtenidas a la salida del inversor en el caso de usarse 3 niveles el THD en el voltaje y corriente a la salida fue de alrededor del 7 % para un frecuencia de 60Hz, en cambio al usar la totalidad de los niveles, cuando se uso una carga RL, que es carga en la mayoría de sistema, se obtuvo un THD de voltaje de alrededor del 3 % y el THD en corriente menor el 3 %.

También en la frecuencia se obtuvo un valor cercano al deseado, como se pudo observar en las mediciones hechas por medio del osciloscopio y también por medio

del calculo de la misma, a partir de la velocidad asíncrona del motor a prueba, los que están en duda debido a que en el osciloscopio no se pudo establecer la frecuencia exacta del sistema.

Ademas en las pruebas realizadas sobre el motor asíncrono, se pudo establecer que cuando el inversor se encuentra funcionando con una carga RL, no se necesita un filtro pasivo de corriente para eliminar las componentes armónicas presentes en la onda, esto se pudo ver en el funcionamiento a un frecuencia de 60Hz y 90Hz, en donde el THD es de 2.82% y 2.3% respectivamente, con lo que se establece que tiene una cantidad armónica parecida y baja con lo que se establece que es ideal para utilizarlo en el manejo de variadores de frecuencia.

También la tensión obtenida a la salida del inversor es muy parecida a la deseada y a la obtenida, esta diferencia se debe a los distintos errores, como el no usar todos los decimales en el calculo de los tiempos de conmutación, a la dificultad de medir exactamente la forma de onda de salida del inversor por medio del osciloscopio y también al los errores insertados por los ADC a la hora de medir exactamente la tensión de las fuentes, al igual que las fuentes no son homogéneas entre si, pudiendo variar hasta en dos voltios entres si, antes que se active el sistema de protección, otro error que se debe tomar en cuenta es la máxima frecuencia de conmutación de los IGBT's, que también insertan error, al no poder encenderse en el instante que manda el algoritmo.

El uso de la topología de fuentes independientes también fue de gran utilidad a la hora de generar el sistema de potencia, ya que el mismo tiene varios niveles redundantes, los mismos que se pueden elegir para minimizar el número de conmutaciones necesarias para generar una onda a la salida, pero tiene la desventaja que se necesitan fuentes independientes, que en nuestro caso fueron de cuatro, que para ciertas aplicaciones pueden resultar muy costosas, pero y la final, este algoritmo se puede adaptar para otra topologías solo cambiando las salidas que se deben activar, para activar los distintos semiconductores de potencia.

# Recomendaciones

Para generar un sistema de control con una mayor efectividad y precisión, es recomendable acoplar un DSP al sistema basado en FPGA, para que el DSP realice todos los cálculos de los tiempos y estados de conmutación con una mayor precisión, y en cambio el FPGA se dedique a la conmutación de los semiconductores de potencia, al igual que la lectura de los canales analógicos y manejo de los distintos periféricos, como el manejo del LCD, lectura de las entradas de ajuste de tensión y frecuencia.

Realizar la descripción del sistema de control, es preferible utilizar lenguajes de descripción de hardware como VHDL o Verilog, en vez de lenguajes gráficos como Labview, porque se puede conseguir un ahorro sustancial de los recursos del FPGA.

Si se desea realizar una aplicación de variadores de frecuencia para motores de baja potencia, es preferible usar una topología con una sola fuente de tensión, ya que se puede lograr un ahorro en cuanto a fuentes de tensión y componentes.

También es recomendable usar ADC de una mayor resolución, si se desea aplicar este sistema de control para una tensión de alimentación mayor, para evitar pérdidas de precisión considerable, también se recomendable usar ADC de mayor velocidad en lo posible, para bajar el tiempo de respuesta del sistema de protección y en lo posible ADC de tipo industrial en donde se minimice el error, por temperatura o otros factores.

Si se realiza la programación en VHDL o Verilog, usar programas como Xilinx ISE Design Suite 13.1, para poder simular y monitorear el funcionamiento del mismo, y así ahorrar tiempo en desarrollo.



## A. Estados del inversor de 4 niveles.

En este apartado se muestran todos las posibles combinaciones del inversor multinivel A estos estados los transformamos al plano d-q descrito en el capitulo anterior por medio de la Ecuación A.2:

$$\begin{bmatrix} d_{transf} \\ q_{transf} \end{bmatrix} = \frac{1}{3} \cdot \frac{n-1}{1} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} V_{R1} \\ V_{R2} \\ V_{R3} \end{bmatrix} = \frac{1}{3} \cdot \frac{4-1}{1} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} V_{R1} \\ V_{R2} \\ V_{R3} \end{bmatrix} \quad (A.1)$$

$$\begin{bmatrix} d_{transf} \\ q_{transf} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} V_{R1} \\ V_{R2} \\ V_{R3} \end{bmatrix} \quad (A.2)$$

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	1	-1/3	-1/3	2/3	-0,5	-0,5
0	0	0	0	0	0	0	1	0	2	1/3	1/3	-2/3	0,5	0,5
0	0	0	0	0	0	0	1	1	3	0	0	0	0	0
0	0	0	0	0	0	1	0	0	4	-1/3	2/3	-1/3	-0,5	0,5
0	0	0	0	0	0	1	0	1	5	-2/3	1/3	1/3	-1	0
0	0	0	0	0	0	1	1	0	6	0	1	-1	0	1
0	0	0	0	0	0	1	1	1	7	-1/3	2/3	-1/3	-0,5	0,5
0	0	0	0	0	1	0	0	0	8	1/3	-2/3	1/3	0,5	-0,5
0	0	0	0	0	1	0	0	1	9	0	-1	1	0	-1
0	0	0	0	0	1	0	1	0	10	2/3	-1/3	-1/3	1	0
0	0	0	0	0	1	0	1	1	11	1/3	-2/3	1/3	0,5	-0,5
0	0	0	0	0	1	1	0	0	12	0	0	0	0	0
0	0	0	0	0	1	1	0	1	13	-1/3	-1/3	2/3	-0,5	-0,5
0	0	0	0	0	1	1	1	0	14	1/3	1/3	-2/3	0,5	0,5
0	0	0	0	0	1	1	1	1	15	0	0	0	0	0
0	0	0	0	1	0	0	0	0	16	2/3	-1/3	-1/3	1	0
0	0	0	0	1	0	0	0	1	17	1/3	-2/3	1/3	0,5	-0,5
0	0	0	0	1	0	0	1	0	18	1	0	-1	1,5	0,5
0	0	0	0	1	0	0	1	1	19	2/3	-1/3	-1/3	1	0
0	0	0	0	1	0	1	0	0	20	1/3	1/3	-2/3	0,5	0,5
0	0	0	0	1	0	1	0	1	21	0	0	0	0	0
0	0	0	0	1	0	1	1	0	22	2/3	2/3	-4/3	1	1
0	0	0	0	1	0	1	1	1	23	1/3	1/3	-2/3	0,5	0,5
0	0	0	0	1	1	0	0	0	24	1	-1	0	1,5	-0,5
0	0	0	0	1	1	0	0	1	25	2/3	-4/3	2/3	1	-1
0	0	0	0	1	1	0	1	0	26	4/3	-2/3	-2/3	2	0
0	0	0	0	1	1	0	1	1	27	1	-1	0	1,5	-0,5
0	0	0	0	1	1	1	0	0	28	2/3	-1/3	-1/3	1	0
0	0	0	0	1	1	1	0	1	29	1/3	-2/3	1/3	0,5	-0,5
0	0	0	0	1	1	1	1	0	20	1	0	-1	1,5	0,5
0	0	0	0	1	1	1	1	1	31	2/3	-1/3	-1/3	1	0

**Tabla A.1.:** Estados del inversor de 4 niveles de fuentes independientes del 0 al 31.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	0	0	1	0	0	0	0	0	32	-2/3	1/3	1/3	-1	0
0	0	0	1	0	0	0	0	1	33	-1	0	1	-1,5	-0,5
0	0	0	1	0	0	0	1	0	34	-1/3	2/3	-1/3	-0,5	0,5
0	0	0	1	0	0	0	1	1	35	-2/3	1/3	1/3	-1	0
0	0	0	1	0	0	1	0	0	36	-1	1	0	-1,5	0,5
0	0	0	1	0	0	1	0	1	37	-4/3	2/3	2/3	-2	0
0	0	0	1	0	0	1	1	0	38	-2/3	4/3	-2/3	-1	1
0	0	0	1	0	0	1	1	1	39	-1	1	0	-1,5	0,5
0	0	0	1	0	1	0	0	0	40	-1/3	-1/3	2/3	-0,5	-0,5
0	0	0	1	0	1	0	0	1	41	-2/3	-2/3	4/3	-1	-1
0	0	0	1	0	1	0	1	0	42	0	0	0	0	0
0	0	0	1	0	1	0	1	1	43	-1/3	-1/3	2/3	-0,5	-0,5
0	0	0	1	0	1	1	0	0	44	-2/3	1/3	1/3	-1	0
0	0	0	1	0	1	1	0	1	45	-1	0	1	-1,5	-0,5
0	0	0	1	0	1	1	1	0	46	-1/3	2/3	-1/3	-0,5	0,5
0	0	0	1	0	1	1	1	1	47	-2/3	1/3	1/3	-1	0
0	0	0	1	1	0	0	0	0	48	0	0	0	0	0
0	0	0	1	1	0	0	0	1	49	-1/3	-1/3	2/3	-0,5	-0,5
0	0	0	1	1	0	0	1	0	50	1/3	1/3	-2/3	0,5	0,5
0	0	0	1	1	0	0	1	1	51	0	0	0	0	0
0	0	0	1	1	0	1	0	0	52	-1/3	2/3	-1/3	-0,5	0,5
0	0	0	1	1	0	1	0	1	53	-2/3	1/3	1/3	-1	0
0	0	0	1	1	0	1	1	0	54	0	1	-1	0	1
0	0	0	1	1	0	1	1	1	55	-1/3	2/3	-1/3	-0,5	0,5
0	0	0	1	1	1	0	0	0	56	1/3	-2/3	1/3	0,5	-0,5
0	0	0	1	1	1	0	0	1	57	0	-1	1	0	-1
0	0	0	1	1	1	0	1	0	58	2/3	-1/3	-1/3	1	0
0	0	0	1	1	1	0	1	1	59	1/3	-2/3	1/3	0,5	-0,5
0	0	0	1	1	1	1	0	0	60	0	0	0	0	0
0	0	0	1	1	1	1	0	1	61	-1/3	-1/3	2/3	-0,5	-0,5
0	0	0	1	1	1	1	1	0	62	1/3	1/3	-2/3	0,5	0,5
0	0	0	1	1	1	1	1	1	63	0	0	0	0	0

**Tabla A.2.:** Estados del inversor de 4 niveles de fuentes independientes del 32 al 63.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	0	1	0	0	0	0	0	0	64	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	0	0	0	0	0	1	65	-2/3	-2/3	4/3	-1	-1
0	0	1	0	0	0	0	1	0	66	0	0	0	0	0
0	0	1	0	0	0	0	1	1	67	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	0	0	0	1	0	0	68	-2/3	1/3	1/3	-1	0
0	0	1	0	0	0	1	0	1	69	-1	0	1	-1,5	-0,5
0	0	1	0	0	0	1	1	0	70	-1/3	2/3	-1/3	-0,5	0,5
0	0	1	0	0	0	1	1	1	71	-2/3	1/3	1/3	-1	0
0	0	1	0	0	1	0	0	0	72	0	-1	1	0	-1
0	0	1	0	0	1	0	0	1	73	-1/3	-4/3	5/3	-0,5	-1,5
0	0	1	0	0	1	0	1	0	74	1/3	-2/3	1/3	0,5	-0,5
0	0	1	0	0	1	0	1	1	75	0	-1	1	0	-1
0	0	1	0	0	1	1	0	0	76	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	0	0	1	1	0	1	77	-2/3	-2/3	4/3	-1	-1
0	0	1	0	0	1	1	1	0	78	0	0	0	0	0
0	0	1	0	0	1	1	1	1	79	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	0	1	0	0	0	0	80	1/3	-2/3	1/3	0,5	-0,5
0	0	1	0	1	0	0	0	1	81	0	-1	1	0	-1
0	0	1	0	1	0	0	1	0	82	2/3	-1/3	-1/3	1	0
0	0	1	0	1	0	0	1	1	83	1/3	-2/3	1/3	0,5	-0,5
0	0	1	0	1	0	1	0	0	84	0	0	0	0	0
0	0	1	0	1	0	1	0	1	85	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	0	1	0	1	1	0	86	1/3	1/3	-2/3	0,5	0,5
0	0	1	0	1	0	1	1	1	87	0	0	0	0	0
0	0	1	0	1	1	0	0	0	88	2/3	-4/3	2/3	1	-1
0	0	1	0	1	1	0	0	1	89	1/3	-5/3	4/3	0,5	-1,5
0	0	1	0	1	1	0	1	0	90	1	-1	0	1,5	-0,5
0	0	1	0	1	1	0	1	1	91	2/3	-4/3	2/3	1	-1
0	0	1	0	1	1	1	0	0	92	1/3	-2/3	1/3	0,5	-0,5
0	0	1	0	1	1	1	0	1	93	0	-1	1	0	-1
0	0	1	0	1	1	1	1	0	94	2/3	-1/3	-1/3	1	0
0	0	1	0	1	1	1	1	1	95	1/3	-2/3	1/3	0,5	-0,5

**Tabla A.3.:** Estados del inversor de 4 niveles de fuentes independientes del 64 al 95.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	0	1	1	0	0	0	0	0	96	-1	0	1	-1,5	-0,5
0	0	1	1	0	0	0	0	1	97	-4/3	-1/3	5/3	-2	-1
0	0	1	1	0	0	0	1	0	98	-2/3	1/3	1/3	-1	0
0	0	1	1	0	0	0	1	1	99	-1	0	1	-1,5	-0,5
0	0	1	1	0	0	1	0	0	100	-4/3	2/3	2/3	-2	0
0	0	1	1	0	0	1	0	1	101	-5/3	1/3	4/3	-2,5	-0,5
0	0	1	1	0	0	1	1	0	102	-1	1	0	-1,5	0,5
0	0	1	1	0	0	1	1	1	103	-4/3	2/3	2/3	-2	0
0	0	1	1	0	1	0	0	0	104	-2/3	-2/3	4/3	-1	-1
0	0	1	1	0	1	0	0	1	105	-1	-1	2	-1,5	-1,5
0	0	1	1	0	1	0	1	0	106	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	1	0	1	0	1	1	107	-2/3	-2/3	4/3	-1	-1
0	0	1	1	0	1	1	0	0	108	-1	0	1	-1,5	-0,5
0	0	1	1	0	1	1	0	1	109	-4/3	-1/3	5/3	-2	-1
0	0	1	1	0	1	1	1	0	110	-2/3	1/3	1/3	-1	0
0	0	1	1	0	1	1	1	1	111	-1	0	1	-1,5	-0,5
0	0	1	1	1	0	0	0	0	112	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	1	1	0	0	0	1	113	-2/3	-2/3	4/3	-1	-1
0	0	1	1	1	0	0	1	0	114	0	0	0	0	0
0	0	1	1	1	0	0	1	1	115	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	1	1	0	1	0	0	116	-2/3	1/3	1/3	-1	0
0	0	1	1	1	0	1	0	1	117	-1	0	1	-1,5	-0,5
0	0	1	1	1	0	1	1	0	118	-1/3	2/3	-1/3	-0,5	0,5
0	0	1	1	1	0	1	1	1	119	-2/3	1/3	1/3	-1	0
0	0	1	1	1	1	0	0	0	120	0	-1	1	0	-1
0	0	1	1	1	1	0	0	1	121	-1/3	-4/3	5/3	-0,5	-1,5
0	0	1	1	1	1	0	1	0	122	1/3	-2/3	1/3	0,5	-0,5
0	0	1	1	1	1	0	1	1	123	0	-1	1	0	-1
0	0	1	1	1	1	1	0	0	124	-1/3	-1/3	2/3	-0,5	-0,5
0	0	1	1	1	1	1	0	1	125	-2/3	-2/3	4/3	-1	-1
0	0	1	1	1	1	1	1	0	126	0	0	0	0	0
0	0	1	1	1	1	1	1	1	127	-1/3	-1/3	2/3	-0,5	-0,5

**Tabla A.4.:** Estados del inversor de 4 niveles de fuentes independientes del 96 al 127.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	1	0	0	0	0	0	0	0	128	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	0	0	0	0	0	1	129	-2/3	1/3	1/3	-1	0
0	1	0	0	0	0	0	1	0	130	0	1	-1	0	1
0	1	0	0	0	0	0	1	1	131	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	0	0	0	1	0	0	132	-2/3	4/3	-2/3	-1	1
0	1	0	0	0	0	1	0	1	133	-1	1	0	-1,5	0,5
0	1	0	0	0	0	1	1	0	134	-1/3	5/3	-4/3	-0,5	1,5
0	1	0	0	0	0	1	1	1	135	-2/3	4/3	-2/3	-1	1
0	1	0	0	0	1	0	0	0	136	0	0	0	0	0
0	1	0	0	0	1	0	0	1	137	-1/3	-1/3	2/3	-0,5	-0,5
0	1	0	0	0	1	0	1	0	138	1/3	1/3	-2/3	0,5	0,5
0	1	0	0	0	1	0	1	1	139	0	0	0	0	0
0	1	0	0	0	1	1	0	0	140	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	0	0	1	1	0	1	141	-2/3	1/3	1/3	-1	0
0	1	0	0	0	1	1	1	0	142	0	1	-1	0	1
0	1	0	0	0	1	1	1	1	143	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	0	1	0	0	0	0	144	1/3	1/3	-2/3	0,5	0,5
0	1	0	0	1	0	0	0	1	145	0	0	0	0	0
0	1	0	0	1	0	0	1	0	146	2/3	2/3	-4/3	1	1
0	1	0	0	1	0	0	1	1	147	1/3	1/3	-2/3	0,5	0,5
0	1	0	0	1	0	1	0	0	148	0	1	-1	0	1
0	1	0	0	1	0	1	0	1	149	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	0	1	0	1	1	0	150	1/3	4/3	-5/3	0,5	1,5
0	1	0	0	1	0	1	1	1	151	0	1	-1	0	1
0	1	0	0	1	1	0	0	0	152	2/3	-1/3	-1/3	1	0
0	1	0	0	1	1	0	0	1	153	1/3	-2/3	1/3	0,5	-0,5
0	1	0	0	1	1	0	1	0	154	1	0	-1	1,5	0,5
0	1	0	0	1	1	0	1	1	155	2/3	-1/3	-1/3	1	0
0	1	0	0	1	1	1	0	0	156	1/3	1/3	-2/3	0,5	0,5
0	1	0	0	1	1	1	0	1	157	0	0	0	0	0
0	1	0	0	1	1	1	1	0	158	2/3	2/3	-4/3	1	1
0	1	0	0	1	1	1	1	1	159	1/3	1/3	-2/3	0,5	0,5

**Tabla A.5.:** Estados del inversor de 4 niveles de fuentes independientes del 128 al 159.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	1	0	1	0	0	0	0	0	160	-1	1	0	-1,5	0,5
0	1	0	1	0	0	0	0	1	161	-4/3	2/3	2/3	-2	0
0	1	0	1	0	0	0	1	0	162	-2/3	4/3	-2/3	-1	1
0	1	0	1	0	0	0	1	1	163	-1	1	0	-1,5	0,5
0	1	0	1	0	0	1	0	0	164	-4/3	5/3	-1/3	-2	1
0	1	0	1	0	0	1	0	1	165	-5/3	4/3	1/3	-2,5	0,5
0	1	0	1	0	0	1	1	0	166	-1	2	-1	-1,5	1,5
0	1	0	1	0	0	1	1	1	167	-4/3	5/3	-1/3	-2	1
0	1	0	1	0	1	0	0	0	168	-2/3	1/3	1/3	-1	0
0	1	0	1	0	1	0	0	1	169	-1	0	1	-1,5	-0,5
0	1	0	1	0	1	0	1	0	170	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	1	0	1	0	1	1	171	-2/3	1/3	1/3	-1	0
0	1	0	1	0	1	1	0	0	172	-1	0	1	-1,5	-0,5
0	1	0	1	0	1	1	0	1	173	-4/3	2/3	2/3	-2	0
0	1	0	1	0	1	1	1	0	174	-2/3	4/3	-2/3	-1	1
0	1	0	1	0	1	1	1	1	175	-1	1	0	-1,5	0,5
0	1	0	1	1	0	0	0	0	176	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	1	1	0	0	0	1	177	-2/3	1/3	1/3	-1	0
0	1	0	1	1	0	0	1	0	178	0	1	-1	0	1
0	1	0	1	1	0	0	1	1	179	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	1	1	0	1	0	0	180	-2/3	4/3	-2/3	-1	1
0	1	0	1	1	0	1	0	1	181	-1	1	0	-1,5	0,5
0	1	0	1	1	0	1	1	0	182	-1/3	5/3	-4/3	-0,5	1,5
0	1	0	1	1	0	1	1	1	183	-2/3	4/3	-2/3	-1	1
0	1	0	1	1	1	0	0	0	184	0	0	0	0	0
0	1	0	1	1	1	0	0	1	185	-1/3	-1/3	2/3	-0,5	-0,5
0	1	0	1	1	1	0	1	0	186	1/3	1/3	-2/3	0,5	0,5
0	1	0	1	1	1	0	1	1	187	0	0	0	0	0
0	1	0	1	1	1	1	0	0	188	-1/3	2/3	-1/3	-0,5	0,5
0	1	0	1	1	1	1	0	1	189	-2/3	1/3	1/3	-1	0
0	1	0	1	1	1	1	1	0	190	0	1	-1	0	1
0	1	0	1	1	1	1	1	1	191	-1/3	2/3	-1/3	-0,5	0,5

**Tabla A.6.:** Estados del inversor de 4 niveles de fuentes independientes del 160 al 191.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	1	1	0	0	0	0	0	0	192	-2/3	1/3	1/3	-1	0
0	1	1	0	0	0	0	0	1	193	-1	0	1	-1,5	-0,5
0	1	1	0	0	0	0	1	0	194	-1/3	2/3	-1/3	-0,5	0,5
0	1	1	0	0	0	0	1	1	194	-2/3	1/3	1/3	-1	0
0	1	1	0	0	0	1	0	0	196	-1	1	0	-1,5	0,5
0	1	1	0	0	0	1	0	1	197	-4/3	2/3	2/3	-2	0
0	1	1	0	0	0	1	1	0	198	-2/3	4/3	-2/3	-1	1
0	1	1	0	0	0	1	1	1	199	-1	1	0	-1,5	0,5
0	1	1	0	0	1	0	0	0	200	-1/3	-1/3	2/3	-0,5	-0,5
0	1	1	0	0	1	0	0	1	201	-2/3	-2/3	4/3	-1	-1
0	1	1	0	0	1	0	1	0	202	0	0	0	0	0
0	1	1	0	0	1	0	1	1	203	-1/3	-1/3	2/3	-0,5	-0,5
0	1	1	0	0	1	1	0	0	204	-2/3	1/3	1/3	-1	0
0	1	1	0	0	1	1	0	1	205	-1	0	1	-1,5	-0,5
0	1	1	0	0	1	1	1	0	206	-1/3	2/3	-1/3	-0,5	0,5
0	1	1	0	0	1	1	1	1	207	-2/3	1/3	1/3	-1	0
0	1	1	0	1	0	0	0	0	208	0	0	0	0	0
0	1	1	0	1	0	0	0	1	209	-1/3	-1/3	2/3	-0,5	-0,5
0	1	1	0	1	0	0	1	0	210	1/3	1/3	-2/3	0,5	0,5
0	1	1	0	1	0	0	1	1	211	0	0	0	0	0
0	1	1	0	1	0	1	0	0	212	-1/3	2/3	-1/3	-0,5	0,5
0	1	1	0	1	0	1	0	1	213	-2/3	1/3	1/3	-1	0
0	1	1	0	1	0	1	1	0	214	0	1	-1	0	1
0	1	1	0	1	0	1	1	1	215	-1/3	2/3	-1/3	-0,5	0,5
0	1	1	0	1	1	0	0	0	216	1/3	-2/3	1/3	0,5	-0,5
0	1	1	0	1	1	0	0	1	217	0	-1	1	0	-1
0	1	1	0	1	1	0	1	0	218	2/3	-1/3	-1/3	1	0
0	1	1	0	1	1	0	1	1	219	1/3	-2/3	1/3	0,5	-0,5
0	1	1	0	1	1	1	0	0	220	0	0	0	0	0
0	1	1	0	1	1	1	0	1	221	-1/3	-1/3	2/3	-0,5	-0,5
0	1	1	0	1	1	1	1	0	222	1/3	1/3	-2/3	0,5	0,5
0	1	1	0	1	1	1	1	1	223	0	0	0	0	0

**Tabla A.7.:** Estados del inversor de 4 niveles de fuentes independientes del 192 al 223.



R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
0	1	1	1	0	0	0	0	0	224	-4/3	2/3	2/3	-2	0
0	1	1	1	0	0	0	0	1	225	-5/3	1/3	4/3	-2,5	-0,5
0	1	1	1	0	0	0	1	0	226	-1	1	0	-1,5	0,5
0	1	1	1	0	0	0	1	1	227	-4/3	2/3	2/3	-2	0
0	1	1	1	0	0	1	0	0	228	-5/3	4/3	1/3	-2,5	0,5
0	1	1	1	0	0	1	0	1	229	-2	1	1	-3	0
0	1	1	1	0	0	1	1	0	230	-4/3	5/3	-1/3	-2	1
0	1	1	1	0	0	1	1	1	231	-5/3	4/3	1/3	-2,5	0,5
0	1	1	1	0	1	0	0	0	232	-1	0	1	-1,5	-0,5
0	1	1	1	0	1	0	0	1	233	-4/3	-1/3	5/3	-2	-1
0	1	1	1	0	1	0	1	0	234	-2/3	1/3	1/3	-1	0
0	1	1	1	0	1	0	1	1	235	-1	0	1	-1,5	-0,5
0	1	1	1	0	1	1	0	0	236	-4/3	2/3	2/3	-2	0
0	1	1	1	0	1	1	0	1	237	-5/3	1/3	4/3	-2,5	-0,5
0	1	1	1	0	1	1	1	0	238	-1	1	0	-1,5	0,5
0	1	1	1	0	1	1	1	1	239	-4/3	2/3	2/3	-2	0
0	1	1	1	1	0	0	0	0	240	-2/3	1/3	1/3	-1	0
0	1	1	1	1	0	0	0	1	241	-1	0	1	-1,5	-0,5
0	1	1	1	1	0	0	1	0	242	-1/3	2/3	-1/3	-0,5	0,5
0	1	1	1	1	0	0	1	1	243	-2/3	1/3	1/3	-1	0
0	1	1	1	1	0	1	0	0	244	-1	1	0	-1,5	0,5
0	1	1	1	1	0	1	0	1	245	-4/3	2/3	2/3	-2	0
0	1	1	1	1	0	1	1	0	246	-2/3	4/3	-2/3	-1	1
0	1	1	1	1	0	1	1	1	247	-1	1	0	-1,5	0,5
0	1	1	1	1	1	0	0	0	248	-1/3	-1/3	2/3	-0,5	-0,5
0	1	1	1	1	1	0	0	1	249	-2/3	-2/3	4/3	-1	-1
0	1	1	1	1	1	0	1	0	250	0	0	0	0	0
0	1	1	1	1	1	0	1	1	251	-1/3	-1/3	2/3	-0,5	-0,5
0	1	1	1	1	1	1	0	0	252	-2/3	1/3	1/3	-1	0
0	1	1	1	1	1	1	0	1	253	-1	0	1	-1,5	-0,5
0	1	1	1	1	1	1	1	0	254	-1/3	2/3	-1/3	-0,5	0,5
0	1	1	1	1	1	1	1	1	255	-2/3	1/3	1/3	-1	0

**Tabla A.8.:** Estados del inversor de 4 niveles de fuentes independientes del 224 al 255.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	0	0	0	0	0	0	0	0	256	2/3	-1/3	-1/3	1	0
1	0	0	0	0	0	0	0	1	257	1/3	-2/3	1/3	0,5	-0,5
1	0	0	0	0	0	0	1	0	258	1	0	-1	1,5	0,5
1	0	0	0	0	0	0	1	1	259	2/3	-1/3	-1/3	1	0
1	0	0	0	0	0	1	0	0	260	1/3	1/3	-2/3	0,5	0,5
1	0	0	0	0	0	1	0	1	261	0	0	0	0	0
1	0	0	0	0	0	1	1	0	262	2/3	2/3	-4/3	1	1
1	0	0	0	0	0	1	1	1	263	1/3	1/3	-2/3	0,5	0,5
1	0	0	0	0	1	0	0	0	264	1	-1	0	1,5	-0,5
1	0	0	0	0	1	0	0	1	265	2/3	-4/3	2/3	1	-1
1	0	0	0	0	1	0	1	0	266	4/3	-2/3	-2/3	2	0
1	0	0	0	0	1	0	1	1	267	1	-1	0	1,5	-0,5
1	0	0	0	0	1	1	0	0	268	2/3	-1/3	-1/3	1	0
1	0	0	0	0	1	1	0	1	269	1/3	-2/3	1/3	0,5	-0,5
1	0	0	0	0	1	1	1	0	270	1	0	-1	1,5	0,5
1	0	0	0	0	1	1	1	1	271	2/3	-1/3	-1/3	1	0
1	0	0	0	1	0	0	0	0	272	4/3	-2/3	-2/3	2	0
1	0	0	0	1	0	0	0	1	273	1	-1	0	1,5	-0,5
1	0	0	0	1	0	0	1	0	274	5/3	-1/3	-4/3	2,5	0,5
1	0	0	0	1	0	0	1	1	275	4/3	-2/3	-2/3	2	0
1	0	0	0	1	0	1	0	0	276	1	0	-1	1,5	0,5
1	0	0	0	1	0	1	0	1	277	2/3	-1/3	-1/3	1	0
1	0	0	0	1	0	1	1	0	278	4/3	1/3	-5/3	2	1
1	0	0	0	1	0	1	1	1	279	1	0	-1	1,5	0,5
1	0	0	0	1	1	0	0	0	280	5/3	-4/3	-1/3	2,5	-0,5
1	0	0	0	1	1	0	0	1	281	4/3	-5/3	1/3	2	-1
1	0	0	0	1	1	0	1	0	282	2	-1	-1	3	0
1	0	0	0	1	1	0	1	1	283	5/3	-4/3	-1/3	2,5	-0,5
1	0	0	0	1	1	1	0	0	284	4/3	-2/3	-2/3	2	0
1	0	0	0	1	1	1	0	1	285	1	-1	0	1,5	-0,5
1	0	0	0	1	1	1	1	0	286	5/3	-1/3	-4/3	2,5	0,5
1	0	0	0	1	1	1	1	1	287	4/3	-2/3	-2/3	2	0

**Tabla A.9.:** Estados del inversor de 4 niveles de fuentes independientes del 256 al 287.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	0	0	1	0	0	0	0	0	288	0	0	0	0	0
1	0	0	1	0	0	0	0	1	289	-1/3	-1/3	2/3	-0,5	-0,5
1	0	0	1	0	0	0	1	0	290	1/3	1/3	-2/3	0,5	0,5
1	0	0	1	0	0	0	1	1	291	0	0	0	0	0
1	0	0	1	0	0	1	0	0	292	-1/3	2/3	-1/3	-0,5	0,5
1	0	0	1	0	0	1	0	1	293	-2/3	1/3	1/3	-1	0
1	0	0	1	0	0	1	1	0	294	0	1	-1	0	1
1	0	0	1	0	0	1	1	1	295	-1/3	2/3	-1/3	-0,5	0,5
1	0	0	1	0	1	0	0	0	296	1/3	-2/3	1/3	0,5	-0,5
1	0	0	1	0	1	0	0	1	297	0	-1	1	0	-1
1	0	0	1	0	1	0	1	0	298	2/3	-1/3	-1/3	1	0
1	0	0	1	0	1	0	1	1	299	1/3	-2/3	1/3	0,5	-0,5
1	0	0	1	0	1	1	0	0	300	0	0	0	0	0
1	0	0	1	0	1	1	0	1	301	-1/3	-1/3	2/3	-0,5	-0,5
1	0	0	1	0	1	1	1	0	302	1/3	1/3	-2/3	0,5	0,5
1	0	0	1	0	1	1	1	1	303	0	0	0	0	0
1	0	0	1	1	0	0	0	0	304	2/3	-1/3	-1/3	1	0
1	0	0	1	1	0	0	0	1	305	1/3	-2/3	1/3	0,5	-0,5
1	0	0	1	1	0	0	1	0	306	1	0	-1	1,5	0,5
1	0	0	1	1	0	0	1	1	307	2/3	-1/3	-1/3	1	0
1	0	0	1	1	0	1	0	0	308	1/3	1/3	-2/3	0,5	0,5
1	0	0	1	1	0	1	0	1	309	0	0	0	0	0
1	0	0	1	1	0	1	1	0	310	2/3	2/3	-4/3	1	1
1	0	0	1	1	0	1	1	1	311	1/3	1/3	-2/3	0,5	0,5
1	0	0	1	1	1	0	0	0	312	1	-1	0	1,5	-0,5
1	0	0	1	1	1	0	0	1	313	2/3	-4/3	2/3	1	-1
1	0	0	1	1	1	0	1	0	314	4/3	-2/3	-2/3	2	0
1	0	0	1	1	1	0	1	1	315	1	-1	0	1,5	-0,5
1	0	0	1	1	1	1	0	0	316	2/3	-1/3	-1/3	1	0
1	0	0	1	1	1	1	0	1	317	1/3	-2/3	1/3	0,5	-0,5
1	0	0	1	1	1	1	1	0	318	1	0	-1	1,5	0,5
1	0	0	1	1	1	1	1	1	319	2/3	-1/3	-1/3	1	0

**Tabla A.10.:** Estados del inversor de 4 niveles de fuentes independientes del 288 al 319.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	0	1	0	0	0	0	0	0	320	1/3	-2/3	1/3	0,5	-0,5
1	0	1	0	0	0	0	0	1	321	0	-1	1	0	-1
1	0	1	0	0	0	0	1	0	322	2/3	-1/3	-1/3	1	0
1	0	1	0	0	0	0	1	1	323	1/3	-2/3	1/3	0,5	-0,5
1	0	1	0	0	0	1	0	0	324	0	0	0	0	0
1	0	1	0	0	0	1	0	1	325	-1/3	-1/3	2/3	-0,5	-0,5
1	0	1	0	0	0	1	1	0	326	1/3	1/3	-2/3	0,5	0,5
1	0	1	0	0	0	1	1	1	327	0	0	0	0	0
1	0	1	0	0	1	0	0	0	328	2/3	-4/3	2/3	1	-1
1	0	1	0	0	1	0	0	1	329	1/3	-5/3	4/3	0,5	-1,5
1	0	1	0	0	1	0	1	0	330	1	-1	0	1,5	-0,5
1	0	1	0	0	1	0	1	1	331	2/3	-4/3	2/3	1	-1
1	0	1	0	0	1	1	0	0	332	1/3	-2/3	1/3	0,5	-0,5
1	0	1	0	0	1	1	0	1	333	0	-1	1	0	-1
1	0	1	0	0	1	1	1	0	334	2/3	-1/3	-1/3	1	0
1	0	1	0	0	1	1	1	1	335	1/3	-2/3	1/3	0,5	-0,5
1	0	1	0	1	0	0	0	0	336	1	-1	0	1,5	-0,5
1	0	1	0	1	0	0	0	1	337	2/3	-4/3	2/3	1	-1
1	0	1	0	1	0	0	1	0	338	4/3	-2/3	-2/3	2	0
1	0	1	0	1	0	0	1	1	339	1	-1	0	1,5	-0,5
1	0	1	0	1	0	1	0	0	340	2/3	-1/3	-1/3	1	0
1	0	1	0	1	0	1	0	1	341	1/3	-2/3	1/3	0,5	-0,5
1	0	1	0	1	0	1	1	0	342	1	0	-1	1,5	0,5
1	0	1	0	1	0	1	1	1	343	2/3	-1/3	-1/3	1	0
1	0	1	0	1	1	0	0	0	344	4/3	-5/3	1/3	2	-1
1	0	1	0	1	1	0	0	1	345	1	-2	1	1,5	-1,5
1	0	1	0	1	1	0	1	0	346	5/3	-4/3	-1/3	2,5	-0,5
1	0	1	0	1	1	0	1	1	347	4/3	-5/3	1/3	2	-1
1	0	1	0	1	1	1	0	0	348	1	-1	0	1,5	-0,5
1	0	1	0	1	1	1	0	1	349	2/3	-4/3	2/3	1	-1
1	0	1	0	1	1	1	1	0	350	4/3	-2/3	-2/3	2	0
1	0	1	0	1	1	1	1	1	351	1	-1	0	1,5	-0,5

**Tabla A.11.:** Estados del inversor de 4 niveles de fuentes independientes del 320 al 351.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	0	1	1	0	0	0	0	0	352	-1/3	-1/3	2/3	-0,5	-0,5
1	0	1	1	0	0	0	0	1	353	-2/3	-2/3	4/3	-1	-1
1	0	1	1	0	0	0	1	0	354	0	0	0	0	0
1	0	1	1	0	0	0	1	1	355	-1/3	-1/3	2/3	-0,5	-0,5
1	0	1	1	0	0	1	0	0	356	-2/3	1/3	1/3	-1	0
1	0	1	1	0	0	1	0	1	357	-1	0	1	-1,5	-0,5
1	0	1	1	0	0	1	1	0	358	-1/3	2/3	-1/3	-0,5	0,5
1	0	1	1	0	0	1	1	1	359	-2/3	1/3	1/3	-1	0
1	0	1	1	0	1	0	0	0	360	0	-1	1	0	-1
1	0	1	1	0	1	0	0	1	361	-1/3	-4/3	5/3	-0,5	-1,5
1	0	1	1	0	1	0	1	0	362	1/3	-2/3	1/3	0,5	-0,5
1	0	1	1	0	1	0	1	1	363	0	-1	1	0	-1
1	0	1	1	0	1	1	0	0	364	-1/3	-1/3	2/3	-0,5	-0,5
1	0	1	1	0	1	1	0	1	365	-2/3	-2/3	4/3	-1	-1
1	0	1	1	0	1	1	1	0	366	0	0	0	0	0
1	0	1	1	0	1	1	1	1	367	-1/3	-1/3	2/3	-0,5	-0,5
1	0	1	1	1	0	0	0	0	368	1/3	-2/3	1/3	0,5	-0,5
1	0	1	1	1	0	0	0	1	369	0	-1	1	0	-1
1	0	1	1	1	0	0	1	0	370	2/3	-1/3	-1/3	1	0
1	0	1	1	1	0	0	1	1	371	1/3	-2/3	1/3	0,5	-0,5
1	0	1	1	1	0	1	0	0	372	0	0	0	0	0
1	0	1	1	1	0	1	0	1	373	-1/3	-1/3	2/3	-0,5	-0,5
1	0	1	1	1	0	1	1	0	374	1/3	1/3	-2/3	0,5	0,5
1	0	1	1	1	0	1	1	1	375	0	0	0	0	0
1	0	1	1	1	1	0	0	0	376	2/3	-4/3	2/3	1	-1
1	0	1	1	1	1	0	0	1	377	1/3	-5/3	4/3	0,5	-1,5
1	0	1	1	1	1	0	1	0	378	1	-1	0	1,5	-0,5
1	0	1	1	1	1	0	1	1	379	2/3	-4/3	2/3	1	-1
1	0	1	1	1	1	1	0	0	380	1/3	-2/3	1/3	0,5	-0,5
1	0	1	1	1	1	1	0	1	381	0	-1	1	0	-1
1	0	1	1	1	1	1	1	0	382	2/3	-1/3	-1/3	1	0
1	0	1	1	1	1	1	1	1	383	1/3	-2/3	1/3	0,5	-0,5

**Tabla A.12.:** Estados del inversor de 4 niveles de fuentes independientes del 352 al 383.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	1	0	0	0	0	0	0	0	384	1/3	1/3	-2/3	0,5	0,5
1	1	0	0	0	0	0	0	1	385	0	0	0	0	0
1	1	0	0	0	0	0	1	0	386	2/3	2/3	-4/3	1	1
1	1	0	0	0	0	0	1	1	387	1/3	1/3	-2/3	0,5	0,5
1	1	0	0	0	0	1	0	0	388	0	1	-1	0	1
1	1	0	0	0	0	1	0	1	389	-1/3	2/3	-1/3	-0,5	0,5
1	1	0	0	0	0	1	1	0	390	1/3	4/3	-5/3	0,5	1,5
1	1	0	0	0	0	1	1	1	391	0	1	-1	0	1
1	1	0	0	0	1	0	0	0	392	2/3	-1/3	-1/3	1	0
1	1	0	0	0	1	0	0	1	393	1/3	-2/3	1/3	0,5	-0,5
1	1	0	0	0	1	0	1	0	394	1	0	-1	1,5	0,5
1	1	0	0	0	1	0	1	1	395	2/3	-1/3	-1/3	1	0
1	1	0	0	0	1	1	0	0	396	1/3	1/3	-2/3	0,5	0,5
1	1	0	0	0	1	1	0	1	397	0	0	0	0	0
1	1	0	0	0	1	1	1	0	398	2/3	2/3	-4/3	1	1
1	1	0	0	0	1	1	1	1	399	1/3	1/3	-2/3	0,5	0,5
1	1	0	0	1	0	0	0	0	400	1	0	-1	1,5	0,5
1	1	0	0	1	0	0	0	1	401	2/3	-1/3	-1/3	1	0
1	1	0	0	1	0	0	1	0	402	4/3	1/3	-5/3	2	1
1	1	0	0	1	0	0	1	1	403	1	0	-1	1,5	0,5
1	1	0	0	1	0	1	0	0	404	2/3	2/3	-4/3	1	1
1	1	0	0	1	0	1	0	1	405	1/3	1/3	-2/3	0,5	0,5
1	1	0	0	1	0	1	1	0	406	1	1	-2	1,5	1,5
1	1	0	0	1	0	1	1	1	407	2/3	2/3	-4/3	1	1
1	1	0	0	1	1	0	0	0	408	4/3	-2/3	-2/3	2	0
1	1	0	0	1	1	0	0	1	409	1	-1	0	1,5	-0,5
1	1	0	0	1	1	0	1	0	410	5/3	-1/3	-4/3	2,5	0,5
1	1	0	0	1	1	0	1	1	411	4/3	-2/3	-2/3	2	0
1	1	0	0	1	1	1	0	0	412	1	0	-1	1,5	0,5
1	1	0	0	1	1	1	0	1	413	2/3	-1/3	-1/3	1	0
1	1	0	0	1	1	1	1	0	414	4/3	1/3	-5/3	2	1
1	1	0	0	1	1	1	1	1	415	1	0	-1	1,5	0,5

**Tabla A.13.:** Estados del inversor de 4 niveles de fuentes independientes del 384 al 415.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	1	0	1	0	0	0	0	0	416	-1/3	2/3	-1/3	-0,5	0,5
1	1	0	1	0	0	0	0	1	417	-2/3	1/3	1/3	-1	0
1	1	0	1	0	0	0	1	0	418	0	1	-1	0	1
1	1	0	1	0	0	0	1	1	419	-1/3	2/3	-1/3	-0,5	0,5
1	1	0	1	0	0	1	0	0	420	-2/3	4/3	-2/3	-1	1
1	1	0	1	0	0	1	0	1	421	-1	1	0	-1,5	0,5
1	1	0	1	0	0	1	1	0	422	-1/3	5/3	-4/3	-0,5	1,5
1	1	0	1	0	0	1	1	1	423	-2/3	4/3	-2/3	-1	1
1	1	0	1	0	1	0	0	0	424	0	0	0	0	0
1	1	0	1	0	1	0	0	1	425	-1/3	-1/3	2/3	-0,5	-0,5
1	1	0	1	0	1	0	1	0	426	1/3	1/3	-2/3	0,5	0,5
1	1	0	1	0	1	0	1	1	427	0	0	0	0	0
1	1	0	1	0	1	1	0	0	428	-1/3	2/3	-1/3	-0,5	0,5
1	1	0	1	0	1	1	0	1	429	-2/3	1/3	1/3	-1	0
1	1	0	1	0	1	1	1	0	430	0	1	-1	0	1
1	1	0	1	0	1	1	1	1	431	-1/3	2/3	-1/3	-0,5	0,5
1	1	0	1	1	0	0	0	0	432	1/3	1/3	-2/3	0,5	0,5
1	1	0	1	1	0	0	0	1	433	0	0	0	0	0
1	1	0	1	1	0	0	1	0	434	2/3	2/3	-4/3	1	1
1	1	0	1	1	0	0	1	1	435	1/3	1/3	-2/3	0,5	0,5
1	1	0	1	1	0	1	0	0	436	0	1	-1	0	1
1	1	0	1	1	0	1	0	1	437	-1/3	2/3	-1/3	-0,5	0,5
1	1	0	1	1	0	1	1	0	438	1/3	4/3	-5/3	0,5	1,5
1	1	0	1	1	0	1	1	1	439	0	1	-1	0	1
1	1	0	1	1	1	0	0	0	440	2/3	-1/3	-1/3	1	0
1	1	0	1	1	1	0	0	1	441	1/3	-2/3	1/3	0,5	-0,5
1	1	0	1	1	1	0	1	0	442	1	0	-1	1,5	0,5
1	1	0	1	1	1	0	1	1	443	2/3	-1/3	-1/3	1	0
1	1	0	1	1	1	1	0	0	444	1/3	1/3	-2/3	0,5	0,5
1	1	0	1	1	1	1	0	1	445	0	0	0	0	0
1	1	0	1	1	1	1	1	0	446	2/3	2/3	-4/3	1	1
1	1	0	1	1	1	1	1	1	447	1/3	1/3	-2/3	0,5	0,5

**Tabla A.14.:** Estados del inversor de 4 niveles de fuentes independientes del 416 al 447.

R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	1	1	0	0	0	0	0	0	448	0	0	0	0	0
1	1	1	0	0	0	0	0	1	449	-1/3	-1/3	2/3	-0,5	-0,5
1	1	1	0	0	0	0	1	0	450	1/3	1/3	-2/3	0,5	0,5
1	1	1	0	0	0	0	1	1	451	0	0	0	0	0
1	1	1	0	0	0	1	0	0	452	-1/3	2/3	-1/3	-0,5	0,5
1	1	1	0	0	0	1	0	1	453	-2/3	1/3	1/3	-1	0
1	1	1	0	0	0	1	1	0	454	0	1	-1	0	1
1	1	1	0	0	0	1	1	1	455	-1/3	2/3	-1/3	-0,5	0,5
1	1	1	0	0	1	0	0	0	456	1/3	-2/3	1/3	0,5	-0,5
1	1	1	0	0	1	0	0	1	457	0	-1	1	0	-1
1	1	1	0	0	1	0	1	0	458	2/3	-1/3	-1/3	1	0
1	1	1	0	0	1	0	1	1	459	1/3	-2/3	1/3	0,5	-0,5
1	1	1	0	0	1	1	0	0	460	0	0	0	0	0
1	1	1	0	0	1	1	0	1	461	-1/3	-1/3	2/3	-0,5	-0,5
1	1	1	0	0	1	1	1	0	462	1/3	1/3	-2/3	0,5	0,5
1	1	1	0	0	1	1	1	1	463	0	0	0	0	0
1	1	1	0	1	0	0	0	0	464	2/3	-1/3	-1/3	1	0
1	1	1	0	1	0	0	0	1	465	1/3	-2/3	1/3	0,5	-0,5
1	1	1	0	1	0	0	1	0	466	1	0	-1	1,5	0,5
1	1	1	0	1	0	0	1	1	467	2/3	-1/3	-1/3	1	0
1	1	1	0	1	0	1	0	0	468	1/3	1/3	-2/3	0,5	0,5
1	1	1	0	1	0	1	0	1	469	0	0	0	0	0
1	1	1	0	1	0	1	1	0	470	2/3	2/3	-4/3	1	1
1	1	1	0	1	0	1	1	1	471	1/3	1/3	-2/3	0,5	0,5
1	1	1	0	1	1	0	0	0	472	1	-1	0	1,5	-0,5
1	1	1	0	1	1	0	0	1	473	2/3	-4/3	2/3	1	-1
1	1	1	0	1	1	0	1	0	474	4/3	-2/3	-2/3	2	0
1	1	1	0	1	1	0	1	1	475	1	-1	0	1,5	-0,5
1	1	1	0	1	1	1	0	0	476	2/3	-1/3	-1/3	1	0
1	1	1	0	1	1	1	0	1	477	1/3	-2/3	1/3	0,5	-0,5
1	1	1	0	1	1	1	1	0	478	1	0	-1	1,5	0,5
1	1	1	0	1	1	1	1	1	479	2/3	-1/3	-1/3	1	0

**Tabla A.15.:** Estados del inversor de 4 niveles de fuentes independientes del 448 al 479.



R	S	T	A	B	C	D	E	F	decimal	$V_{R2}$	$V_{R2}$	$V_{R3}$	$d_{transf}$	$q_{transf}$
1	1	1	1	0	0	0	0	0	480	-2/3	1/3	1/3	-1	0
1	1	1	1	0	0	0	0	1	481	-1	0	1	-1,5	-0,5
1	1	1	1	0	0	0	1	0	482	-1/3	2/3	-1/3	-0,5	0,5
1	1	1	1	0	0	0	1	1	483	-2/3	1/3	1/3	-1	0
1	1	1	1	0	0	1	0	0	484	-1	1	0	-1,5	0,5
1	1	1	1	0	0	1	0	1	485	-4/3	2/3	2/3	-2	0
1	1	1	1	0	0	1	1	0	486	-2/3	4/3	-2/3	-1	1
1	1	1	1	0	0	1	1	1	487	-1	1	0	-1,5	0,5
1	1	1	1	0	1	0	0	0	488	-1/3	-1/3	2/3	-0,5	-0,5
1	1	1	1	0	1	0	0	1	489	-2/3	-2/3	4/3	-1	-1
1	1	1	1	0	1	0	1	0	490	0	0	0	0	0
1	1	1	1	0	1	0	1	1	491	-1/3	-1/3	2/3	-0,5	-0,5
1	1	1	1	0	1	1	0	0	492	-2/3	1/3	1/3	-1	0
1	1	1	1	0	1	1	0	1	493	-1	0	1	-1,5	-0,5
1	1	1	1	0	1	1	1	0	494	-1/3	2/3	-1/3	-0,5	0,5
1	1	1	1	0	1	1	1	1	495	-2/3	1/3	1/3	-1	0
1	1	1	1	1	0	0	0	0	496	0	0	0	0	0
1	1	1	1	1	0	0	0	1	497	-1/3	-1/3	2/3	-0,5	-0,5
1	1	1	1	1	0	0	1	0	498	1/3	1/3	-2/3	0,5	0,5
1	1	1	1	1	0	0	1	1	499	0	0	0	0	0
1	1	1	1	1	0	1	0	0	500	-1/3	2/3	-1/3	-0,5	0,5
1	1	1	1	1	0	1	0	1	501	-2/3	1/3	1/3	-1	0
1	1	1	1	1	0	1	1	0	502	0	1	-1	0	1
1	1	1	1	1	0	1	1	1	503	-1/3	2/3	-1/3	-0,5	0,5
1	1	1	1	1	1	0	0	0	504	1/3	-2/3	1/3	0,5	-0,5
1	1	1	1	1	1	0	0	1	505	0	-1	1	0	-1
1	1	1	1	1	1	0	1	0	506	2/3	-1/3	-1/3	1	0
1	1	1	1	1	1	0	1	1	507	1/3	-2/3	1/3	0,5	-0,5
1	1	1	1	1	1	1	0	0	508	0	0	0	0	0
1	1	1	1	1	1	1	0	1	509	-1/3	-1/3	2/3	-0,5	-0,5
1	1	1	1	1	1	1	1	0	510	1/3	1/3	-2/3	0,5	0,5
1	1	1	1	1	1	1	1	1	511	0	0	0	0	0

**Tabla A.16.:** Estados del inversor de 4 niveles de fuentes independientes del 480 al 511.

## B. Algoritmo de consideraciones geométricas en Matlab.

```
clear
clc
for aux=1:359
    clc
    %voltaje a obtener
    volaje=120*sqrt(2);
    angulo=aux*10;
    va=[0 volaje*sin(angulo*pi/180)];
    vb=[0 volaje*sin(angulo*pi/180+2*pi/3)];
    vc=[0 volaje*sin(angulo*pi/180+4*pi/3)];
    u=[va;vb;vc]
    utrans=sqrt(2/3)*[1 exp(2*pi*i/3) exp(4*pi*i/3)]*u;
    %hexagonos
    load('vabc.mat')
    a=vabc(:,1)';
    b=vabc(:,2)';
    c=vabc(:,3)';
    vdc=179;
    vabc=([a;b;c]/3)*vdc;
    %hexagonos normales
    trans=sqrt(2/3)*[1 exp(2*pi*i/3) exp(4*pi*i/3)]*vabc;
```

```

%transformada de clark
subplot(2,2,1)
plot(real(trans),imag(trans),'o',real(utrans),imag(utrans)),grid
axis([-500 500 -500 500]);
title('hexagonos normales');
transmodi=real(trans)+(i*1/sqrt(3))*imag(trans);
utransmodi=real(utrans)+(i*1/sqrt(3))*imag(utrans);
subplot(2,2,2)
plot(real(transmodi),imag(transmodi),'o',real(utransmodi),imag(utransmodi)),grid
axis([-500 500 -500 500]);
title('hexagonos modificados');
n=4;
transnorma=(1/3)*((n-1)/vdc)*[1 exp(2*pi*i/3) exp(4*pi*i/3)]*vabc;
utransnorma=(1/3)*((n-1)/vdc)*[1 exp(2*pi*i/3) exp(4*pi*i/3)]*u;
subplot(2,2,3)
plot(real(transnorma),imag(transnorma),'o',real(utransnorma),imag(utransnorma)),grid
axis([-4 4 -4 4]);
title('hexagonos normalizados');
transnormamodi=real(transnorma)+(i*1/sqrt(3))*imag(transnorma);
utransnormamodi=real(utransnorma)+(i*1/sqrt(3))*imag(utransnorma);
%aquí hacemos los demás cálculos
uref=utransnormamodi(2)
if imag(uref)<0
%negativa
if imag(uref)>real(uref)
zona=2
else
zona=3

```

```

end
else
    %postiva
    if imag(uref)>=(-1*real(uref))
        zona=1
    else
        zona=2
    end
end
if zona==1
    ea=fix(real(uref)+imag(uref))
    eb=fix(2*imag(uref))
    ec=0
    if (imag(uref)-real(uref))>(eb-ea)
        trian=2
        t1=1+eb-2*imag(uref)
        ea1=ea+1;
        eb1=eb+1;
        ec1=ec;
        t2=-ea+real(uref)+imag(uref)
        ea2=ea;
        eb2=eb+1;
        ec2=ec;
        t3=ea-eb-real(uref)+imag(uref)
        ea3=ea;
        eb3=eb;
        ec3=ec;
    else

```

```

trian=1
t1=1+ea-real(uref)-imag(uref)
ea1=ea;
eb1=eb;
ec1=ec;
t2=eb-ea+real(uref)-imag(uref)
ea2=ea+1;
eb2=eb;
ec2=ec;
t3=-eb+2*imag(uref)
ea3=ea+1;
eb3=eb+1;
ec3=ec;
end
elseif zona==2
ea=0
eb=fix(imag(uref)-real(uref))
ec=fix(-real(uref)-imag(uref))
if (2*imag(uref))<(eb-ec)
trian=2
t1=1+ec+imag(uref)+real(uref)
ea1=ea;
eb1=eb;
ec1=ec;
t2=eb-ec-2*imag(uref)
ea2=ea;
eb2=eb;
ec2=ec+1;

```

```

t3=-eb-real(uref)+imag(uref)
ea3=ea;
eb3=eb+1;
ec3=ec+1;
else
trian=1
t1=1+eb+real(uref)-imag(uref)
ea1=ea;
eb1=eb;
ec1=ec;
t2=-ec-real(uref)-imag(uref)
ea2=ea;
eb2=eb+1;
ec2=ec+1;
t3=ec-eb+2*imag(uref)
ea3=ea;
eb3=eb+1;
ec3=ec;
end
elseif zona==3
ea=fix(real(uref)-imag(uref))
eb=0
ec=fix(-2*imag(uref))
if (imag(uref)+real(uref))>(ea-ec)
trian=2
t1=1+ea+imag(uref)-real(uref)
ea1=ea;
eb1=eb;

```

```

ec1=ec;
t2=-ec-2*imag(uref)
ea2=ea+1;
eb2=eb;
ec2=ec+1;
t3=ec-ea+real(uref)+imag(uref)
ea3=ea+1;
eb3=eb;
ec3=ec;
else
trian=1
t1=1+ec+2*imag(uref)
ea1=ea;
eb1=eb;
ec1=ec;
t2=ea-ec-real(uref)-imag(uref)
ea2=ea;
eb2=eb;
ec2=ec+1;
t3=-ea+real(uref)-imag(uref)
ea3=ea+1;
eb3=eb;
ec3=ec+1;
end
end
dqtoo=[1 -0.5 -0.5;0 0.5 -0.5]*[ea1 ea2 ea3 ea1;eb1 eb2 eb3 eb1;ec1 ec2 ec3 ec1]
t=t1+t2+t3;

%hexagono normalizado y transformado

```

```

subplot(2,2,4)

plot(real(transnormamodi),imag(transnormamodi),'o',real(utransnormamodi),
imag(utransnormamodi),dqtoo(1,:),dqtoo(2,:), 'o',dqtoo(1,:),dqtoo(2,:), 'r'),grid

axis([-4 4 -2.2 2.2]);

title('hexagonos normalizados y modificados');

pause(2);

end

```



# Bibliografía

- [1] FUJITSU, *Coordinate transform*, 2011, p.15.
- [2] VALLEJO, M. y AYALA, J., “FPGA: Nociones básicas e implementación”, *Laboratorio de Diseño Microelectrónico, 4º Curso, P94*, abril del 2004.
- [3] XILINX, *MicroBlaze Development Kit Spartan-3E 1600E*, 5 de diciembre del 2007.
- [4] MICROCHIP, *MCP3204/3208*, 2002.
- [5] MARTÍN, Roberto, *Laboratorio de Interfaces: Sensores de efecto hall*, Universidad Nacional de San Luis, Facultad de Ciencias Físico Matemáticas y Naturales, 2011.
- [6] MARTÍN, M. Ángeles, *Nuevas técnicas de modulación vectorial para convertidores electrónicos de potencia multinivel*, tesis de Ph.D., Universidad de Sevilla, Sevilla, mayo del 2003.
- [7] MIÑAMBRES, V., ROMERO, E., y otros, “Sistema Multiconvertidor Trifásico de Inyección de Energía para Plantas de Generación Fotovoltaica”, *Seminario Anual de Automática, Electrónica Industrial e Instrumentación 2010*.
- [8] BRETÓN, Alberto, “Diseño y construcción de un inversor trifásico multinivel de cuatro etapas para compensación armónica y de reactivos”, *Trabajo de Grado, Pontificia Universidad Católica de Chile, Santiago*, 2003.
- [9] SHU, Zeliang, TANG, Jian, y otros, “An efficient SVPWM algorithm with low computational overhead for three-phase inverters”, *Power Electronics, IEEE Transactions on*, Vol. 22, No. 5, 2007, pp. 1797–1805.
- [10] ZHANG, R., PRASAD, V., y otros, “Three-dimensional space vector modulation for four-leg voltage-source converters”, *Power Electronics, IEEE Transactions on*, Vol. 17, No. 3, 2002, pp. 314–326.

- [11] PERALES, M., PRATS, M., y otros, “Three-dimensional space vector modulation in abc coordinates for four-leg voltage source converters”, *Power Electronics Letters, IEEE*, Vol. 1, No. 4, 2003, pp. 104–109.
- [12] ACOSTA, José, RODRÍGUEZ, César, y ROMERO, Alex, “Análisis, Diseño E Implementación De Un Restaurador Dinamico De Voltaje (Dvr) Basado En Un Convertidor Trifasico Pwm Con Mudulacion Sinusoidal Controlado Por Un Dps”, 2009.
- [13] IRIBE, Victor, BERISTÁIN, Javier, y otros, *Implementación de la técnica de modulación de vectores espaciales utilizando un controlador digital de señal DSPIC 30F3010*, tesis de Ph.D., Tesis de Licenciatura, Departamento de Ingeniería Eléctrica y Electrónica, Instituto Tecnológico de Sonora, 2007.
- [14] GONZALEZ, Francisco, *Entendiendo la Transformación de Park*, 2004.
- [15] “Park’s Transformation for space vector control”, *Utility applications of power electronics*, 2009.
- [16] RASHID, Muhammad, GONZÁLEZ, Rasid, y SUÁREZ, Pozo, *Electrónica de potencia: Circuitos, dispositivos y aplicaciones*, Pearson Educación, 2004.
- [17] “Introducción a la Tecnología FPGA: Los Cinco Beneficios Principales - Developer Zone - National Instruments”, <http://www.ni.com/white-paper/6984/es>, 21 de diciembre del 2011.
- [18] SÁNCHEZ, G., *¿Qué es un FPGA?*, Microelectrónica - Universidad Francisco de Paula Santander, 2012.
- [19] González, Juan, *Introducción al lenguaje de descripción hardware VHDL*, Universidad Autónoma de Madrid, 2012.
- [20] VORA, Rahul, *Tutorial 6 Using the Spartan-3E Starter Board LCD Display With ISE 10.1*, Cosmiac, 2010.

# Nomenclatura

ABEL	advanced boolean expression language
AC	corriente alterna
ADC	analog to digital converter
BJT	bipolar junction transistor
CLB	configurable logic block
DCI	diode clamped inverter
DSP	digital signal processor
EPROM	erasable programmable read only memory
FPGA	field programmable gate array
GTO	gate turn-off thyristor
HDL	hardware description language
IEEE	Institute of Electrical and Electronics Engineers
IGBT	insulated gate bipolar transistor
IGCT	integrated gate commutated thyristor
MOSFET	metal oxide semiconductorfield effect transistor
NPC	neutral point clamped
PLD	programable logic device
RAM	random access memory
ROM	read only memory

SPWM	PWM senoidal
SVM	space vector modulation
VDC	Volataje de corriente continua
VHDL	very high speed integrated circuits hardware description language
VHSIC	very high speed integrated circuits