

**ALTERNATIVAS DE MEJORA PARA UN FILTRO NO LINEAL
ADAPTATIVO, TIPO SEGUIDOR DE FASE (PLL) COMO HERRAMIENTA
PARA MONITOREO DE MAGNITUD Y ÁNGULO EN TENSIONES DE
NODO.**

**UNIVERSIDAD POLITÉCNICA SALESIANA
SEDE QUITO**

**CARRERA:
INGENIERÍA ELÉCTRICA**

**Trabajo de titulación previo a la obtención del título de
INGENIERO ELÉCTRICO**

**TEMA:
ALTERNATIVAS DE MEJORA PARA UN FILTRO NO LINEAL
ADAPTATIVO, TIPO SEGUIDOR DE FASE (PLL) COMO HERRAMIENTA
PARA MONITOREO DE MAGNITUD Y ÁNGULO EN TENSIONES DE
NODO.**

**AUTOR:
ALEXIS DANIEL CUMANICHO CRUZ**

**TUTOR:
ROGELIO ALFREDO ORIZONDO MARTÍNEZ**

Quito, Diciembre del 2021

Alexis Daniel Cumanicho Cruz

ALTERNATIVAS DE MEJORA PARA UN FILTRO NO LINEAL ADAPTATIVO, TIPO SEGUIDOR DE FASE (PLL) COMO HERRAMIENTA PARA MONITOREO DE MAGNITUD Y ÁNGULO EN TENSIONES DE NODO.

Universidad Politécnica Salesiana, Quito-Ecuador 2021

Ingeniería Eléctrica

Breve reseña historia e información de contacto:



Alexis Daniel Cumanicho Cruz (Y'1994). Realizó sus estudios secundarios en el “Colegio Experimental E Instituto Superior de Pedagogía Juan Montalvo”, se graduó de bachiller en “Químico Biológicas”. Egresado de la Carrera de Ingeniería Eléctrica de la Universidad Politécnica Salesiana. Su trabajo se basa en alternativas de mejora para un filtro no lineal adaptativo, tipo seguidor de fase (PLL), y utilizarlo como herramienta para monitoreo de magnitud y ángulo en tensiones de nodo

acumanichoc@est.ups.edu.ec

Dirigido por:



Rogelio Alfredo Orizondo Martínez (Y'1972 -M'1). Nació en Caracas, Venezuela. Recibió su título en Ingeniería Eléctrica por la Universidad Simón Bolívar en 1999 y el MSc. en la Universidad Simón Bolívar en 2006. Actualmente es docente en la Universidad Politécnica Salesiana. Sus áreas de investigación incluyen electrónica de potencia, especialmente FACTS, sistemas de puesta a tierra y protección catódica.

rorizondo@ups.edu.ec

Todos los derechos reservados:

Queda prohibida, salvo excepción prevista en la ley, cualquier forma de reproducción, distribución, comunicación pública y transformación de esta obra para fines comerciales, sin contar con la autorización de los titulares de propiedad intelectual. La infracción de los derechos mencionados puede ser constitutiva de delito contra la propiedad intelectual. Se permite la libre difusión de este texto con fines académicos o investigativos por cualquier medio, con la debida notificación a los autores.

DERECHOS RESERVADOS

©2021 Universidad Politécnica Salesiana
QUITO-ECUADOR

DECLARATORIA DE COAUTORÍA DEL DOCENTE TUTOR/A

Yo, Rogelio Orizondo declaro que bajo mi dirección y asesoría fue desarrollado el trabajo de titulación *ALTERNATIVAS DE MEJORA PARA UN FILTRO NO LINEAL ADAPTATIVO, TIPO SEGUIDOR DE FASE (PLL) COMO HERRAMIENTA PARA MONITOREO DE MAGNITUD Y ÁNGULO EN TENSIONES DE NODO*. Realizado por Alexis Daniel Cumanicho Cruz, obteniendo un producto que cumple con todos los requisitos estipulados por la Universidad Politécnica Salesiana para ser considerado como trabajo final de titulación.

Quito D.M., Diciembre 2021



.....
Rogelio Alfredo Orizondo Martínez
Cédula de identidad: CI: 1757424195

CESIÓN DE DERECHOS DE AUTOR

Yo Alexis Daniel Cumanicho Cruz, con documento de identificación N° 1720539947, manifiesto mi voluntad y cedo a la Universidad Politécnica Salesiana la titularidad sobre los derechos patrimoniales en virtud de que soy autor del trabajo de titulación intitulado: *ALTERNATIVAS DE MEJORA PARA UN FILTRO NO LINEAL ADAPTATIVO, TIPO SEGUIDOR DE FASE (PLL) COMO HERRAMIENTA PARA MONITOREO DE MAGNITUD Y ÁNGULO EN TENSIONES DE NODO*, mismo que ha sido desarrollado para optar por el título de: Ingeniero Eléctrico, en la Universidad Politécnica Salesiana, quedando la Universidad facultada para ejercer plenamente los derechos cedidos anteriormente.

En aplicación a lo determinado en la Ley de Propiedad Intelectual, en mi condición de autor me reservo los derechos morales de la obra antes citada. En concordancia, suscribo este documento en el momento que hago entrega del trabajo final en formato digital a la Biblioteca de la Universidad Politécnica Salesiana.



.....
Nombre: Alexis Daniel Cumanicho Cruz

Cédula: 1720539947

Fecha: Quito D. M., Diciembre 2021

INDICE GENERAL

Resumen.....	1
Abstract.....	1
1. Introducción.....	2
2. Marco Teórico.....	3
2.1 Oscilador controlado por voltaje (VCO).....	3
2.2 Operación del PLL.....	4
2.3 Filtros.....	4
2.3.1 Pasa Bajos.....	4
2.3.2 Pasa Banda.....	4
2.3.3 Pasa Altos.....	4
2.4 Análisis de Ivarani.....	5
3. Descripción del problema.....	6
3.1 Ventajas del uso de un PLL.....	6
4. Simulación de modelo.....	7
4.1. Escenario A.....	7
4.2. Escenario B.....	8
4.3. Escenario C.....	8
4.4. Escenario D.....	8
5. Resultados.....	8
5.1 Simulación original.....	8
5.2 Simulación caso modificado para análisis.....	9
5.3 Simulación del PLL de arquitectura cerrada, presente en el simulador Simulink.....	9
5.4 Evaluación del PLL, Caso Variación de la Frecuencia Base.....	10
5.5 Evaluación del Comportamiento del PLL de arquitectura abierta ante ondas sinusoidales de 60 Hz con frecuencias armónicas del 5%.	11
5.5.1 Evaluación del Comportamiento del PLL de arquitectura abierta ante ondas sinusoidales de 60 Hz con frecuencias armónicas del 10%.	12
5.5.2 Evaluación del Comportamiento del PLL de arquitectura abierta ante ondas sinusoidales de 60 Hz con cambios en la magnitud de la onda sinusoidal.	13

5.5.3	Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con variación en la sintonización de sus ganancias.....	14
5.6	Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con un contenido de CC del 5% y 10%	15
5.6.1	Comportamiento del PLL de arquitectura abierta y modificada de 60 Hz con un contenido de CC del 5% sintonizado	15
5.6.2	Comportamiento del PLL de arquitectura abierta y modificada de 60 Hz con un contenido de CC del 10% sintonizado	16
5.7	Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con un contenido de CC del 5%.	16
5.8	Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 50 Hz con un contenido de CC del 5%.	16
5.9	Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con un contenido de CC del 5%.	17
5.10	Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 50 Hz con un contenido de CC del 10%.	17
6	Conclusiones	17
7	Trabajos a futuro	18
8	Referencias.....	18
9	ESTADO DEL ARTE.....	21
9.1	Resumen de Indicadores	25

INDICE DE FIGURAS

Figura 1 Diagrama básico de un PLL a lazo cerrado	3
Figura 2 Diagrama básico de un filtro RC	4
Figura 3 Diagrama de bloques para el PLL de arquitectura abierta (original obtenido de [4]).....	5
Figura 4 Diagrama de bloques para un PLL modificado de arquitectura abierta.	5
Figura 5 Diagrama de bloques para otro PLL modificado de arquitectura abierta.	5
Figura 6 PLL de arquitectura original en Simulink.	8
Figura 7 Señal del Ángulo de Desfase ϕ ($^{\circ}$) en la arquitectura original.	9
Figura 8 PLL de arquitectura abierta, modificada para la extracción de las 4 señales. 9	
Figura 9 Señal de la Frecuencia F (Hz).....	9
Figura 10 Señal del producto $\omega*t$ (rad) frecuencia angular x tiempo, del PLL.	10
Figura 11 Señales de Frecuencia F (Hz) y Frecuencia Angular ω (rad/s) a 50 Hz y 60 Hz	10
Figura 12 Señales del Angulo de Desfase ϕ ($^{\circ}$) y Magnitud (pu) a 50 Hz y 60 Hz... 10	
Figura 13 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) en presencia del armónico 3ero.....	11
Figura 14 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) en presencia del armónico 5to.....	11
Figura 15 Señal de la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) en presencia del armónico 7ero.....	11
Figura 16 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) en presencia del armónico 3ero.....	12
Figura 17 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) en presencia del armónico 5to.....	12
Figura 18 Señal de la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) en presencia del armónico 7ero.....	12
Figura 19 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) con una amplitud sinusoidal del 5%.....	13
Figura 20 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) con una amplitud sinusoidal del 10%.....	13
Figura 21 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) con una amplitud sinusoidal del 20%.....	13

Figura 22 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) con ganancias K_{p1} -LF 1, K_{p2} -LF 1 y K_{p} -PD 10.	14
Figura 23 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) con ganancias K_{p1} -LF 5, K_{p2} -LF 5 y K_{p} -PD 10.	14
Figura 24 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) con ganancias K_{p1} -LF 10, K_{p2} -LF 10 y K_{p} -PD 100.	15
Figura 25 Simulación del Comportamiento del PLL de arquitectura abierta y modificada ante presencia de corriente CC al 5%	16
Figura 26 Comportamiento de onda ante presencia de corriente CC al 5%	16
Figura 27 Simulación del Comportamiento del PLL de arquitectura abierta y modificada ante presencia de corriente CC al 10%	16
Figura 28 Comportamiento de onda ante presencia de corriente CC al 10%	16
Figura 29 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) ante un contenido de CC del 5%.	16
Figura 30 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) ante un contenido de CC del 5%.	17
Figura 31 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) ante un contenido de CC del 10%.	17
Figura 32 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) ante un contenido de CC del 10%.	17
Figura 33 Indicador de la temática – Matriz estado del arte	25
Figura 34 Indicador formulación del problema – Matriz estado del arte	25
Figura 35 Indicador de soluciones – Matriz estado del arte	26

INDICE DE TABLAS

Tabla 1 Parámetros de Ajuste del PLL	10
Tabla 2 Datos obtenidos de la variación de frecuencias en el sistema.....	10
Tabla 3 Datos obtenidos de la variación de frecuencias (inclusión de ruidos- armónicos) al 5%.....	11
Tabla 4 Datos obtenidos de la variación de frecuencias (inclusión de ruidos- armónicos) al 10%.....	12
Tabla 5 Datos obtenidos de la variación de amplitud	14
Tabla 6 Datos obtenidos de la variación de ganancias del sistema.....	15
Tabla 7 Parámetros de la forma de onda del voltaje sinusoidal en 50 Hz y 60 Hz....	15
Tabla 8 Datos obtenidos de la variación de corrientes DC al 5%	17
Tabla 9 Datos obtenidos de la variación de corrientes DC al 10%	17
Tabla 10 Matriz de estado del arte	24

ALTERNATIVAS DE MEJORA PARA UN FILTRO NO LINEAL ADAPTATIVO, TIPO SEGUIDOR DE FASE (PLL) COMO HERRAMIENTA PARA MONITOREO DE MAGNITUD Y ANGULO EN TENSIONES DE NODO

Resumen

El presente trabajo permite analizar un filtro tipo seguidor de fase (PLL) el cual es un controlador a lazo cerrado capaz de sincronizarse con una señal de entrada. Se emplea para sistemas de control que involucran transformada de Park y los convertidores de las microrredes. El PLL contra de tres (3) partes principales una señal de entrada, un filtro (PD) y un oscilador controlado por voltaje (VCO). Se procedió a plantear modificaciones a un PLL de arquitectura abierta, con el objetivo de extraer hasta cuatro señales de una forma de onda de voltaje a frecuencia industrial: frecuencia, frecuencia angular, ángulo de desfase y magnitud pico. Para la verificación de su funcionamiento y su sintonización se utilizó la variación en la frecuencia base, 50 (Hz) y 60 (Hz), armónicos tanto de frecuencia baja como media, así como variaciones en la amplitud de la forma de onda y contenido de CC. El PLL modificado actúa en 0.2 (s) con una sintonización del tipo $K_{p1-LF} = 10$, $K_{p2-VCO} = 10$ y $K_{p-PD} = 100$ para formas de ondas cercanas a 1 en por unidad, haciéndose más lenta con la depresión del voltaje normalizado. Finalmente, el análisis se complementa con aspectos relacionados al estudio de reacción del PLL ante diversas fuentes de perturbación, de los cuales, se analizaron los estados de funcionamiento del PLL ante problemas que suelen aparecer en su funcionamiento como son: la presencia de armónicos, el aumento o disminución de amplitud y la relación que sostienen las ganancias dentro del sistema. Lo que lleva a un extra el cual se trata de que sucederá al sistema ante la presencia de corriente continua, para el efecto de realizar el estudio y análisis del sistema se utiliza el simulador Simulink de Matlab.

Palabras Clave: Circuito seguidor de fases (PLL), Oscilador controlado por voltaje (VCO), sistema de control no lineal, Filtro pasa bajo (LF), electrónica de potencia.

Abstract

The work allows analyzing a phase lock loop (PLL) which is a controller with closed loop capable of synchronizing with an input signal. It used for control systems involving Park transform and micro-reed converters. The PLL against three (3) main parts and input signal, a filter (PD) and a voltage-controlled oscillator (VCO). We proceeded to propose modifications to an open architecture PLL, with the aim of extracting up to four signals from a waveform of voltage at industrial frequency: frequency, angular frequency, angle of offset and peak magnitude. For the verification of its operation and tuning, variations in the base frequency, 50 (Hz) and 60 (Hz), harmonics of both low and medium frequency, as well as variations in the amplitude of the waveform and DC content were used. The modified PLL acts in 0.2 (s) with a tuning of the type $K_{p1-LF} = 10$, $K_{p2-VCO} = 10$ and $K_{p-PD} = 100$ for waveforms close to 1 in per unit, slowing down with the depression of the normalized voltage. Finally, analysis is complemented by aspects related to the study of reaction of PLL to various sources of disturbance, of which the states of operation of the PLL were analyzed before problems that usually appear in its operation such as: the presence of harmonics, the increase or decrease in amplitude and the relationship that sustain the gains within the system. Which leads to an extra, which is that it will happen to the system in the presence of direct current, for performing the study and analysis of the system is, used the Simulink simulator of Matlab.

Keywords: Phase lock loops (PLL), Voltage Controlled Oscillator (VCO), nonlinear control system, Low Filter (LF), and power electronics.

1. Introducción

El PLL es de mucha utilidad en el mundo de la electrónica y de la teoría de comunicaciones. También tiene aplicaciones muy importantes en el sistema eléctrico de potencia (SEP), en especial en el estudio que implican simulaciones en el ámbito de los estudios de transitorios eléctricos, particularmente en el lance de microrredes por su uso en los convertidores que actúan al igual que interfaz entre la generación distribuida y la red eléctrica, así como en la medición en línea. En este caso el PLL, acrónimo para circuito seguidor de fase, es un controlador no lineal cuyo objetivo es extraer señales del SEP que sean útiles para otras etapas del control [1]–[3].

Los seguidores de fases son muy conocidos en aplicaciones electrónicas. Cuando se busca estos circuitos no lineales aplicados en el SEP, las opciones son escasas. Para esta última aplicación, se consigue poca literatura y el modelo no queda del todo claro. Existe una librería en Simulink que ofrece una arquitectura para el PLL, pero se encuentra cerrada y no hay información sobre el diagrama de bloques.

EL PLL disponible en el programa Simulink de Matlab es un circuito de estructura cerrada que solo permite extraer dos señales: la frecuencia F y la señal de barrido $\omega * t$. Estos signos son insuficientes para otras aplicaciones en el SEP con lo cual se decidió plantear un trabajo enfocado en simular y observar las capacidades de otro PLL, esta vez de arquitectura abierta y con acceso a la modificación de sus controladores proporcionales, que sí permita la extracción de señales que son esenciales al revisar un SEP como son el desfase angular de una ondulación de voltaje respecto de una onda patrón sinusoidal o

cosenosoidal, a manera de su magnitud pico o eficaz.

El problema consistió, por tanto, en la identificación de un PLL que ofreciera estas posibilidades, y que permitiera la extracción de señales, especialmente útiles para el mundo de los sistemas de fuerza como son el desfase angular de una forma de onda de tensión normalizada, su frecuencia y su magnitud pico sea eficaz. Esto puede ser de utilidad para asegurar la observación de variables asociadas al voltaje de una barra en el SEP o para el cálculo del factor de potencia. El PLL publicado originalmente en [4] por Ivarani muestra un circuito seguidor de fases, pero su implementación virtual no fue exitosa, de manera que fue necesario su modificación, al igual que el ajuste de sus 3 ganancias proporcionales (sintonización) para garantizar la observación en el tiempo más rápido posible.

Para validar este PLL, se lo somete a formas de onda armónicas, así como a señales con componente de CC. El PLL debe operar de manera robusta y estable. Para lo cual se toman datos tanto teóricos como de simulación para de este modo llegar a un estado aceptable de funcionamiento. En el caso del artículo se llegó a la conclusión que los valores aceptables de funcionamiento son $Kp1-LF = 10$, $Kp2-VCO = 10$ y $Kp-PD = 100$ los cuales llevan los valores más cercanos a 1 pu, con lo cual el PLL no mostrara fallos en su periodo de función dando como resultado un PLL de arquitectura abierta el cual puede ser editado por el usuario y mostrar los datos requeridos por el mismo.

Este trabajo tiene propósito de investigar un PLL que ofrezca una arquitectura abierta, suficientemente flexible para modificar si fuera necesario sus lazos cerrados, que sea capaz de extraer signos útiles para los sistemas de

control más utilizados en el SEP como la magnitud pico o eficaz de formas de ondulación del voltaje, o su desfase respecto de una onda patrón o su frecuencia. Estas señales son esenciales cuando se quiere empleen la descomposición de Park en coordenadas DQ o el desmontaje de alfa beta.

Este texto se encuentra estructurado de la siguiente manera: 1 introducción destaca la importancia del trabajo y sus aplicaciones específicas. Representa de manera general la estructura de la investigación y lo que contiene cada capítulo. El capítulo 2 marco teórico describe y explica el problema, y se muestran los modelos del PLL bajo estudio, la justificación de su selección y los detalles de la simulación. El capítulo 3 muestra la descripción del problema, capítulo 4 ofrece un análisis de estudio ante la simulación del sistema en estudio, en el capítulo 5 se encuentran los resultados de la simulación y el análisis de los mismos, en el capítulo 6 se exponen las conclusiones más importantes y finalmente el capítulo 7 ofrece otras posibilidades para dar continuidad al trabajo expuesto.

2. Marco Teórico

El PLL originalmente tiene muchas esmero en electrónica[5]–[12]. El trabajo desarrollado en [13], [14] implicó una aplicación masiva del PLL para la medición de los ángulos de desfase de los voltajes en todas las barras del micro red bajo estudio, al igual que en [15]. Otras publicaciones muestran aplicaciones de los circuitos seguidores de fase, siempre muy específicas: [2], [16]–[19]. En los casos [20] y [21] se lo emplea a manera de filtro. Solo la publicación establecida como eje muestra con suficiente detalle el diagrama de bloques de un circuito seguidor de fases.

El enfoque teórico desde donde se ha abordado este problema es el de su implementación virtual mediante Simulink frente a las perturbaciones típicas del SEP, a partir del punto de vista de las formas de onda en función del tiempo, una preocupación tradicional del SEP.

2.1 Oscilador controlado por voltaje (VCO)

Los VCO's son el sistema principal para todo bloque de comunicación analógico, cuya función primordial es la conversión de una señal de entrada en DC a una señal de salida la misma que por lo general se trata de una señal sinusoidal, el VCO está compuesto por dos partes un amplificador el que se encarga de aumentar la señal de entrada y una red de retroalimentación positiva del sistema.[22]

Los VCO suelen ser usados como osciladores locales para servir como convertidores de frecuencia, comúnmente se los encuentra en circuitos seguidores de fase (PLL) o en sintetizadores de frecuencia como proveedores de una señal de frecuencia determinada.[23]

El PLL está constituido por tres bloques funcionales: un comparador de fase (PhD: Phase Detector), un filtro pasabajos de amplitud (LPF: Low Pass Filter), y un oscilador de voltaje (VCO: Voltage Controlled Oscillator), Figura 1.

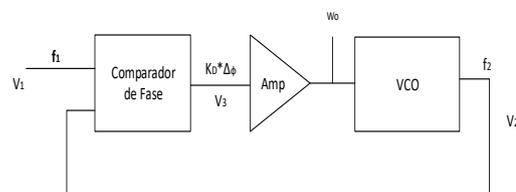


Figura 1 Diagrama básico de un PLL a lazo cerrado

El comparador de fase produce una señal $K_D * \Delta_\phi$ proporcional a la diferencia entre la señal V1 y la señal V2, el cual es generado por el oscilador de voltaje. El

detector de fase es capaz de determinar el desfase existente entre las dos fases, dependiendo de la aplicación para la cual se utilizará el PLL se tiene que colocar un detector de fase para evitar un mal uso dentro del circuito.

2.2 Operación del PLL

EL principio básico de ejecución de un PLL se basa en que el VCO opera a continuidad establecida, la misma que es conocida como repetición de operación libre o natural. Si se aplica una señal de ingreso en el sistema, el comparador de estado compara tanto fase y frecuencia de llegada del VCO y genera una tensión de error $V1(t)$ que se encuentra íntimamente relacionada con el periodo y la diferencia de frecuencia a través de las señas. Este error de tensión pasa por un filtrado, amplificado y aplicado a la terminal de control del VCO. De este modo, la tensión de control $V2(t)$ fuerza a la frecuencia del VCO a tender una variación de dirección que reduce la diferencia de frecuencia entre las señales naturales y de entrada [2], [4].

2.3 Filtros

En los sistemas de comunicación se emplean filtros evitando el paso de ruido para dar paso a frecuencias que llevan la información deseada en ese momento y eliminar lo restante, la utilidad principal de los filtros es para filtrar solamente las frecuencias que puedan ser de utilidad y eliminar cualquier tipo de interferencia o ruido ajeno a estas, existen dos tipos de filtros (Activos y Pasivos)[21][20]:

Filtros Pasivos: Son aquellos formados por las diferentes combinaciones serie, paralelo de los elementos R, L, C.

Filtros Activos: Son aquellos que son empleadores de dispositivos activos como en el caso de los amplificadores operacionales unidos con elementos R, L, C, estos se subdividen en Pasa bajos, Pasa altos y Pasa banda.

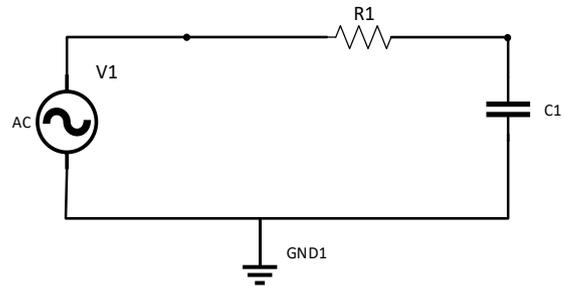


Figura 2 Diagrama básico de un filtro RC

2.3.1 Pasa Bajos

Los filtros pasa bajos están diseñados en base a su funcionamiento que es con un condensador y una resistencia de tal manera que su funcionamiento será de manera fija dentro de un rango de frecuencia, el propósito principal de estos filtros es suavizar fuera de las fluctuaciones (ruido) en la forma de onda de sincronización, esta acción de filtrado también contiene una fase negativa en la cual introduce un cambio de fase a la señal original, en el cual es introducido un cambio adicional por la caída de tensión a través de la conmutación de la reactancia en la parte de arriba del punto de detección [18], [20].

2.3.2 Pasa Banda

Este filtro es uno mejorado a obtener señales de cruce por cero utilizando un filtro de paso de banda en lugar de un paso bajo, para estos filtros son típicos de tener una reactancia baja y una frecuencia de paso de banda el rango de trabajo es de 45-120 Hz teniendo en cuenta la función a 60 Hz en trabajo subarmónico para una atenuación de armónicos bajos, una ventaja adicional es la falta de cambio de fase en la frecuencia fundamental entre la entrada y salida del filtro, del mismo modo la desventaja más prominente del filtro es el funcionamiento restringido dentro del rango de frecuencia causado por las propiedades del filtro de paso de banda. [20]

2.3.3 Pasa Altos

Este filtro como su nombre lo dice es un filtro que evita el paso de deseado (ruidos), en este caso en aplicaciones el filtro descarta determinadas frecuencias, existen algunos tipos de filtros pasa altos que no solo atenúan determinadas señales de frecuencia, sino que las aprovechan para provocar un adelantamiento de fase y derivación de señal. [18][21]

El filtro pasa altos permite el paso a frecuencias superiores a su frecuencia de corte sin atenuación, es decir, todas las frecuencias por debajo de su punto de corte serán atenuadas para determinar una frecuencia que se encuentra por debajo de su punto de corte se utilizan los dB por octava, los filtros estándares siguen incrementos de 6 dB hasta los 24 dB, deben observarse que cuanto mayor es la pendiente de atenuación, mayor es el desplazamiento de fase dentro de la banda de paso.[18]

2.4 Análisis de Ivarani

Iravani [4] es quien propone con mayor exactitud el diagrama de bloques de un PLL de arquitectura abierta. Su contribución es importante porque, a pesar de que el diagrama de bloques originalmente publicado está errado (Figura 3), es sobre este diagrama de bloques que se proponen las dos modificaciones sujetas a validación y posterior sintonización.

Dado que la arquitectura original no es estable este PLL es inoperativo. Este circuito presenta una arquitectura fácil de implementar dado que en sus lazos de realimentación se tiene acceso a las componentes del PLL. Por tanto, se trata de una arquitectura abierta, de donde se pueden extraer hasta 4 variables de una forma de onda de voltaje. Sin embargo, en el trabajo se plantea una rearquitectura del PLL original inoperativo.

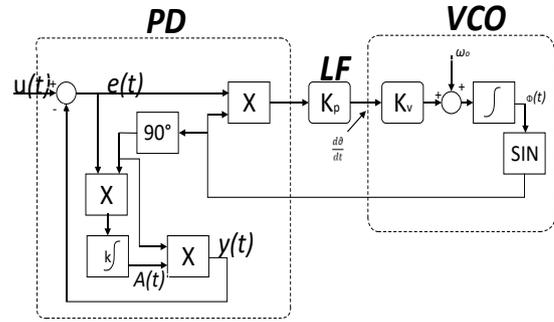


Figura 3 Diagrama de bloques para el PLL de arquitectura abierta (original obtenido de [4]).

En la Figura 4 y en la Figura 5 se muestran los diagramas de bloques de dos arquitecturas modificadas para el PLL original de la Figura 2. Una comparación de los diagramas de bloques de ambos PLL muestra en detalle en qué consisten las modificaciones. No se empleó ningún procedimiento analítico para la modificación más allá de comprender el circuito PLL y sus diferentes lazos, particularmente las etapas LF y VCO. El diagrama de bloques de la Figura 3 es el que se utiliza en el resto de este artículo.

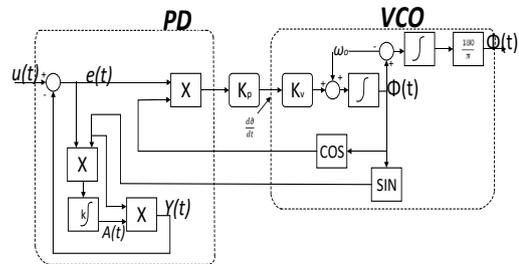


Figura 4 Diagrama de bloques para un PLL modificado de arquitectura abierta.

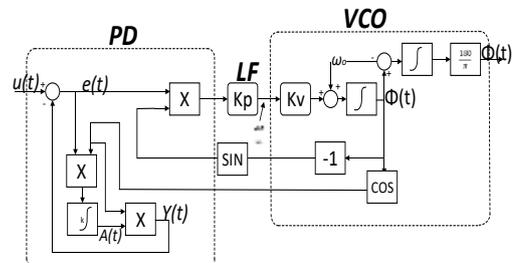


Figura 5 Diagrama de bloques para otro PLL modificado de arquitectura abierta.

En el simulador programable Simulink de Matlab se encuentra un bloque pre programado de un PLL en mismo que cuenta con dos señales de estudio: la frecuencia de la forma de onda de la entrada y el producto entre la frecuencia angular y el tiempo, $\omega \cdot t$ (rad), una señal de barrido sincronizada con el desfase angular que va desde 0 (rad) hasta $2 \cdot \pi$ (rad). Esta señal no está disponible en el PLL de arquitectura modificada, sin embargo se la puede construir sin dificultad a partir de la frecuencia angular y el tiempo.

Las ecuaciones diferenciales e integrales fueron resueltas utilizando ODE45.

3 Descripción del problema

Los sistemas de control dentro de los PLL causan diversos problemas tales como inestabilidad del sistema producidas por la inclusión de diversas causas como son la presencia de armónicos y el aumento o disminución de la amplitud de la señal del PLL, como tal de poder estudiar los aspectos relacionados al análisis por incorporación de cargas no lineales en el sistema se modelara un PLL, en la cual servirá para la determinación de parámetros bajo tres escenarios de estudio, el primero asociado a la variación de frecuencia y como afecta al PLL, el segundo escenario incorporara la incorporación de ruidos (armónicos) en el sistema, y finalmente se analizara el sistema al incluir una variación de amplitud. Como extra se realizara el estudio de la manera afectación de un PLL ante la presencia de corrientes en DC, el mismo que va en 5% y 10 %.

El análisis de los escenarios propuestos permitirá encontrar alternativas con relación al sistema de control garantizando la observación de las tensiones en amplitud y fase. Para el estudio se plantea la corrección de la

simulación del artículo “A Nonlinear Adaptive Filter for Online Signal Analysis in Power Systems: Applications”[4], en el cual se encuentra un PLL en el cual se basa el estudio de magnitud y varias aplicaciones referentes al PLL y así hacer uso teórico (de simulación) de entrada de armónicos ante el sistema y como afectan a la señal de salida.

En la zona de operación del PLL se comporta y es posible determinar su transferencia, por esta razón se realizara la variación de frecuencias, y variación de amplitud. A su vez se realizara la inclusión de armónicos en otra fase del problema para de este modo estudiar los cambios a los que se somete el PLL ante la presencia de ruidos [24],[25]. Por lo tanto, el análisis verificara la efectividad del PLL y su comportamiento con las demás variables del sistema. Con base al estudio el análisis tendrá en cuenta parámetros asociados al artículo mencionado anteriormente para de este modo llegar a alternativas de mejora del sistema PLL planteado, con lo cual garantizar la observación de las tensiones en amplitud y fase del PLL manipulado el sistema de control.

3.1 Ventajas del uso de un PLL

Al considerar un PLL de estructura abierta da paso a la operación de bloques de control, del mismo modo se puede obtener señales que antes no pudieron ser estudiadas en los simuladores establecidos, sin embargo, en el diagrama estudiado por Ivarani [4] se halló un error el cual no pudo llevar al uso de la arquitectura deseada por lo cual al establecer el sistema de bloques modificado se obtiene señales de salida en diversos puntos del PLL como en el caso de estudio es Frecuencia (F), Frecuencia Angular w (rad/s), Angulo de desfase ($^\circ$) y Magnitud (pu), estas señales

son de mucha utilidad en ingeniería por lo cual este trabajo se enfoca en relacionar el PLL con diversos cambios al entorno al PLL y al estudio de reacción de mismo ante dichos cambios, con esto, el punto de estudio se relaciona con los casos siguientes: Introducción de armónicos en el sistema a 5% y 10%, cambio de ganancias de K_p , K_d , K_i y K_f a 1, 5, 10 y 100, implemento de amplitud al sistema de 5%, 10% y 20% respectivamente, y para terminar cómo será la reacción del PLL ante la inserción de corriente continua (CC) al 5% y 10%, llevando al estudio de un PLL funcional de estructura abierta el dual puede ser manipulado por el usuario.

4 Simulación de modelo

Para el modelado del circuito se toma como referencia a la simulación del artículo usado como base del estudio, la misma que consta de tres partes PD, LF y VCO los mismos que representan el filtro y la carga del sistema de potencia[4], la señal inicial va directo de $u(t)$ hacia el filtro PD dentro de este la señal de entrada se transforma en $e(t)$ por la entrada de una señal extra de forma negativa la misma que es originada por la multiplicación del retorno con la ganancia proporcional de K , seguido a esto la señal de $e(t)$ pasa a LF en el cual pasa por una ganancia K_{p1_LF} que es una constante de conversión del sistema, seguido a esto la señal entra al VCO [26],[27], en primera instancia dentro del VCO la señal entra a una segunda constante denominada K_{p2_LF} , tras dejar la constante la señal pasa por otro sumador donde se deriva la frecuencia angular y un integrador de señal que lleva la misma hacia el retorno, al final de VCO se observa un sumador que lleva las señales de la frecuencia angular y el integrador resultante hasta un nuevo integrador dando como resultado una señal de salida sin perturbaciones

como la señal de entrada pero esta se da en rad/s por lo cual se procede a la transformación de datos para así obtener una señal en grados $\phi(t)$

Los VCO (Osciladores controlador por Voltaje) son una parte integral de los sistemas electrónicos, sus capacidades van desde generación de señal de reloj en microprocesadores (PLL) hasta la síntesis de señal en los teléfonos, al momento de diseñar un VCO ha de tenerse en cuenta características como: ruidos, rango de captura y área. El cual lleva a optar por una u otra tecnología, el ejemplo más básico de un VCO es un sistema de amplificación realimentado dado por la ecuación. [28],[29]

$$\frac{V_{sal}}{V_{ent}}(s) = \frac{e(s)}{1 + e(s)} \quad (1)$$

A lo que lleva a considerar el sistema como uno sin memoria ya que un cambio en la señal de entrada ($e(t)$) de inmediato resulta en un cambio en la señal de salida ($u(t)$), por este motivo, para expresar la salida del VCO en función del tiempo se considera la forma de onda $V(e(t))=V(u(t))$ en $(t)=0$ a lo cual se llama fase total en forma senoide, suponiendo que la fase varia linealmente con el tiempo cada vez que la señal pase por ($u(t)$) cruza un múltiplo entero de n . [28],[30],[31]

Los valores del controlar VCO están dados por la expresión $e(t) = u(t) * n$ en cual dada la circunstancia da una relación de 1:10, por lo cual, se toma la decisión de utilizar una relación de $K_{p1_2_LF} = 10$ y $Gan3 = 100$ por el estado de simulación más cercano al deseado que en este caso es la similitud de la señal de entrada y de salida en el ángulo de desfase

4.1. Escenario A

Tras la pertinente modificación del sistema presente en la figura 4, se utilizará el PLL para la inclusión de

armónicos en el sistema, en tal sentido que se pueda observar los cambios en la señal de salida del PLL y analizarlo.

Para poder evaluar el efecto de los armónicos en el sistema, el análisis realizado considerara el ingreso de armónicos para lo cual las señales de armónicos para este caso serán de los armónicos 3ero, 5to y 7mo respectivamente, cuyos valores obtenidos durante la simulación se encuentran en la Tabla 3 y Tabla 4

4.2. Escenario B

Este escenario desarrollara el análisis del caso de cambio en la señal de entrada con respecto al cambio de señal sinusoidal y cómo afecta al sistema del PLL al tratar de llegar a la estabilidad

Del mismo modo para este caso se hizo uso de una amplitud del 5%, 10% y 20% respectivamente llegando a la conclusión que a menor sea la amplitud del sistema mayor será el tiempo de atenuación de la señal de potencia, los valores obtenidos se encuentran en la Tabla 5.

4.3. Escenario C

Este escenario permite el estudio de un PLL con cambios en las ganancias del sistema, los mismo que a partir de su

5 Resultados

5.1 Simulacion original

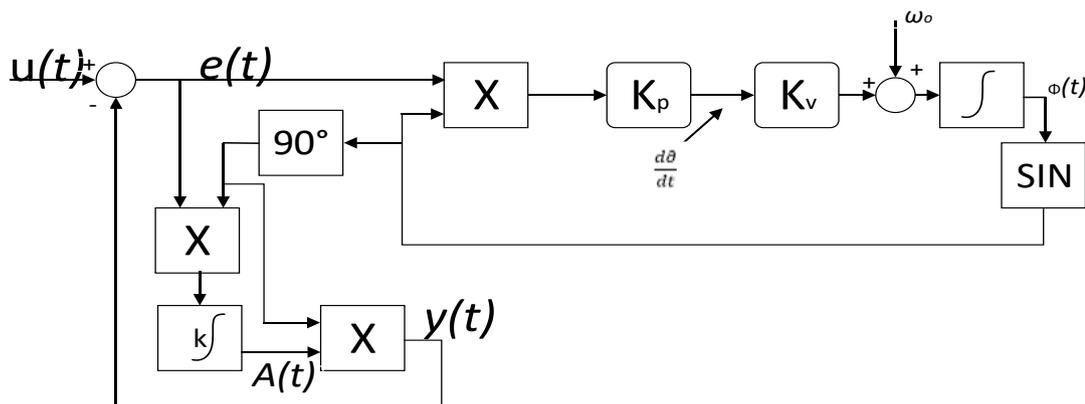


Figura 6 PLL de arquitectura original en Simulink.

relación de 1:10 se trató de jugar con la señal y sus resultados llegando a una conclusión de simulación en la cual la señal se ve muy perturbada a consideración de los estándares establecidos.

Para este caso se utilizó las ganancias de $K_{p1-2_LF}=1, 5, 10$ y $G_{an3}=10, 10, 100$ respectivamente, con esto se llegó a la conclusión de cuáles son las ganancias idóneas para el estudio de señales dentro de un PLL llegando a demostrar la relación teórica de la misma, los valores obtenidos se encuentran en la Tabla 6.

4.4. Escenario D

Como un escenario extra de estudio se realizó la inclusión de corriente continua en el sistema, pero a valores muy pequeños en este caso se lo realizo con un valor de 5% y 10% respectivamente.

Del mismo modo que en los casos anteriores se realizó el análisis de resultado de cada señal mientras se puede observar de como se ve afectada la misma ante la presencia de dicha corriente en el sistema, cuyos valores se pueden observar en la Tabla 8 y Tabla 9.

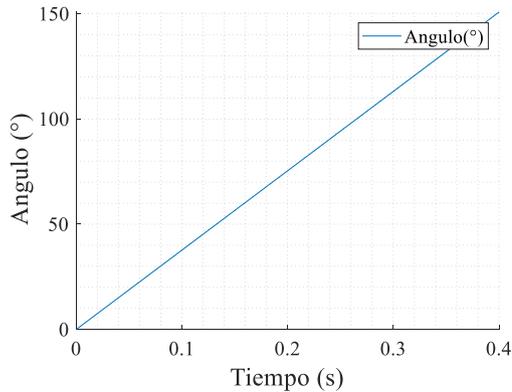


Figura 7 Señal del Ángulo de Desfase ϕ (°) en la arquitectura original.

El comportamiento dinámico del Ángulo de desfase ϕ (°) en la Figura 7 muestra que la arquitectura original no es estable. Se espera que un circuito seguidor de fases muestre la señal correspondiente al desfase de una onda sinusoidal como una constante luego de su dinámica. Aún más, se puede observar que en esta arquitectura se tiene acceso a las componentes del PLL. Por tanto, se trata de una arquitectura abierta, de donde se pueden extraer hasta cuatro (4) señales diferentes a partir de la misma forma de onda en función del tiempo.

5.2 Simulación caso modificado para análisis

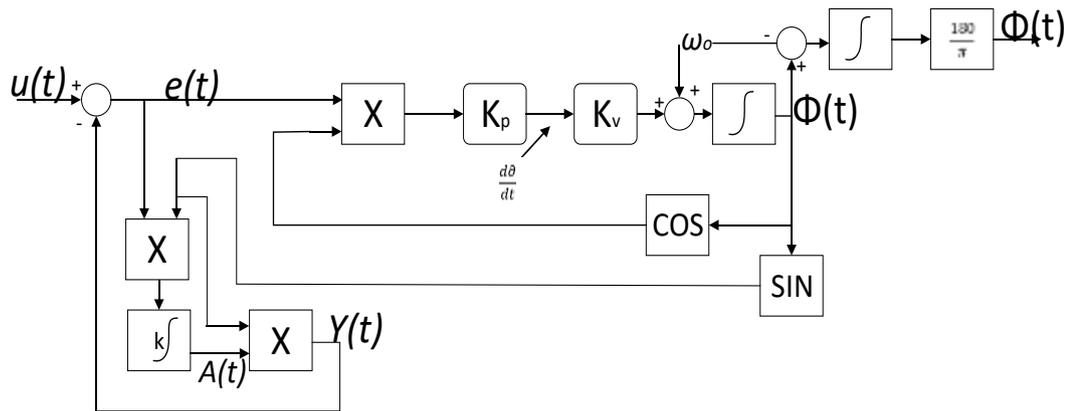


Figura 8 PLL de arquitectura abierta, modificada para la extracción de las 4 señales.

La Figura 7 muestra el bloque de simulación en Simulink correspondiente a la Figura 6. Los resultados mostrados, en el resto del artículo, se corresponden con la arquitectura modificada que se muestra en la Figura 8.

5.3 Simulación del PLL de arquitectura cerrada, presente en el simulador Simulink

En este PLL solo es posible obtener dos señales: la frecuencia de la forma de onda sinusoidal, Frecuencia F (Hz), y el producto entre la frecuencia angular por el tiempo, $\omega * t$ (rad). Esta se trata de una señal de barrido sincronizada con el desfase angular, Ángulo de Desfase ϕ (°),

que va desde 0 (rad) hasta $2 * \pi$ (rad). Esta señal no está disponible en el PLL de arquitectura modificada, aunque se la puede obtener sin dificultad.

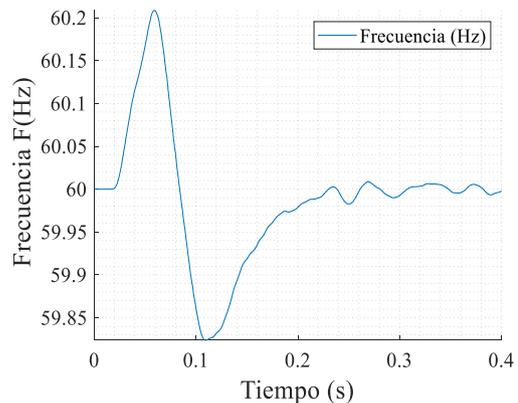


Figura 9 Señal de la Frecuencia F (Hz).

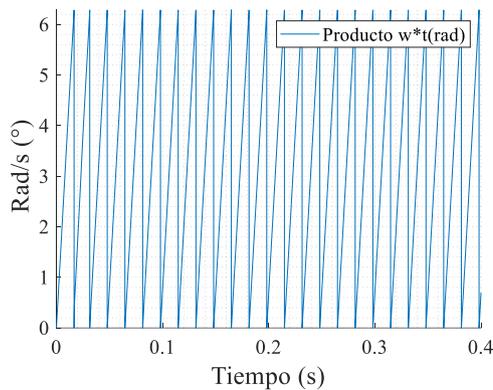


Figura 10 Señal del producto $\omega*t$ (rad) frecuencia angular x tiempo, del PLL.

La Figura 9 y la Figura 10, son respectivamente la Frecuencia F (Hz), y el producto entre la frecuencia angular por el tiempo, $\omega*t$ (rad). Se observa que la señal de la Frecuencia F (Hz) el cual tratara de estabilizarse en poco más de 0.2 (s) luego de una oscilación completa.

5.4 Evaluación del PLL, Caso Variación de la Frecuencia Base

El PLL modificado tiene disponibles cuatro (4) señales, a saber: el Ángulo de Desfase ϕ ($^\circ$), la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s) y la Magnitud M (pu). De estas señales, sólo dos están disponibles en el PLL de arquitectura cerrada, que pertenece a la librería del Simulink, sin que sea posible extraer las señales del Ángulo de Desfase o la Magnitud de este.

En esta sección se muestra el ajuste más apropiado para las ganancias de los 3 controladores proporcionales del PLL de arquitectura abierta modificado. La Tabla 1 muestra los parámetros de sintonización. Estos parámetros podrían cambiar si es que se alimenta el PLL con una forma de onda de voltaje que no sea previamente reducida a su valor en por unidad. La Figura 11 y Figura 12 muestran el comportamiento dinámico de las señales Frecuencia F (Hz), Ángulo de Desfase ϕ ($^\circ$), Frecuencia Angular ω (rad/s) y Magnitud M (pu) a partir de la

forma de onda sinusoidal con la cual es alimentado el PLL para dos frecuencias: a 50 (Hz) y 60 (Hz) respectivamente. La dinámica del PLL de arquitectura abierta modificada es muy rápida, estabilizando en 0.1 (s) para los casos de las 4 señales a las que se tienen acceso, mucho más rápida que la dinámica del PLL de arquitectura cerrada que se estabiliza en 0.2 (s)

Tabla 1 Parámetros de Ajuste del PLL

Ampli pli A (pu)	Gan an Kp1_ LF	Gana n Kp2_ V CO	Gan an Kp_ PD
1	10	10	100

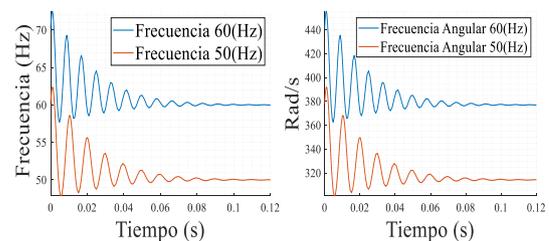


Figura 11 Señales de Frecuencia F (Hz) y Frecuencia Angular ω (rad/s) a 50 Hz y 60 Hz

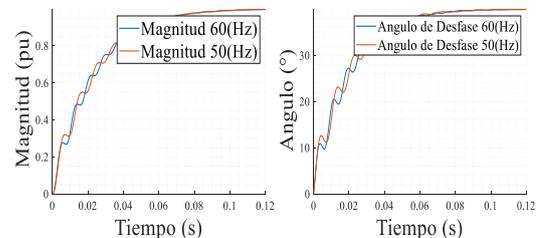


Figura 12 Señales del Ángulo de Desfase ϕ ($^\circ$) y Magnitud (pu) a 50 Hz y 60 Hz

Tabla 2 Datos obtenidos de la variación de frecuencias en el sistema

Amplitud	Frecuencia	Frec. Angular	Frecuencia	Ang. desfase	Magnitud
1	50	314.2	50	40	1
1	60	377	60	40	1

Para la Frecuencia F (Hz). El comportamiento de las respuestas de las señales de frecuencia son del tipo subamortiguado a diferencia del comportamiento de las respuestas del valor pico y ángulo de desfase que son del tipo sobreamortiguadas. No existen

diferencias entre las respuestas a diferentes frecuencias, a lo cual en los dos casos el PLL funciona sin problemas.

5.5 Evaluación del Comportamiento del PLL de arquitectura abierta ante ondas sinusoidales de 60 Hz con frecuencias armónicas del 5%.

Para esta sección se han sintonizado las tres ganancias a 10, 10 y 100 respectivamente. El objetivo es estudiar las 4 señales que se pueden extraer de la forma de onda sinusoidal, suponiendo un contenido armónico del 5%, tanto para armónicas de baja frecuencia propia de cargas no lineales con circuitos magnéticos como el caso de armónicas de media frecuencia asociadas a cargas no lineales como los convertidores estáticos propios del mundo de la electrónica de potencia, muchos de los cuales utilizan la modulación por ancho de pulso, el responsable de la introducción de tales armónicos en el SEP.

Caso 1

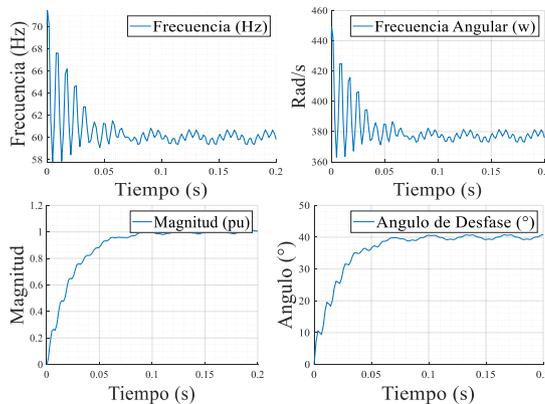


Figura 13 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) en presencia del armónico 3ero.

Caso 2

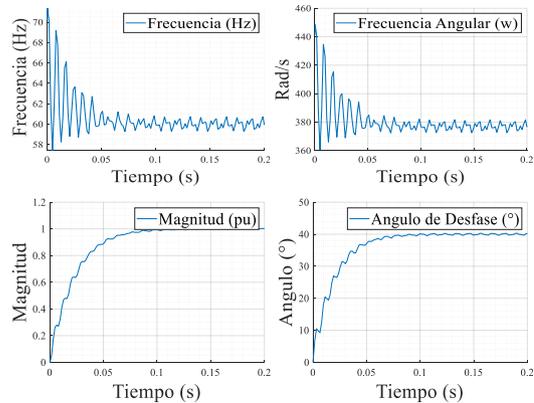


Figura 14 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) en presencia del armónico 5to.

Caso 3

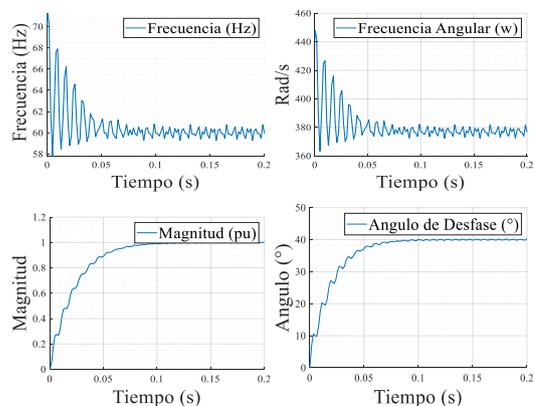


Figura 15 Señal de la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) en presencia del armónico 7ero.

Tabla 3 Datos obtenidos de la variación de frecuencias (inclusión de ruidos-armónicos) al 5%

Amplitud	Frecuencia	Frec. Angul ar	Frecuencia	Ang. desfa se	Magnitud
5%	$3 \cdot \pi \cdot 60$	375.9	59.82	40.76	1.007
5%	$5 \cdot \pi \cdot 60$	376.5	59.92	40.29	1.004
5%	$7 \cdot \pi \cdot 60$	376.7	59.95	40.18	1.002

5.6 El

Para esta sección se han sintonizado las tres ganancias a 10, 10 y 100 respectivamente. El objetivo es estudiar las 4 señales que se pueden extraer de la forma de onda sinusoidal, suponiendo un contenido armónico del 5%, tanto para armónicas de baja frecuencia propia de cargas no lineales con circuitos magnéticos como el caso de armónicas de media frecuencia asociadas a cargas no

lineales como los convertidores estáticos propios del mundo de la electrónica de potencia, muchos de los cuales utilizan la modulación por ancho de pulso, el responsable de la introducción de tales armónicos en el SEP.

Caso 1, mediante la Figura 13 muestra la dinámica de las frecuencias, así como el ángulo de desfase y la magnitud pico de la forma de onda del voltaje, respectivamente, ante un 5% de armónico 3^{er}. De nuevo, como en simulaciones anteriores, se observan respuestas subamortiguadas en la frecuencia y sobreamortiguadas en el caso del ángulo y el valor pico de la forma de onda. Resultados similares se obtienen para el caso 2 (armónico 5^{to}, Figura 14 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 5to.), caso 3 (armónico 7^{mo}, Figura 15 Señal de la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 7ero.). Se puede observar cómo la respuesta sobreamortiguada ayuda a obtener una señal en CC más limpia a medida que el orden de la armónica se eleva, algo que no sucede con la respuesta subamortiguada. Sin embargo, la señal también es estable, solo que podría ser necesaria una etapa de filtrado adicional, a lo cual se puede observar de manera sistemática en la Tabla 3

5.6.1 Evaluación del Comportamiento del PLL de arquitectura abierta ante ondas sinusoidales de 60 Hz con frecuencias armónicas del 10%.

Caso 1

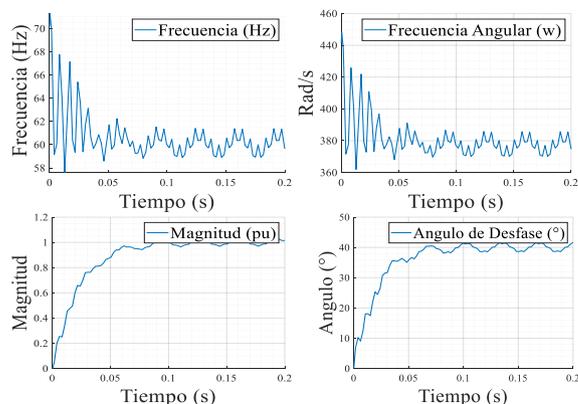


Figura 16 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 3ero.

Caso 2

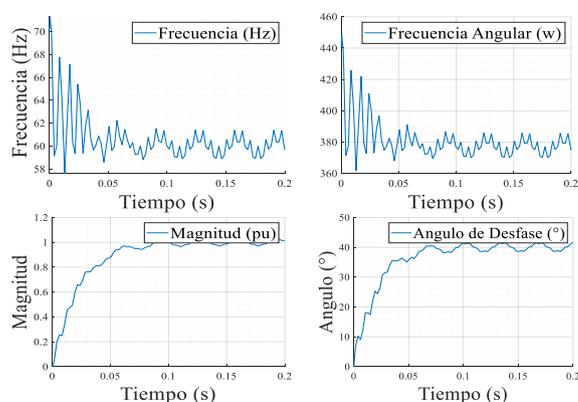


Figura 17 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 5to.

Caso 3

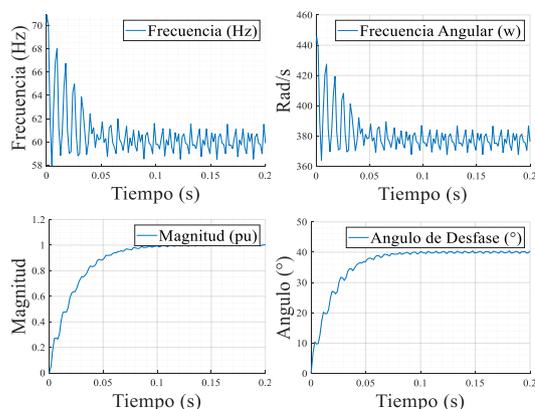


Figura 18 Señal de la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 7ero.

Tabla 4 Datos obtenidos de la variación de frecuencias (inclusión de ruidos-armónicos) al 10%

Amplitud	Frecuencia	Frecuencia Angular	Frecuencia	Ángulo de desfase	Magnitud
10%	$3\pi \cdot 60$	374.8	59.65	41.53	1.014
10%	$5\pi \cdot 60$	376	59.85	40.58	1.007
10%	$7\pi \cdot 60$	376.4	59.9	40.37	1.005

La duplicación del contenido armónico es analizada en esta sección a lo que se obtienen Resultados similares al caso anterior con la diferencia del aumento de la señal resultante, se obtienen para el *caso 1* (armónico 3^{to}, Figura 16 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 3ero.), *caso 2* (armónico 5^{to}, Figura 17 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 5to.), *caso 3* (armónico 7^{mo}, Figura 18 Señal de la Frecuencia F (Hz) y Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) en presencia del armónico 7ero.) A mayor contenido armónico hay mayor perturbación en la señal de las frecuencias respecto de la perturbación de las señales sobreamortiguadas, las cuales apenas si son perceptibles, a lo cual se puede observar de manera sistemática en la Tabla 4 Datos obtenidos de la variación de frecuencias (inclusión de ruidos-armónicos) al 10%

5.6.2 Evaluación del Comportamiento del PLL de arquitectura abierta ante ondas sinusoidales de 60 Hz con cambios en la magnitud de la onda sinusoidal.

Caso 1

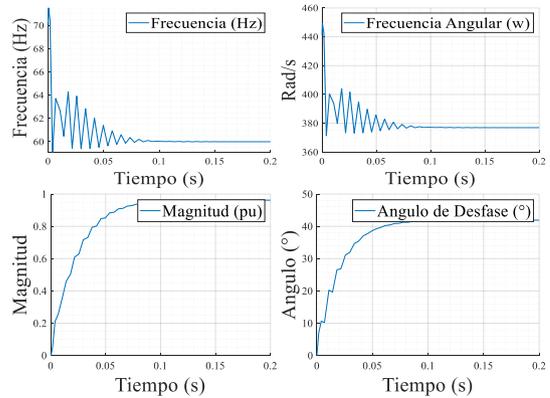


Figura 19 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) con una amplitud sinusoidal del 5%.

Caso2

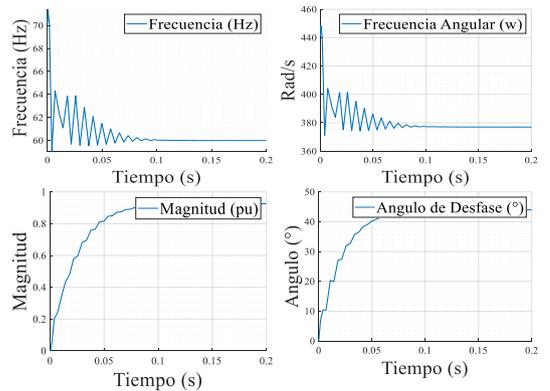


Figura 20 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) con una amplitud sinusoidal del 10%.

Caso3

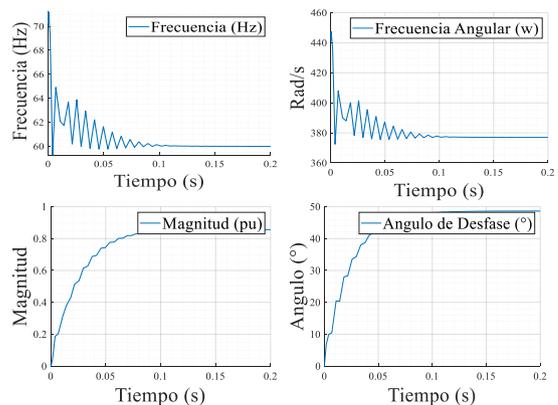


Figura 21 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ (°) y Magnitud M (pu) con una amplitud sinusoidal del 20%.

Tabla 5 Datos obtenidos de la variación de amplitud

Casos	Amplitud	Frecuencia Angular	Frecuencia	Ang. Desfase	Magnitud
1	5%	379	60.32	15.26	0.04295
2	10%	379.2	60.36	24.98	0.09352
3	20%	378.4	60.22	34.57	0.197

En la sección se analiza cómo se comporta el PLL ante cambios en el valor pico de la forma de onda del voltaje sinusoidal, para la misma sintonización de las secciones precedentes. El *caso 1* muestra el comportamiento de las 4 señales para una amplitud de 0.05 (pu) (Figura 19), el *caso 2* muestra el comportamiento de las 4 señales para una amplitud de 0.1 (pu) (Figura 20), el *caso 3* muestra el comportamiento de las 4 señales para una amplitud de 0.2 (pu) (Figura 21). Es evidente que en el primer caso (*caso 1*) la estabilidad lleva más tiempo, tanto en la señal del Ángulo de Desfase φ ($^\circ$) como en la Magnitud M (pu), aunque la velocidad de respuesta en la magnitud es más rápida, siendo que ambas son más lentas al ser alimentadas por una forma de onda sinusoidal a 1 (pu). Por tanto, no es posible operar el PLL sin haber normalizado previamente la forma de onda del voltaje, salvo que se vuelvan a tomar las ganancias del PLL. También muestra que el PLL opera mucho más lentamente, aunque no pierda estabilidad, ante magnitudes propias de un escenario de falla en el SEP. Se aceleran las velocidades de respuesta a medida que se incrementa el pico de las formas de onda sinusoidales. Estos resultados parecen sugerir que es más lenta la operación del PLL propuesto si se la alimenta con señales normalizadas de corriente, a lo cual se puede observar de manera sistemática en la Tabla 5 Datos obtenidos de la variación de amplitud.

5.6.3 Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas

sinusoidales de 60 Hz con variación en la sintonización de sus ganancias.

Caso 1

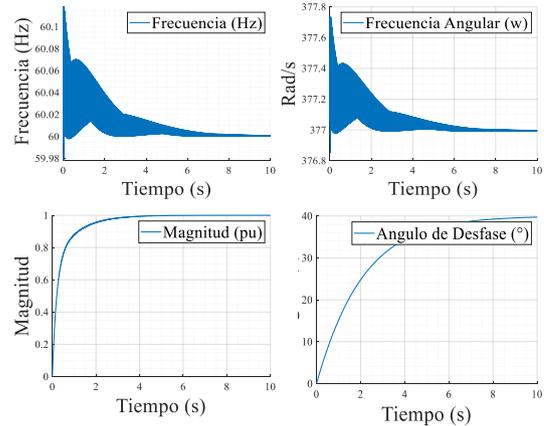


Figura 22 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase φ ($^\circ$) y Magnitud M (pu) con ganancias Kp1-LF 1, Kp2-LF 1 y Kp-PD 10.

Caso2

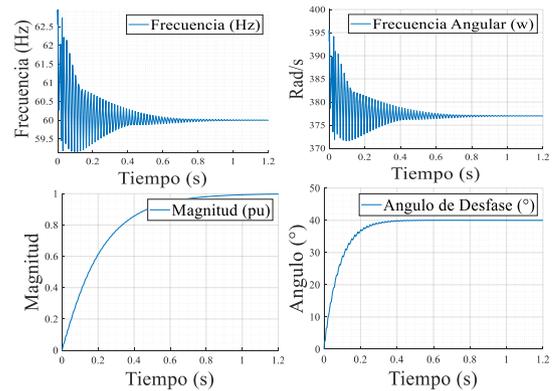


Figura 23 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase φ ($^\circ$) y Magnitud M (pu) con ganancias Kp1-LF 5, Kp2-LF 5 y Kp-PD 10.

Caso3

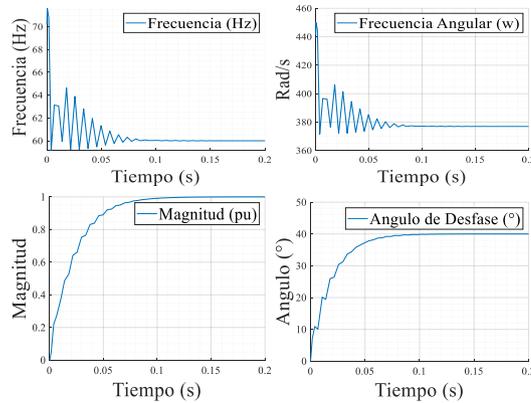


Figura 24 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) con ganancias K_{p1} -LF 10, K_{p2} -LF 10 y K_{p} -PD 100.

Tabla 6 Datos obtenidos de la variación de ganancias del sistema

Casos	Ganancias	Frecuencia Angular	Frecuencia	Ang. Desfase	Magnitud
1	1	377.6	60.1	3.569	0.4949
2	5	382.6	60.89	36.64	0.6085
3	10	377	60.	40	1

La sección analiza cómo se comporta el PLL ante cambios en la sintonización de las tres ganancias de los controladores proporcionales ubicados en las etapas PD, LF y VCO. El *caso 1* muestra el comportamiento de las 4 señales para una sintonización del tipo K_{p1} -LF = 1, K_{p2} -VCO = 1 y K_{p} -PD = 10 (Figura 22); El *caso 2* muestra el comportamiento de las 4 señales para una sintonización del tipo K_{p1} -LF = 5, K_{p2} -VCO = 5 y K_{p} -PD = 10 (Figura 23); El *caso 3* muestra el comportamiento de las 4 señales para una sintonización del tipo K_{p1} -LF = 10, K_{p2} -VCO = 10 y K_{p} -PD = 10 (Figura 24). Es evidente que la mayor velocidad de respuesta se halla en el *caso 5*, la sintonización empleada para todos los casos de estudio. También muestra que podría ser necesario un control adaptativo cuando se quiera una mayor velocidad de respuesta ante señales de voltaje anormales como las que se presenta durante una falla, así como las señales de corriente, a lo cual se puede observar de manera sistemática en la Tabla 6 Datos

obtenidos de la variación de ganancias del sistema.

5.7 Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con un contenido de CC del 5% y 10%

Tabla 7 Parámetros de la forma de onda del voltaje sinusoidal en 50 Hz y 60 Hz

Parámetros función seno	
Amplitud A (pu)	1
Contenido de CC (%)	5% & 10 %
Frecuencia F (Hz)	$2*\pi*60$
Desfase Angular ϕ (rad)	$40*\pi/180$

La sección muestra el efecto sobre el PLL de las armónicas en CC. Estas armónicas no suelen aparecer con frecuencia en el SEP. Se obtienen resultados para un 5% y un 10%. Para ambos casos se observa que la perturbación sobre las 4 señales es aún más severa que en el caso de las armónicas. Aquí, el comportamiento no es subamortiguado o sobreamortiguado, se presentan oscilaciones que probablemente afecten al sistema de control que se conecte al PLL. La amplitud de las oscilaciones se incrementa con el incremento en el contenido de CC.

5.6.1 Comportamiento del PLL de arquitectura abierta y modificada de 60 Hz con un contenido de CC del 5% sintonizado

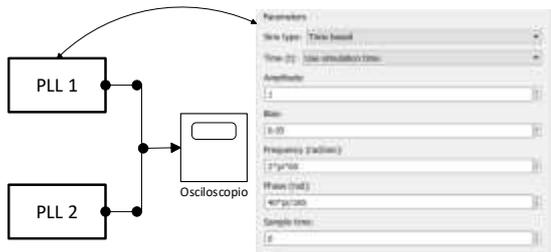


Figura 25 Simulación del Comportamiento del PLL de arquitectura abierta y modificada ante presencia de corriente CC al 5%

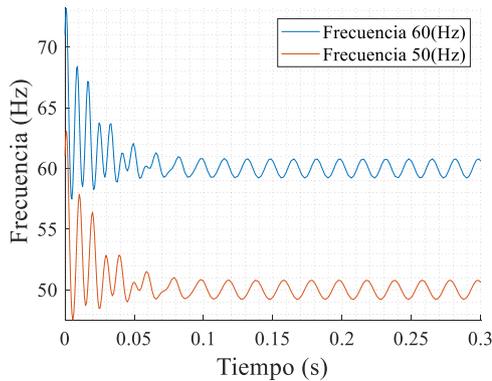


Figura 26 Comportamiento de onda ante presencia de corriente CC al 5%

5.6.2 Comportamiento del PLL de arquitectura abierta y modificada de 60 Hz con un contenido de CC del 10% sintonizado

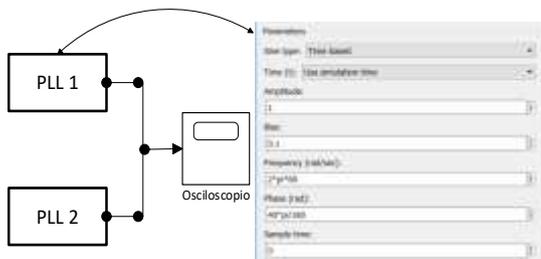


Figura 27 Simulación del Comportamiento del PLL de arquitectura abierta y modificada ante presencia de corriente CC al 10%

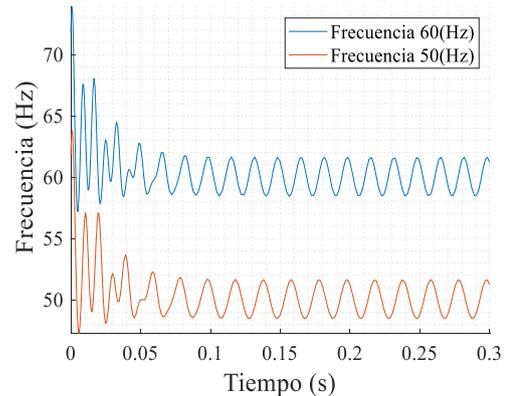


Figura 28 Comportamiento de onda ante presencia de corriente CC al 10%

5.7 Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con un contenido de CC del 5%.

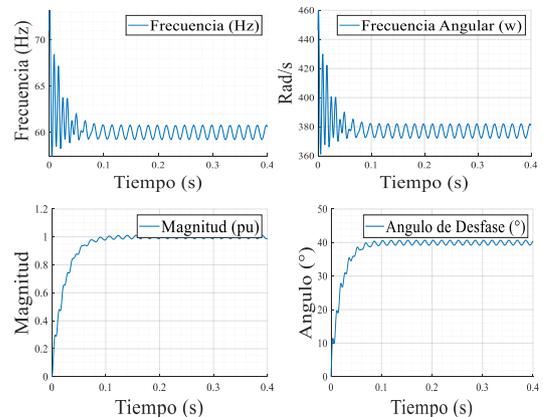


Figura 29 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^{\circ}$) y Magnitud M (pu) ante un contenido de CC del 5%.

5.8 Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 50 Hz con un contenido de CC del 5%.

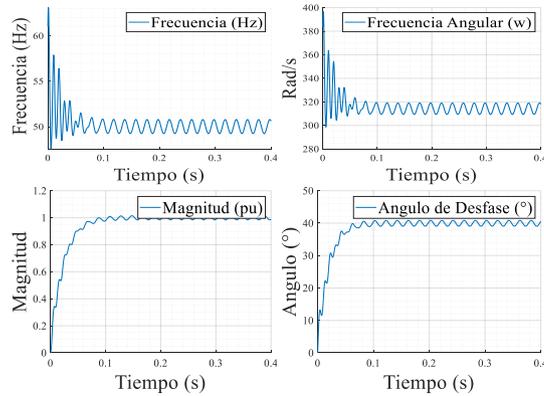


Figura 30 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) ante un contenido de CC del 5%.

Tabla 8 Datos obtenidos de la variación de corrientes DC al 5%

Amplitud	Frecuencia	BI AS	Frec Angular	Frecuencia	Ang. De desfase	Magnitud
1	50	0.0	318	50.61	40.5	0.987
		5			5	8
1	60	0.0	380.	60.61	40.4	0.989
		5	8		6	8

5.9 Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 60 Hz con un contenido de CC del 5%.

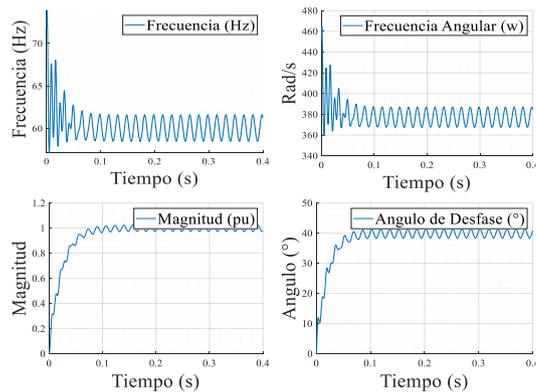


Figura 31 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) ante un contenido de CC del 10%.

5.10 Evaluación del Comportamiento del PLL de arquitectura abierta y modificada ante ondas sinusoidales de 50 Hz con un contenido de CC del 10%.

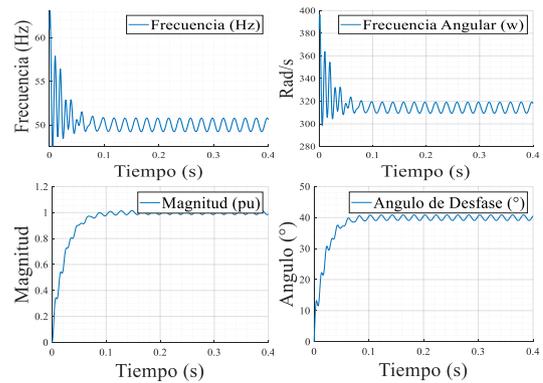


Figura 32 Señal de la Frecuencia F (Hz), Frecuencia Angular ω (rad/s), Ángulo de Desfase ϕ ($^\circ$) y Magnitud M (pu) ante un contenido de CC del 10%.

Tabla 9 Datos obtenidos de la variación de corrientes DC al 10%

Amplitud	Frecuencia	BI AS	Frec Angular	Frecuencia	Ang. De desfase	Magnitud
1	50	0.1	321.	51.23	41.0	0.975
			9		1	6
1	60	0.1	384.	61.23	40.8	0.979
			7		4	7

6 Conclusiones

- Se estudia un PLL de arquitectura abierta publicado en [4] pero se determina que es inoperativo porque la señal del desfase angular no es estable. En este trabajo de investigación se ha procedido a plantear dos modificaciones con el doble objetivo de hacer funcional sus capacidades y abrir su arquitectura para modificar la sintonización de los controladores. El PLL propuesto permite extraer hasta 4 señales que pueden ser de utilidad al momento de efectuar análisis de transitorios en sistemas eléctricos de potencia SEP, respecto a las 2 señales del caso PLL de arquitectura cerrada del MATLAB.
- Las señales que se pueden extraer son el ángulo de desfase ϕ respecto de una referencia sinusoidal, la frecuencia F , la frecuencia angular ω y la magnitud

pico M o eficaz de la forma de onda del voltaje normalizada.

3. El PLL modificado se estabiliza en 0.1 (s) con una sintonización del tipo $K_{p1}\text{-LF} = 10$, $K_{p2}\text{-VCO} = 10$ y $K_{p\text{-PD}} = 100$ siempre que su entrada sea una forma de onda de voltaje normalizada, a diferencia del PLL de arquitectura cerrada que resulta ser el doble de lento que el de arquitectura abierta y modificado. No obstante, el PLL es más lento a medida que la señal de entrada se desvía del valor 1 en por unidad, pero no pierde estabilidad.
4. Ante perturbaciones armónicas del 5% y del 10%, la respuesta de las señales de frecuencia se comporta de forma subamortiguada y la respuesta de las señales del desfase angular y la magnitud se comporta de forma sobreamortiguada.
5. Las señales sobreamortiguadas son más estables que las señales subamortiguadas, algo razonable desde el punto de vista de los sistemas de control. De todas las armónicas bajo análisis, el PLL se ve afectado mayormente por el contenido de CC y esta afectación se reduce a medida que el orden de la armónica se eleva.

8 Referencias

- [1] L. N. Arruda, S. M. Silva, and B. J. C. Filho, "PLL structures for utility connected systems," *Conf. Rec. - IAS Annu. Meet. (IEEE Ind. Appl. Soc.)*, vol. 4, no. C, pp. 2655–2660, 2001.
- [2] D. Catalina and B. Guzman, "Análisis y comparación de topologías de PLL para sistemas monofásicos," *Ingenio Magno*, vol. 4, no. 1, pp. 61–67, 2014.
- [3] L. Ortiz, J. Gonz, L. Gutierrez, and

7 Trabajos a futuro

1. Existen varias posibilidades de trabajos a futuro. Este PLL es más versátil que las propuestas vistas en los programas de simulación de sistemas de potencia. Por ejemplo, se lo puede implementar en un laboratorio de mediciones. Dado que el mismo es un componente importante de algunas transformadas que se usan en estrategias de control, puede ofrecer esta versatilidad adicional en tales aplicaciones.
2. Dado que el controlador presenta varios lazos cerrados, también es posible emplear una sintonización de sus controladores basada en la inteligencia artificial, lo cual podría hacer más rápido el circuito incluso ante señales que no se estabilicen en 1 pu. Queda pendiente una arquitectura y eventual implementación trifásica donde el tratamiento de la secuencia cero será un asunto por resolver.
3. Finalmente, la afectación debida a la componente de CC puede sugerir el tratamiento de la señal de entrada con filtros pasivos.

O. Llanes-santiago, "A review on control and fault-tolerant control systems of AC / DC microgrids," *Heliyon*, vol. 6, no. June, 2020.

- [4] M. Karimi-Ghartemani and M. R. Iravani, "A nonlinear adaptive filter for online signal analysis in power systems: Applications," *IEEE Trans. Power Deliv.*, vol. 17, no. 2, pp. 617–622, 2002.
- [5] F. Gardner, *Phaselock techniques*. John Wiley & Sons, Thrid Edit.

- USA: Wiley Interscience, 2005.
- [6] F. Miyara, "Lazos de fijación de fase," Riobamba 245 bis, Ed. Argentina: Universidad Nacional de Rosario, 2005, p. 32.
- [7] L. E. Frenzel, "Principles of Electronic Communication Systems," *Electron. Power*, vol. 28, no. 10, pp. 504–538, 2015.
- [8] F. Javier and Z. Saenz, "Oscilador Basado en Filtro Modelado y Diseño de un PLL con Oscilador Basado en Filtro Paso Banda," Instituto Nacional de Astrofísica, Óptica y Electrónica, 2015.
- [9] T. Tsai, R. Bin Sheen, C. Chang, K. Hsieh, and R. Staszewski, "A Hybrid-PLL (ADPLL/Charge-Pump PLL) Using Phase Realignment with 0.6- μ s Settling, 0.619-ps Integrated Jitter, and -240.5-dB FoM in 7-nm FinFET," *IEEE Solid-State Circuits Lett.*, vol. 3, pp. 174–177, 2020.
- [10] Y. Han, L. Xu, M. Khan, G. Yao, L. Zhou, and C. Chen, "A novel synchronization scheme for grid-connected converters by using adaptive linear optimal filter based PLL (ALOF-PLL)," *Simul. Model. Pract. Theory*, vol. 17, no. 7, pp. 1299–1345, 2009.
- [11] Y. Shayan and T. Le-Ngoc, "All digital phase-locked loop: Concepts, design and applications," *IEE proceedings. Part F. Commun. radar signal Process.*, vol. 136-F, no. 1, pp. 53–56, 1989, doi: 10.1049/ip-f-2.1989.0007.
- [12] Y. He *et al.*, "An 8.5-12.5GHz multi-PLL clock architecture with LC PLL and Ring PLL for multilane multi-protocol SerDes," *EDSSC 2017 - 13th IEEE Int. Conf. Electron Devices Solid-State Circuits*, vol. 2017-Janua, pp. 1–2, 2017.
- [13] L. Ortiz, R. Orizondo, A. Aguila, J. W. Gonz, I. Isaac, and J. L. Gabriel, "Hybrid AC / DC microgrid test system simulation : grid-connected mode," *Heliyon*, vol. 5, no. August, p. 21, 2019.
- [14] L. Ortiz, R. Orizondo, A. Aguila, J. W. Gonz, I. Isaac, and J. L. Gabriel, "Hybrid AC/DC & DC microgrid test system simulation (<https://www.mathworks.com/matlabcentral/fileexchange/73878-hybrid-ac-dc-dc-microgrid-test-system-simulation>." MATLAB Central File Exchange, 2020, [Online]. Available: https://www.mathworks.com/matlabcentral/fileexchange/73878-hybrid-ac-dc-dc-microgrid-test-system-simulation?s_tid=srchtitle.
- [15] F. Sevilmiş and H. Karaca, "A fast hybrid PLL with an adaptive all-pass filter under abnormal grid conditions," *Electr. Power Syst. Res.*, vol. 184, no. February, 2020.
- [16] A. McEachern, A System for Capturing and Presenting Short Duration Voltage Surges on AC Power Lines, vol. 39, no. 1. 1990.
- [17] P. Crossley and P. McLaren, "Distance protection based on travelling waves," *IEEE Trans. Power Appar. Syst.*, vol. PAS-102, no. 9, pp. 2971–2983, 1983.
- [18] D. Coury and H. Brito, "Digital filters applied to computer relaying [of power lines]," *Powercon 1998 - 1998 Int. Conf. Power Syst. Technol. Proc.*, vol. 2, pp. 1062–1066, 1998.
- [19] O. Vainio and S. Ovaska, "Noise Reduction in Zero Crossing

- Detection by Predictive Digital Filtering,” *IEEE Trans. Ind. Electron.*, vol. 42, no. 1, pp. 58–62, 1995
- [20] R. Weidenbrug, F. Dawson, and R. Bonert, “New synchronization method for thyristor power converters to weak AC-systems,” *IEEE Trans. Ind. Electron.*, vol. 40, no. 5, pp. 505–511, 1993
- [21] S. Round and D. Ingram, “An evaluation of techniques for determining active filter compensating currents in unbalanced systems,” *Seventh Eur. Conf. Power Electron. Appl. EPE’97*, vol. vol4, pp. 1–6, 1997.
- [22] J. Kim, “Adaptive-bandwidth phase-locked loop with continuous background frequency calibration,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 56, no. 3, pp. 205–209, 2009.
- [23] W. He, “Phase-Locked Loop Is a Kind of Power System Stabilizer,” *IEEE Trans. Power Syst.*, vol. 34, no. 6, pp. 5080–5082, 2019.
- [24] H. Fujita and H. Akagi, “The unified power quality conditioner: The integration of series- and shunt-active filters,” *IEEE Trans. Power Electron.*, vol. 13, no. 2, pp. 315–322, 1998.
- [25] X. He, H. Geng, and G. Yang, “A Generalized Design Framework of Notch Filter Based Frequency-Locked Loop for Three-Phase Grid Voltage,” *IEEE Trans. Ind. Electron.*, vol. 65, no. 9, pp. 7072–7084, 2018.
- [26] W. H. Chiu, Y. H. Huang, and T. H. Lin, “A dynamic phase error compensation technique for fast-locking phase-locked loops,” *IEEE J. Solid-State Circuits*, vol. 45, no. 6, pp. 1137–1149, 2010.
- [27] D. Yeom, “Adaptive phase locked loop to improve the readability of optical disc drive,” *IEEE Trans. Consum. Electron.*, vol. 55, no. 3, pp. 1380–1382, 2009.
- [28] D. Toselli, E. Daniel, and J. Luis, “Implementación de un PLL de alta velocidad totalmente integrado en tecnología de Universidad Católica de Córdoba Facultad de Ingeniería Ingeniería Eléctrica / Electrónica TRABAJO FINAL” Universidad Católica de Córdoba, 2010.
- [29] B. Liu., “Experimental and Numerical Analysis of Overhead Icing,” no. 8174079, pp. 17–20, 2017.
- [30] T. Loveless., “Oscillator for Mixed-Signal Phase-Locked Loops,” vol. 55, no. 6, pp. 3447–3455, 2008.
- [31] A. Acheghaf, N. Touhami, M. Boussouis, and R. Maouhoub, “Analysis and Two-Dimensional Modeling of Directional Coupler Based on Two Coplanar Lines,” *Procedia Manuf.*, vol. 32, pp. 661–668, 2019.

9 ESTADO DEL ARTE

CONVERSIÓN DE UN SISTEMA ELÉCTRICO MONOFÁSICO A TRIFÁSICO BALANCEADO MEDIANTE ELEMENTOS PASIVOS COMO ALTERNATIVA PARA ENERGIZACIÓN DE EQUIPOS																														
ITEM	DATOS			TEMÁTICA				FORMULACIÓN DEL PROBLEMA	RESTRICCIONES DEL PROBLEMA			PROPUESTAS PARA RESOLVER EL PROBLEMA		SOLUCIÓN PROPUESTA																
	AÑO DE PUBLICACIÓN	TÍTULO DEL ARTÍCULO	Cita en formato para ShareLatex desde Mendeley	CITAS PUBLISH OR PERISH SCHOLAR GOOGLE	IMPLEMENTACIÓN	ANÁLISIS	DESBALANCE	DISEÑO	OPTIMIZACIÓN	COMPENSACIÓN	TOPOLOGIA	COMPENSACION DE FASE	EVALUACION DE CIRCUITOS	USO DE ELEMENTOS PASIVOS	COSTO	ELECTRÓNICA DE POTENCIA	PERTURBACIONES	DESBALANCE DEL SISTEMA	FILTROS	FILTROS PASIVOS	DISTANCIAS DE PROTECCIONES	ELECTRONICA DE POTENCIA	COMPENSACION	ATENUACION DE RUIDOS	MENOR DISTANCIA DE PROTECCIONES	ELECTRONICA DE POTENCIA	ADICION DE REACTIVOS	USO DE COMPONENTES PASIVOS PARA EVITAR RUIDOS	SIMULACIONES	
1	2002	A Nonlinear Adaptive Filter for Online Signal Analysis in Power Systems: Applications	\cite{Masoud Karimi-Ghartemani & Iravani}	24	☒	☒	☒			☒			☒		☒	☒				☒			☒	☒				☒		☒
2	2001	PLL Structures for Utility Connected Systems	\cite{M. Karimi-Ghartemani & Iravani, 2001}	142	☒	☒	☒		☒		☒	☒		☒		☒	☒				☒		☒	☒	☒					☒
3	2014	Análisis y comparación de topologías de	\cite{Catalina & Guzman, 2014}	1		☒	☒	☒		☒		☒	☒				☒					☒		☒			☒			☒

15	2020	A Hybrid-PLL (ADPLL/Charge-Pump PLL) Using Phase Realignment with 0.6-us Settling, 0.619-ps Integrated Jitter, and -240.5-dB FoM in 7-nm FinFET	\cite{Tsai et al., 2020}	1		⊗		⊗		⊗		⊗		⊗		⊗		⊗		⊗				
16	2009	A novel synchronization scheme for grid-connected converters by using adaptive linear optimal filter based PLL (ALOF-PLL)	\cite{Han et al., 2009}	75		⊗				⊗		⊗		⊗				⊗		⊗		⊗		
17	2017	An 8.5-12.5GHz multi-PLL clock architecture with LC PLL and Ring PLL for multilane multi-protocol SerDes	\cite{He et al., 2017}	1			⊗		⊗		⊗		⊗											
18	2019	Hybrid AC/DC microgrid test system simulation: grid-connected mode	\cite{Ortiz et al., 2019}	16	⊗			⊗		⊗	⊗			⊗		⊗		⊗				⊗	⊗	⊗
19	1989	All digital phase-locked loop: Concepts, design and applications	\cite{Shayan & Le-Ngoc, 1989}	111		⊗	⊗		⊗		⊗		⊗			⊗		⊗	⊗	⊗				
20	2009	Adaptive-bandwidth phase-locked loop with continuous background frequency calibration	\cite{Kim 2009}	20		⊗				⊗		⊗		⊗				⊗		⊗		⊗		
21	2019	Phase-Locked Loop Is a Kind of Power System Stabilizer	\cite{W. He 2019}	3			⊗		⊗		⊗		⊗		⊗	⊗		⊗				⊗		
22	1998	The unified power quality conditioner: The integration of series- and shunt-active filters	\cite{Fujita and Akagi 1998}	1367	⊗			⊗		⊗		⊗	⊗			⊗	⊗			⊗				
23	2018	A Generalized Design Framework of Notch Filter Based Frequency-Locked Loop for Three-Phase Grid Voltage	\cite{X. He, Geng, and Yang 2018}	37			⊗				⊗		⊗		⊗	□	⊗			⊗				
24	2010	A dynamic phase error compensation technique for fast-	\cite{(Chiu, Huang, and Lin 2010)}	93		⊗				⊗			⊗		⊗			⊗		⊗			⊗	

9.1 Resumen de Indicadores

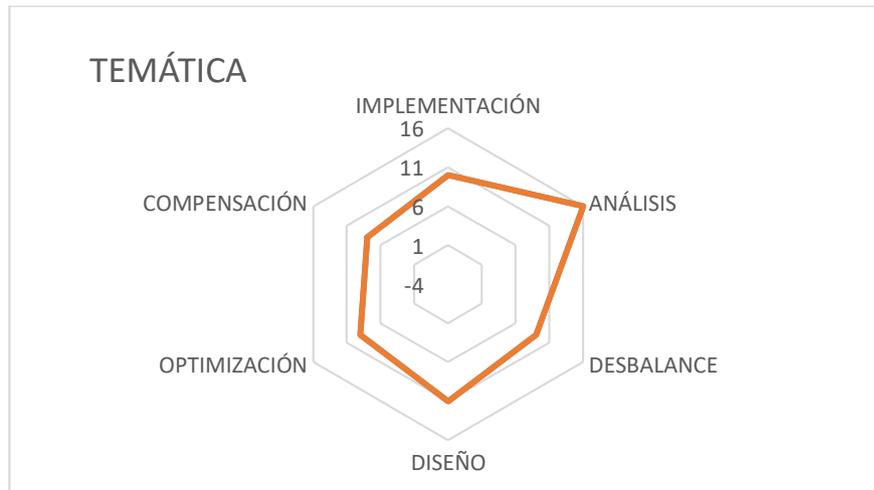


Figura 33 Indicador de la temática – Matriz estado del arte

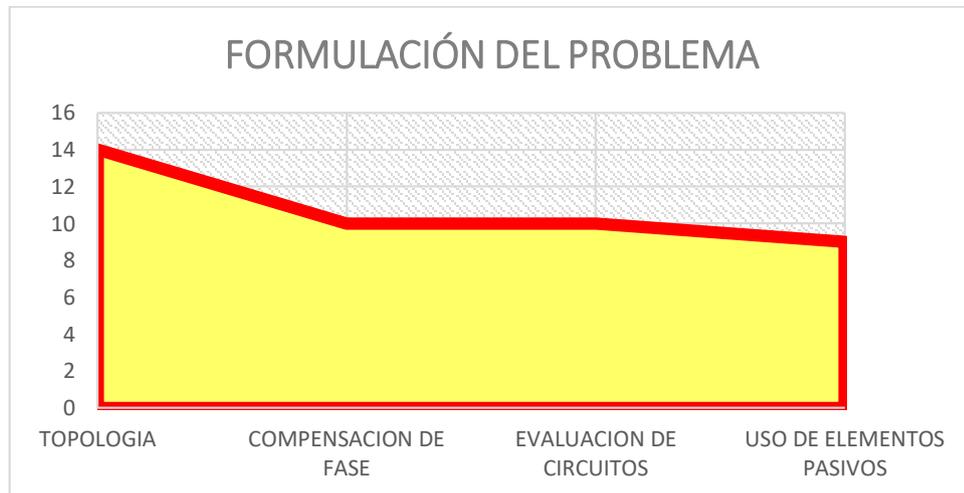


Figura 34 Indicador formulación del problema – Matriz estado del arte

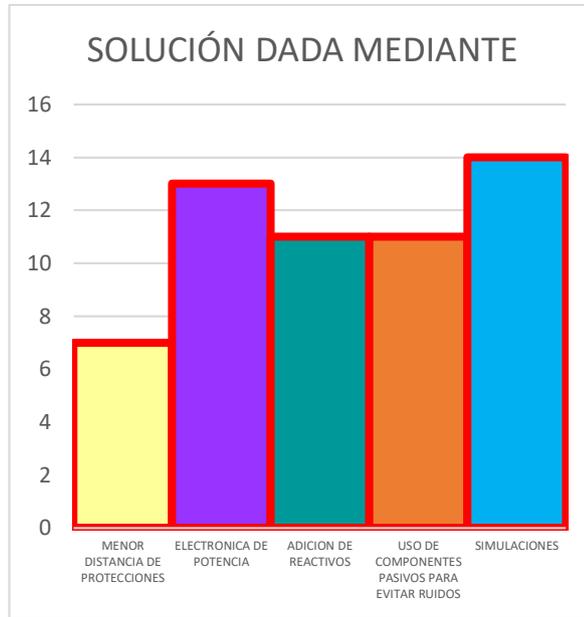


Figura 35 Indicador de soluciones – Matriz estado del arte.